

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**95148299**

※ 申請日期：**95.12.21**

※IPC 分類：**G06F 17/14**

一、發明名稱：(中文/英文)

管線化架構可重組混合基底的快速傅利葉轉換處理器

二、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID：46804706

國立交通大學

代表人：(中文/英文) 黃威

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 賴祈成

2. 黃威

國 籍：(中文/英文)

1. 中華民國

2. 中華民國

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種管線化架構可重組混合基底的快速傅利葉轉換處理器，包含第一交換器、第二交換器、第一多功能器、第二多功能器、第三多功能器、第四多功能器、第一碟型運算單元、第二碟型運算單元、可重組碟型運算單元乘法器、記憶單元、常數乘法器、第一暫存器、第二暫存器、第三暫存器、第四暫存器、第五暫存器、第一浮點處理單元、第二浮點處理單元以及第三浮點處理單元所構成；藉此，可利用第一及第二碟型運算單元與可重組碟型運算單元，並透過第一碟型運算單元的重覆使用，將不同點數之快速傅利葉轉換最多分為四級運算階段，達到節省計算時間及硬體成本之功效。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

第一交換器 1 1

第二交換器 1 2

第一多功能器 2 1

第二多功能器 2 2

第三多功能器 2 3

第四多功能器 2 4

第一碟型運算單元 3 1

第二碟型運算單元 3 2

可重組碟型運算單元 3 3

乘法器 4 1

記憶單元 4 2

常數乘法器 4 3

第一暫存器 5 1

第二暫存器 5 2

第三暫存器 5 3

第四暫存器 5 4

第五暫存器 5 5

第一浮點處理單元 6 1

第二浮點處理單元 6 2

第三浮點處理單元 6 3

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種管線化架構可重組混合基底的快速傅利葉轉換處理器，尤指一種可於數位訊號處理方面，有關快速傅利葉轉換處理器之架構者。

【先前技術】

離散傅利葉轉換(discrete Fourier transform, DFT)被廣泛運用在數位訊號處理相關演算法與系統的分析、設計及實現上。然而，直接計算一個 N 點的離散傅利葉轉換的計算複雜度為 $O(N^2)$ ，不僅要花費相當長的計算時間，並且需要大量的硬體花費。幸好，在計算離散傅利葉轉換時，其變數與係數存在著許多的對稱性，這些對稱的特性可以減少所需要的運算，進而縮短計算離散傅利葉轉換的時間。這些有效計算離散傅利葉轉換的演算法，統稱為快速傅利葉轉換(FFT)。

快速傅利葉轉換主要是藉著拆解離散傅利葉轉換成較小的點數來計算。在這個過程中，複數指數 $W_N^{nk} = e^{-j(2\pi/N)nk}$ 的對稱與週期特性被充分的利用。以拆解輸入序列 $x[n]$ 成較小序列的演算法，稱之為時間拆解(DIT)演算法；另一方面，藉著分解輸出序列成較小序列的演算法，稱之為頻率拆解(DIF)演算法。目前最普遍的快速傅利葉演算法為 Cooley-Tukey 演算法，其適

合用於拆解點數為 2 的次方的離散傅利葉轉換。

一個 N 點的複數資料序列 $x[n]$ ，其離散傅利葉轉換定義為：

$$X(k) = \sum_{n=0}^{N-1} x[n] W_N^{nk} \quad k=0,1,\dots,N-1 \quad (1)$$

係數 W_N^{nk} 的定義為 $W_N^{nk} = e^{\frac{-j2\pi nk}{N}}$ ，稱之為傅利葉旋轉係數 (twiddle factor)。藉著利用這些係數的對稱性與週期性來增進快速傅利葉轉換的效率：

$$W_N^{(N-n)k} = W_N^{-nk} = (W_N^{nk})^* \quad (\text{對稱性}) \quad (2)$$

$$W_N^{nk} = W_N^{n(k+N)} = W_N^{(n+N)k} \quad (n \text{ 與 } k \text{ 的週期性}) \quad (3)$$

如上所示，利用週期的特性，我們可以把方程式 (1) 中的 n 與 $(n+N)$ 子項群組成：

$$x[n] W_N^{nk} + x[n+N] W_N^{(n+N)k} = (x[n] + x[n+N]) W_N^{nk} \quad (4)$$

相似的群組方式也可以用在方程式 (1) 的其他子項上；藉著這個方法，所需複數乘法的個數便可大約減半。我們也可以利用某些係數其實數或虛數部分為 1 或 0 的情形，免去使用乘法的運算。總而言之，利用上述的特性可以有效的達到簡化運算複雜度的目的。

快速傅利葉轉換器架構是一種實現快速傅利葉轉換演算法的訊號流程圖的方式。對於即時應用方面，有兩種實現快速傅利葉轉換演算法的架構非常受歡迎

迎，分別是管線化架構與記憶體架構。

管線化架構具有很高的規則性，並且實現時易於參數化，與記憶體架構相較，它的特色為較高的產出率，同時維持硬體的複雜度不至於過大。一個有效得到管線化架構的方法，即是將傅利葉演算法的訊號流程圖直接映射成硬體的資料流程。有兩種常見的管線化架構，分別為單一路徑延遲回饋(SDF)，以及多重路徑延遲交換器架構(MDC)。

第 16 圖為基底-2 頻率拆解演算法的 SDF 架構 7 區塊圖。在快速傅利葉轉換為 16 點時，訊號流程圖上需要 4 個碟型階段 7 1，而每一階段分別有一個碟型運算單元 7 2，而回饋暫存器 7 3 用來儲存碟型運算單元 7 2 的輸出資料。這些碟型運算單元 7 2 在所需資料都到達輸入端時，進行碟型運算的動作，否則只進行交換動作並把資料存入回饋暫存器 7 3 中。在 SDF 架構中，所需要的記憶單元數是最少的；然而，其碟型運算單元與乘法器使用率只有 50%。

與基底-2 SDF 架構類似，基底-4 SDF 的架構也可以直接重訊號流程圖導出，基底-4 的架構可以用較少的階段來實現相同點數的快速傅利葉轉換，然而其碟型運算單元的設計卻較為複雜。

如第 17 圖所示 MDC 架構 8 比 SDF 架構 7 更為直接，如同訊號流程圖上的碟型路徑，硬體架構上直

接使用平行的資料路徑，而延遲單元 8 1 直接擺放在資料路徑上以取代 SDF 架構 7 之回饋暫存器 7 3 的方法；在兩個運算階段中間，交換器 8 2 用來轉換資料至正確的位置，第 1 7 圖中由於平行資料路徑的使用，基底-2 MDC 架構 8 的產出率為基底-2 SDF 架構 7 的兩倍，然而，所需要的記憶單元數目也比 SDF 架構 7 多，並且額外需要交換器 8 2 的使用。

基底-4 MDC 架構的原理跟基底-2 的相同，在基底-4 MDC 架構中，因為使用了 4 個平行資料路徑，可以達到更高的產出率，然而，其記憶單元的需求與硬體複雜度也相對提高。

記憶體架構被認為是最省面積的實現快速傅利葉轉換的方法。它通常包含了一個計算單元、傅利葉旋轉係數記憶體及用來儲存輸出輸入與內部資料的記憶體。這種架構的特點在於它通常只使用一個或極少的碟型運算單元，通常碟型運算單元跟乘法器消耗了管線化架構中大部分的面積與功率，因此記憶體架構可以降低這方面的硬體面積，近一步的可以降低功率的消耗。

第 1 8 圖為一般的記憶體架構之區塊圖。記憶體架構的硬體複雜度主要集中在控制單元 9 上，由於它只有一個或極少的碟型運算單元 9 1，對於訊號流程圖上的執行順序通常是一次一個階段；記憶體架構使

用記憶體模組 9 2 來儲存內部中繼資料，由於各個階段的資料排序各不相同，它們在每次運算後被存進記憶體的方法必須經過特別的設計。

雖然可用的碟型運算單元 9 1 數目減少了，但是訊號流程圖上所需的碟型運算數目卻沒變，因此，記憶體架構有著較低的產出率。在基底 $-r$ 的演算法中，一個 N 點的快速傅利葉轉換需要 $r^{\frac{N}{r} \times \log_r N}$ 個基底 $-r$ 的碟型運算。假設記憶體頻寬為 K ，而一個碟型運算需時 t ，那麼計算一個 N 點的快速傅利葉轉換需要：

$$\text{一次FFT的時間} = \frac{N}{r} \times \log_r N \times \frac{r}{K} \times t = \frac{N}{K} \times \log_r N \times t \quad (5)$$

從上面的方程式可以看出，計算一次快速傅利葉轉換的時間隨著 K 線性地遞減，而隨著 r 指數性地遞減；因此，在記憶體架構中想要提升產出率，使用較高基底的演算法是比較有效率的方法。

一個能執行不同點數的快速傅利葉轉換處理器通常佔有優勢，對於管線化架構來說，可重組的架構可以容易的達成；根據快速傅利葉轉換演算法的原理，其用意在於巡迴地將 N 點的傅利葉轉換拆解成較小點數的傅利葉轉換；因此，在每個基底 $-r$ 的碟型階段後， N 點的傅利葉轉換會被拆解成 r 個 N/r 點的傅利葉轉換，而管線化架構為訊號流程圖的直接映射，其後面的階段其實便是較小點數的快速傅利葉轉換架構。因此，藉著直接將輸入資料輸入後方階段的方法，管線

化可重組用來計算較小點數的快速傅利葉轉換。

然而，這樣的重組方式需要相當多的多工器，尤其當我們想要在快速傅利葉轉換點數上有較大彈性時。在各階段間加上多工器不僅增加了面積與功率的消耗，也影響了整體架構在速度上的表現。

【發明內容】

本發明之主要目的係在於，可利用第一及第二碟型運算單元與可重組碟型運算單元，並透過第一碟型運算單元的重覆使用，將不同點數之快速傅利葉轉換最多分為四級運算階段，達到節省計算時間及硬體成本之功效。

為達上述之目的，本發明係一種管線化架構可重組混合基底的快速傅利葉轉換處理器，包含一第一交換器；一與第一交換器連接之第一多功器；一與第一多功器連接之第一碟型運算單元；一與第一碟型運算單元連接之乘法器；一與乘法器連接之記憶單元；一與乘法器及第一多功器連接之第一暫存器；一與第一暫存器連接之第一浮點處理單元；一與乘法器連接之第二暫存器；一與乘法器連接之第三暫存器；一與第二、三暫存器連接之第二浮點處理單元；一與第二、三暫存器連接之第二多功器；一與第一交換器及第二多功器連接之第三多功器；一與第三多功器連接之第二碟型運算單元；一與第二碟型運算單元連接之常數

乘法器；一與常數乘法器連接之第四暫存器；一與常數乘法器連接之第五暫存器；一與第四、五暫存器連接之第三浮點處理單元；一與第四、五暫存器連接之第四多功能器；一與第四多功能器連接之可重組碟型運算單元；以及一與可重組碟型運算單元連接之第二交換器。

【實施方式】

請參閱『第1～15圖』所示：本發明係一種管線化架構可重組混合基底的快速傅利葉轉換處理器，其係由第一交換器11、第二交換器12、第一多功能器21、第二多功能器22、第三多功能器23、第四多功能器24、第一碟型運算單元31、第二碟型運算單元32、可重組碟型運算單元33、乘法器41、記憶單元42、常數乘法器43、第一暫存器51、第二暫存器52、第三暫存器53、第四暫存器54、第五暫存器55、第一浮點處理單元61、第二浮點處理單元62以及第三浮點處理單元63所構成；

而該第一多功能器21係與第一交換器11連接，第一碟型運算單元31係與第一多功能器21連接，乘法器係與第一碟型運算單元31連接，記憶單元42係與乘法器41連接，第一暫存器51係與乘法器41及第一多功能器21連接，第一浮點處理單元61係與第一暫存器51連接，第二暫存器52係與乘法器

4 1 連接，第三暫存器 5 3 係與乘法器 4 1 連接，第二浮點處理單元 6 2 係與第二、三暫存器 5 2、5 3 連接，第二多功能器 2 2 係與第二、三暫存器 5 2、5 3 連接，第三多功能器 2 3 係與第一交換器 1 1 及第二多功能器 2 2 連接，第二碟型運算單元 3 2 係與第三多功能器 2 3 連接，常數乘法器 4 3 係與第二碟型運算單元 3 2 連接，第四暫存器 5 4 係與常數乘法器 4 3 連接，第五暫存器 5 5 係與常數乘法器 4 3 連接，第三浮點處理單元 6 3 係與第四、五暫存器連接 5 4、5 5，第四多功能器 2 4 係與第四、五暫存器 5 4、5 5 連接，可重組碟型運算單元 3 3 係與第四多功能器 2 4 連接，第二交換器 1 2 係與可重組碟型運算單元 3 3 連接。

本發明所提出之主要方式係在於，可使第一碟型運算單元 3 1、第二碟型運算單元 3 2、可重組碟型運算單元 3 3 能用來計算點數從 16 到 4096 點範圍的快速傅利葉轉換演算法，唯此範圍內需為 2 的次方；也就是說，把 N 點的快速傅利葉轉換拆解成最多四個不同點數的傅利葉轉換，每個點數都是 2 的次方，且 N 為此最多四個不同點數的乘積。然而，同一個快速傅利葉轉換可用好幾種不同點數的拆解方式來組合，對於相同點數的快速傅利葉轉換來說，硬體設計使用多個不同的組合方式是多餘的，因此本發明對不同點

數的快速傅利葉轉換各指配了一個特定的混合基底演算法。

較高基底的演算法被排在較前面的階段，並且以基底-8演算法為基礎，點數較小的快速傅利葉轉換使用跳過前面階段的方法來實現。例如，對512點的快速傅利葉轉換，可以使用基底-8演算法將其分解成三級管線化架構，而不用使用四級；在這種情形下，本發明便如同一般管線化可重組架構，跳過第一級的運算階段，採用基底-8/8/8三級分解的演算法而不是使用基底-8/8/4/2或其他需要四級分解的演算法。小於8的基底演算法被安排在最後一個階段，這樣本發明只需要把最後一級設計成可重組碟型運算階段，而前面三級在所有模式下皆為基底-8的碟型運算階段。所產生的基底安排方式如第2圖所示；對於快速傅利葉轉換點數為{1024, 2048, 4096}的情形，本發明最多只需要4級的碟型運算階段；同時，對於快速傅利葉轉換點數為{128, 256, 512}的情形需要3級，而對{16, 32, 64}點只需要2級。

因此，在本發明中，所需要的碟型運算單元的種類即是基底-2、基底-4跟基底-8的碟型運算單元。根據頻率拆解的演算法，8點離散傅利葉轉換的流程圖如圖6所示，其並不需要使用到真正的複數乘法運算，而是簡單的複數乘法： $\pm j$ 、 $(1-j)/\sqrt{2}$ 、及 $-(1+j)/\sqrt{2}$

2, 這些可使用簡單的移位與加法的運算來實現。另在圖 6 中, 若忽略第一級, 餘下之部分其實便是兩個平行的 4 點傅利葉轉換的組合; 亦或在忽略第一、二級的情況下, 其實便是四個平行的 2 點傅利葉轉換的組合。因此, 基底-8 的碟型運算單元也可以作為基底-4 或基底-2 的碟型運算單元。另一個好處則是, 在改變基底模式的過程當中, 資料路徑的寬度可一直保持在 8。

在實體電路設計時, 由於各暫存器 5 1、5 2、5 3、5 4、5 5 位元寬度的限制, 想要有完全準確度通常是不可能的。例如, 在實現快速傅利葉演算法時, 本發明必須防範溢位的情形; 對於每個定點加法來說, M 位元為例, 需要 $(M+1)$ 位元來儲存其和; 然而到最後, 仍需要使用進位的方法取其 M 位元當做最終結果, 如此一來便產生了量化錯誤。對於訊號的品質分析, 可用抗雜訊比 (SNR) 來表示, 而每一次的進位結果都會造成抗雜訊比的衰弱。簡單的分析顯示, 抗雜訊比隨著 N^2 遞減, 或者是每個階段遞減一個位元。也就是說, 如果想要維持抗雜訊比不變, 在每經過一個基底-2 的碟型運算階段, 各暫存器 5 1、5 2、5 3、5 4、5 5 長度就必須多增加一個位元。

在本發明所提出之架構中, 係使用第一浮點處理單元 6 1、第二浮點處理單元 6 2 以及第三浮點處理

單元 6 3 以區塊浮點方法(BFP)來降低量化錯誤；而區塊浮點的概念在於：把現行資料分為互不重疊的區塊，而每一區塊根據其中數值最大的資料樣本作調整，並對該區塊指定其指數。如圖 8 所示，初使區塊對其中最大的字元作常化(normalize)，並且得到一個常化係數 K，接著對常化後的資料作定點運算，當這個區塊中的資料都計算完畢，再根據先前得到的常化係數，將整個區塊的資料移位回原來的準確點。由於輸入訊號運算前都先常化過，區塊浮點通常比定點運算有著較好的表現。

為使用第一浮點處理單元 6 1、第二浮點處理單元 6 2 以及第三浮點處理單元 6 3 之區塊浮點方法(BFP)，本發明首先必須先分割出所謂的區塊，第 3 圖係為 128 點快速傅利葉轉換使用本發明的方法，其區塊被安排的情形。在每次基底-r 的碟型階段後，資料便會被分割成 r 個群組，而每個群組之後的運算資料只會來自於該群組或其之前的區塊；在範例中，在第 1 個基底-8 階段後，資料被分成了 B-0 ~ B-7 八個區塊，而從 B-0 之後開始的運算，只會用到 B-0 中的資料，也就是說，C-0 ~ C-7 區塊中的運算，並不會牽扯到 B-1 ~ B-7 區塊中的資料。本發明可稱 B-0 為 C-0 ~ C-7 區塊的供給區塊，而 A-0 則為 B-0 ~ B-7 區塊的供給區塊。

為了採用區塊浮點的方法，區塊的執行順序必須根據兩個原則：首先，在其供給區塊尚未計算完成時，任何區塊不能開始運算；另外，對於每一階段的執行順序，皆是從上到下。

在每計算完一個區塊的資料後，這些資料會被衡量並得到一個常化係數；根據這個常化係數，資料在進入下一級運算階段前會被常化。這些常化係數在執行時被儲存起來，而最後的常化係數則是所有供給區塊的常化係數加總，最後的輸出要根據最後的常化係數來移位，得回與輸入資料相同的準確度。也就是說，對於 $X(0)$ 來說，其最後輸出的常化係數，乃區塊 A-0 跟 B-0 的常化係數加總；而 $X(4)$ 的輸出常化係數則是區塊 A-0 跟 B-1 的常化係數加總，以此類推。

且用來儲存中繼資料的所需暫存器 5 1、5 2、5 3、5 4、5 5 儲存空間數目分別與對應之區塊的大小有關；第 4 圖列出了在不同點數的快速傅利葉轉換下，每一階段間所需要的暫存器 5 1、5 2、5 3、5 4、5 5 儲存空間數目。以 128 點快速傅利葉轉換為例，如第 3 圖之訊號流程圖所示，本發明的混合基底演算法將其分解成 3 個階段；剛開始，第一級的 128 筆資料必須先計算完才能開始第二級之後的運算，因此，第一、二級中間需要 128 單位的記憶單元來儲存中繼資料。對第二級來說，128 筆資料被基底-8 的演

算法拆解成 8 個 16 點的區塊，同樣的，在二、三級中間本發明需要 16 單位的記憶單元來儲存中繼資料。

本發明中資料路徑的寬度為 8 個字元(點數)，而每字元代表一個包含實數與虛數部分的複數資料，每一部分位元長度為 16 位元，所以資料路徑的寬度總共為 $8 \times 2 \times 16 = 256$ 位元，

所提出的可重組架構實際上有四級的碟型運算階段，然而第 1 圖中所顯示只有三級，這是因為本發明將前兩級合併為一個階段，配合第 2 圖，第一級的碟型運算只有在 1024、2048 或 4096 點快速傅利葉轉換時啟動。由區塊執行順序之原則，在傅利葉轉換拆解成四個運算階段的情況下，第一運算階段與第二運算階段在實際計算上並不會重疊，因為第二個運算階段的區塊要等到第一個運算階段的區塊計算完成才會啟動，因此，本發明可以用相同的硬體，即第一碟型運算單元 3 1，來計算這兩個運算階段。

再如第 2 圖所示，最後一級為可重組碟型運算單元 3 3，而其他為第一碟型運算單元 3 1 及第二碟型運算單元 3 2，而在第一碟型運算單元 3 1、第二碟型運算單元 3 2 及可重組碟型運算單元 3 3 各個階段之間，第一暫存器 5 1、第二暫存器 5 2、第三暫存器 5 3、第四暫存器 5 4 及第五暫存器 5 5 與記憶單元 4 2 用來儲存及轉換中繼資料。

而該第一碟型運算單元 3 1、第二碟型運算單元 3 2 及可重組碟型運算單元 3 3，分別係用以計算 8 點傅利葉轉換的基底-8 碟型運算單元、以及可重組為基底-2、基底-4 或基底-8 的可重組碟型運算單元。其中第一碟型運算單元 3 1 及第二碟型運算單元 3 2 所需要的乘法運算均是簡單的乘法， $\pm j$ 、 $(1-j)/\sqrt{2}$ 跟 $-(1+j)/\sqrt{2}$ ；乘以 $\pm j$ 的運算僅是正負號與實虛數部份的調換調整，而乘以 $1/\sqrt{2}$ 的運算可由第 5 圖之方法加以實現。因此，這些簡單乘法僅需要移位、加法跟調換的動作即可完成，在不需要用到額外乘法器的狀況下，整個 8 點的傅利葉轉換式可以在 1 個時脈週期內完成（如第 6 圖）；也使用了完全平行的資料路徑。其內部字元長度為 16 位元，與輸入的字元長度相同。

而在實現可重組碟型運算單元 3 3 時如第 7 圖所示，該可重組碟型運算單元 3 3 的區塊圖與第一碟型運算單元 3 1 及第二碟型運算單元 3 2 相似，然而在兩階段中間加上了多工器 3 3 1，在三級的拆解當中，使用了兩組的多工器 3 3 1，分別利用 ENA 3 3 2 跟 ENB 3 3 3 來控制；多工器 3 3 1 用來選擇前一級的資料或是第一碟型運算單元 3 1 及第二碟型運算單元 3 2 的輸入；當碟型運算單元要進行基底-8 的碟型運算時，ENA 3 3 2 跟 ENB 3 3 3 便設為 0；當碟型運算單元要進行基底-4 的碟型運算時，ENA 3 3 2

便設為 1 而 ENB 3 3 3 設為 0；而當碟型運算單元要進行基底-2 的碟型運算時，僅需要最後一級，因此，將 ENB 3 3 3 設為 1。控制訊號與運作模式間的關係如第 8 圖所示。

另對各暫存器 5 1、5 2、5 3、5 4、5 5 而言，其所需容量會隨著不同點數的快速傅利葉轉換而改變，因此，當僅需要較小容量的模式時，多餘的暫存器空間能夠被切斷電源以達省電目的；因此需要良好的電路切割設計。另外，在輸出至下一運算階段前，各暫存器 5 1、5 2、5 3、5 4、5 5 也必須負責重新排列資料序列。

此外，本發明提出的各暫存器 5 1、5 2、5 3、5 4、5 5 使用了雙輸入的暫存器乃以 D 型的正反器為基礎，於其輸入端使用多工器 5 8 來選擇輸入，並需要增加一個 CTRL 控制訊號 5 6 來選擇其輸入，經由調整 CTRL 控制訊號 5 6 與 CLK 控制訊號 5 7 便可控制暫存器 5 1、5 2、5 3、5 4、5 5 裡的資料流向(如第 9、10 圖所示)。而在本發明第 1 圖之架構中，共需要 RB_4096、RB_512 跟 RB_64 等各暫存器 5 1、5 2、5 3、5 4、5 5，其中，RB_4096 跟 RB_512 可歸類為同一類型，而 RB_64 則為另一類型；配合第 2 圖所示在 RB_64 之前的階段為第一碟型運算單元 3 1 及第二碟型運算單元 3 2 運算階段，而

其後則是可重組碟型運算單元 3 3 運算階段。依據第 4 圖所示，對不同的快速傅利葉轉換點數，RB_64 可能的容量為 16、32 或 64 字元，如第 1 1 圖中即揭示了在三種不同模式下的 16 字元區塊 5 4 1、5 5 1、32 字元區塊 5 4 2、5 5 2 及 64 字元區塊 5 4 3、5 5 3。

假設在目前的模式下，第四及第五暫存器 5 4、5 5 需要 M 筆資料容量，在每個時脈週期 8 筆平行資料輸入的情形下，則第四及第五暫存器 5 4、5 5 需要 M/8 個時脈週期接收從上一級來的資料。在輸入期間，進入資料在時脈 i 的位置索引為：

$$i+(M/8)*k$$

在這裡，k = 0~7 代表寬度為 8 的資料路徑中的其中一條。而在輸出期間，所欲得到的資料排序應為：

$$j*(M/8)+k$$

在這裡，j 為輸出時脈的計數。今舉如第 1 2 圖所示之 16 字元模式為例，該第四及第五暫存器 5 4、5 5 需要兩個時脈週期接收資料，在輸入相位 5 4 3、5 5 3 (PHASE=1) 時，前一級的資料從 8 個指定的輸入端進入，而每一個時脈週期，暫存器組進行往上移動的動作；也就是說，對第四及第五暫存器 5 4、5 5 選擇其從下方來的輸入。在輸出相位 5 4 4、5

5 4 (PHASE=0) 時，第四及第五暫存器 5 4、5 5 進行往右移動的動作，而所需的輸出資料即可從輸出端得到。因此，本發明可以利用 PHASE 訊號來控制第四及第五暫存器 5 4、5 5 裡的資料流向；PHASE 在此作為第四及第五暫存器 5 4、5 5 裡的 CTRL 訊號，也就是用來選擇第四及第五暫存器 5 4、5 5 的輸入資料；類似的操作與資料流向也適用於 32 字元與 64 字元之模式。

為了應付不同的快速傅利葉轉換模式，必須建立三種不同的第一暫存器 5 1、第二暫存器 5 2、第三暫存器 5 3、第四暫存器 5 4 及第五暫存器 5 5，當僅使用部分 64 字元架構搭配將輸入資料導入相對應的位置，便可使之進行 32 字元或 16 字元的暫存器模式，此架構優點在於：當僅需要較小容量的暫存器組時，沒有使用到的暫存器可以完全的切斷電源，因為它們並不會影響到正確的資料流向運作。

另第一暫存器 5 1 (RB_512)、第二暫存器 5 2 (RB_4096) 及第三暫存器 5 3 (RB_4096) 的結構屬於同一類型；同樣配合第 2 圖，可以發現第一暫存器 5 1、第二暫存器 5 2 及第三暫存器 5 3 之前與之後的階段係第一碟型運算單元 3 1 及第二碟型運算單元 3 2，而所需的容量則可能變換從 128 字元到 4096 字元。

如第 1 3 圖所示，假設在目前的模式下，暫存器組需要 M 筆資料容量，在每個時脈週期 8 筆平行資料輸入的情形下，第一暫存器 5 1、第二暫存器 5 2 及第三暫存器 5 3 需要 $M/8$ 個時脈週期接收從上一級來的資料。在輸入期間，進入資料在時脈 i 的位置索引為：

$$i+(M/8)*k \quad (11)$$

在這裡， $k = 0 \sim 7$ 代表寬度為 8 的資料路徑中的其中一條。而在輸出期間，所欲得到的資料排序應為：

$$\left\lfloor j / \left(\frac{M}{8^2} \right) \right\rfloor * \frac{M}{8^2} + j \% \left(\frac{M}{8^2} \right) + \frac{M}{8^2} * k \quad (12)$$

在這裡， j 為輸出時脈的計數。舉 128 字元模式為例，第一暫存器 5 1、第二暫存器 5 2 及第三暫存器 5 3 可視為 8 個區塊的組合，八筆輸入資料分別進入其中一個區塊。在輸入期間，最底列的第一暫存器 5 1、第二暫存器 5 2 及第三暫存器 5 3 進行往右移動的動作；每過兩個時脈週期，在上方的暫存器便進行往上移動的動作，進而清空最底列的暫存器，使得接下來的資料能夠繼續進來。在經過 16 個時脈週期之後，第一組輸出資料便可由輸出端得到；而在輸出期間，整體暫存器組則是每個時脈週期進行往右移動的動作，依序輸出資料。

上述動作所需要的控制訊號也具有簡單的規則

性，本發明必須同時使用 CLK 跟 CTRL 訊號來控制。首先，本發明把暫存器組分成兩個控制區域，如第 14 圖所示。對於區域 1 裡的雙輸入暫存器來說，它們使用相同的時脈訊號，並且利用 PHASE 訊號作為選擇輸入的訊號。對區域 2 裡面的暫存器來說，除了特定的輸入端，其他暫存器的選擇輸入訊號一直都設為 0 以進行往右移動的動作。這 8 個區塊各有指定的輸入端，而對於位在輸入端的暫存器來說，PHASE 訊號用來作為選擇輸入的訊號。

基於上述的設計，本發明可以為這種類型的暫存器模組歸納出一個規則。這些暫存器模組由八個相同結構的基本區塊組成，並且依序連接在一起，而每一個基本區塊由 8 列雙輸入暫存器所組成。在所需暫存器容量為 M 筆資料時，基本區塊的寬度為 $(M/82)$ 字元，而對兩個不同控制區域僅需使用 PHASE 跟時脈訊號來控制，區域 1 中的時脈訊號則是每 $(M/82)$ 個週期觸發一次。

根據第 4 圖，在不同的快速傅利葉轉換點數下，第二暫存器 5 2 及第三暫存器 5 3 可能操作在容量 128、256 或 512 字元的模式，而第一暫存器 5 1 則可能操作在 1024、2048 或 4096 字元模式。跟之前的第四暫存器 5 4 及第五暫存器 5 5 一樣，本發明也可將其設計為可重組的架構；第 15 圖揭示了可重組的

RB_512 架構，其可重組為 128、256 或 512 字元模式；其基本區塊的寬度為 8 字元，而指定的輸入負責連接到了三個不同的暫存器。當 RB_512 要進行 128 字元模式的動作時，輸入資料最右邊的輸入暫存器，同時也把基本區塊的寬度設為 2 字元。而輸入暫存器所在的那一行暫存器，現在則改從前一個基本區塊的輸出端接收資料，而不是從前一行暫存器。而基本區塊中最左邊剩下的六行暫存器，因為與正確的資料運行無關，本發明可以將他們完全的切斷電源。根據這樣的結構設計，本發明僅需要設定相對應的輸入暫存器並且調整控制訊號，便可改變暫存器組的模式。而額外的硬體花費為每個暫存器單元中所增加的多工器 5 8。

在上述暫存器模組的設計中，這些暫存器模組在輸出期間，無法接收新的輸入資料，即使其中仍有暫存器空位；這是因為暫存器組裡的資料流動有兩個方向，而非傳統的單一方向，在正確的管線運作中，暫存器組應該在每輸出完一組資料後，便能接收一筆新的輸入資料；然而所設計的暫存器模組卻不能達到這個功能，因此整個資料流動必須暫停，直到整個暫存器模組可以使用。

為了解決這個問題，本發明的方法是多插入一個一樣的暫存器模組，因此每一級會有兩個一樣的暫存

器模組。當第一個暫存器模組位於輸出期間，前一級的資料流向第二個暫存器模組；接著第二個暫存器模組會進入輸出期間，此時第一個暫存器模組已經再度回到輸入期間，如此循環。

綜上所述，本發明管線化架構可重組混合基底的快速傅利葉轉換處理器可有效改善習用之種種缺點，可利用第一及第二碟型運算單元與可重組碟型運算單元，並透過第一碟型運算單元的重覆使用，將不同點數之快速傅利葉轉換最多分為四級運算階段，達到節省計算時間及硬體成本之功效，進而使本發明之產生能更進步、更實用、更符合使用者之所須，確已符合發明專利申請之要件，爰依法提出專利申請。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

第 1 圖，係本發明之管線化架構可重組混合基底的快速傅利葉轉換處理器(RMR FFT)的架構示意圖。

第 2 圖，係本發明之基底安排方式示意圖。

第 3 圖，係本發明之 128 點快速傅利葉轉換的訊號流程暨區塊示意圖。

第 4 圖，係本發明不同點數快速傅利葉轉換所需之暫存器儲存空間數目示意圖。

第 5 圖，係本發明對 $1/\sqrt{2}$ 乘法之實現電路區塊示意圖。

第 6 圖，係本發明基底-8 碟型運算單元之區塊示意圖。

第 7 圖，係本發明可重組碟型運算單元之區塊示意圖。

第 8 圖，係本發明控制訊號與可重組碟型運算單元運作模式間之關係示意圖。

第 9、10 圖，係本發明雙輸入暫存器之區塊示意圖。

第 11 圖，係本發明 RB_64 在不同容量時之區塊示意圖。

第 12 圖，係本發明暫存器組於 16 字元模式時之資料流向示意圖。

第 1 3 圖，係本發明暫存器於 128 字元模式時之資料
流向示意圖。

第 1 4 圖，係本發明暫存器之控制區域示意圖。

第 1 5 圖，係本發明可重組的 RB_512 之區塊圖示意
圖。

第 1 6 圖，係習用之基底-2 頻率拆解 SDF 架構示意
圖。

第 1 7 圖，係習用之基底-2 MDC 架構示意圖。

第 1 8 圖，係習用之記憶體架構之區塊圖示意圖。

【主要元件符號說明】

(本發明部分)

第一交換器 1 1

第二交換器 1 2

第一多功器 2 1

第二多功器 2 2

第三多功器 2 3

第四多功器 2 4

第一碟型運算單元 3 1

第二碟型運算單元 3 2

可重組碟型運算單元 3 3

多工器 3 3 1

ENA 3 3 2

ENB 3 3 3

乘法器 4 1

記憶單元 4 2

常數乘法器 4 3

第一暫存器 5 1

第二暫存器 5 2

第三暫存器 5 3

第四暫存器 5 4

輸入相位 5 4 3 、 5 5 3

輸出相位 5 4 4 、 5 5 4

第五暫存器 5 5

CTRL 控制訊號 5 6

CLK 控制訊號 5 7

多工器 5 8

第一浮點處理單元 6 1

第二浮點處理單元 6 2

第三浮點處理單元 6 3

(習用部分)

SDF 架構 7

碟型階段 7 1

碟型運算單元 7 2

回饋暫存器 7 3

MDC 架構 8

延遲單元 8 1

交換器 8 2

控制單元 9

碟型運算單元 9 1

記憶體模組 9 2

十、申請專利範圍：

1. 一種管線化架構可重組混合基底的快速傅利葉轉換處理器，其包括：

一第一交換器；

一第一多功器，係與上述第一交換器連接；

一第一碟型運算單元，係與上述第一多功器連接；

一乘法器，係與上述第一碟型運算單元連接；

一記憶單元，係與上述乘法器連接；

一第一暫存器，係與上述乘法器及第一多功器連接；

一第一浮點處理單元，係與上述第一暫存器連接；

一第二暫存器，係與上述乘法器連接；

一第三暫存器，係與上述乘法器連接；

一第二浮點處理單元，係與上述第二、三暫存器連接；

一第二多功器，係與上述第二、三暫存器連接；

一第三多功器，係與上述第一交換器及第二多功器連接；

一 第二碟型運算單元，係與上述第三多功器連接；

一 常數乘法器，係與上述第二碟型運算單元連接；

一 第四暫存器，係與上述常數乘法器連接；

一 第五暫存器，係與上述常數乘法器連接；

一 第三浮點處理單元，係與上述第四、五暫存器連接；

一 第四多功器，係與上述第四、五暫存器連接；










一 可重組碟型運算單元，係與上述第四多功器連接；以及

一 第二交換器，係與上述可重組碟型運算單元連接。

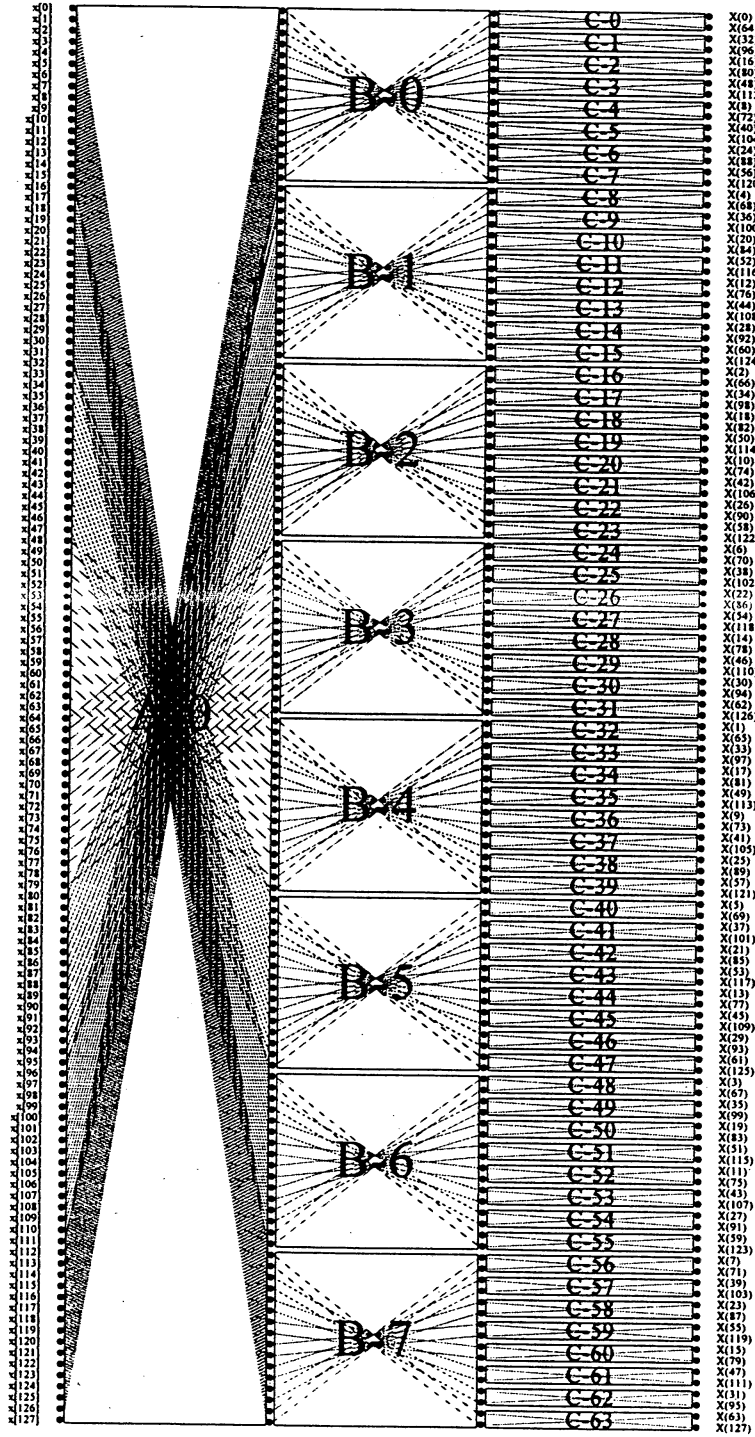
2. 依申請專利範圍第1項所述之管線化架構可重組混合基底的快速傅利葉轉換處理器，其中，該第一、二、三、四及第五暫存器係利用具雙輸入的D型正反器(flip-flop)組成。

3. 依申請專利範圍第1項所述之管線化架構可重組混合基底的快速傅利葉轉換處理器，其中，該第一、二、三、四及第五暫存器係利用時脈及觸發器輸入控制訊號來決定資料在暫存器組內的流向。

4. 依申請專利範圍第 1 項所述之管線化架構可重組混合基底的快速傅利葉轉換處理器，其中，該可重組碟型運算單元基底-2 之運算單元。
5. 依申請專利範圍第 1 項所述之管線化架構可重組混合基底的快速傅利葉轉換處理器，其中，該可重組碟型運算單元基底-4 之運算單元。
6. 依申請專利範圍第 1 項所述之管線化架構可重組混合基底的快速傅利葉轉換處理器，其中，該可重組碟型運算單元基底-8 之運算單元。

FFT size	Stage 1	Stage 2	Stage 3	Stage 4
16			8	2
32			8	4
64			8	8
128		8	8	2
256		8	8	4
512		8	8	8
1024	8	8	8	2
2048	8	8	8	4
4096	8	8	8	8

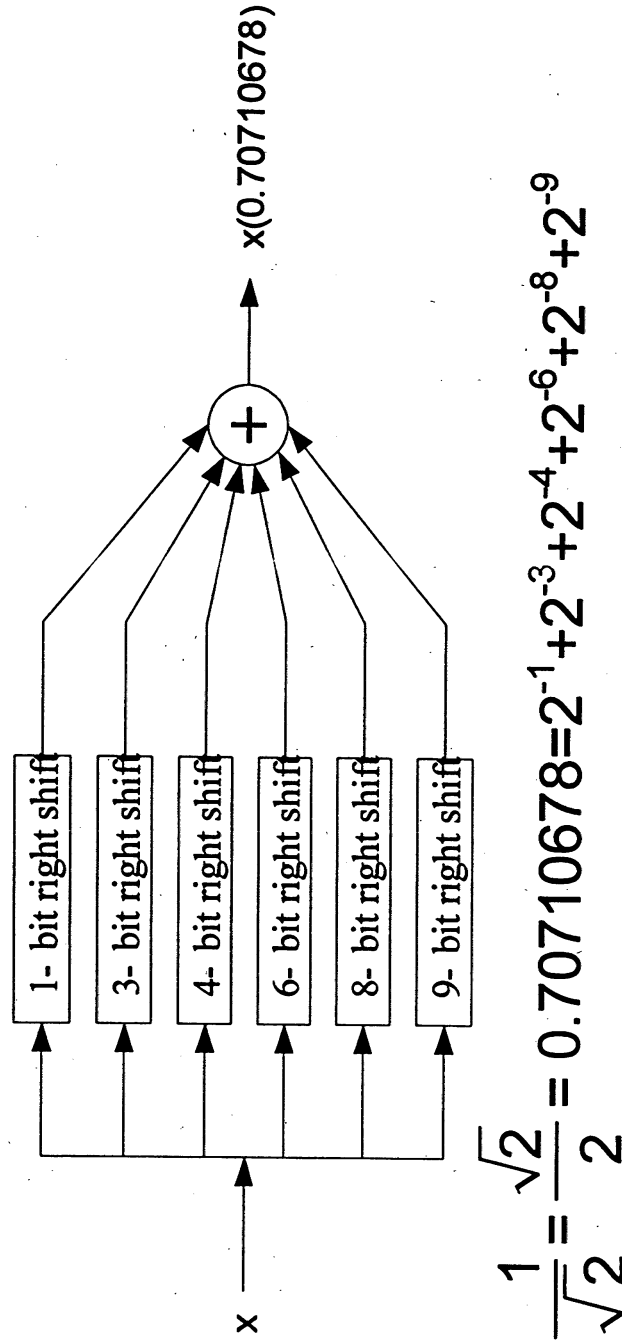
第2圖



第 3 圖

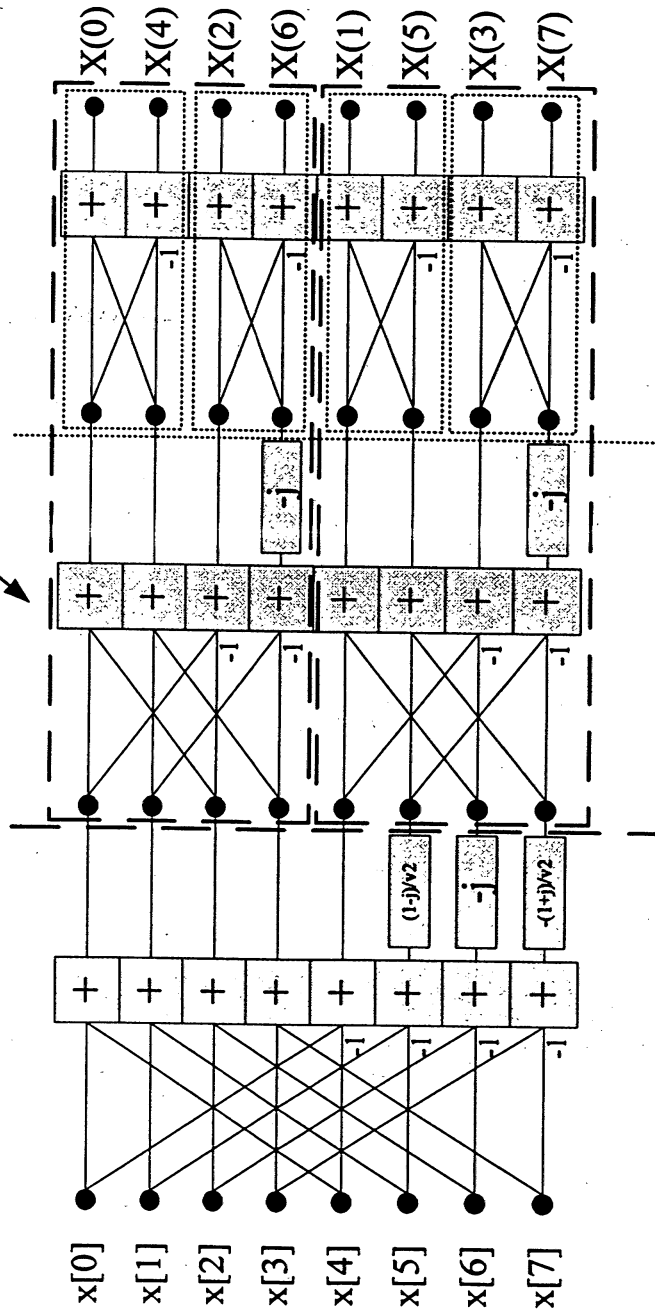
FFT size	RB_4096	RB_512	RB_64
16			16
32			32
64			64
128		128	16
256		256	32
512		512	64
1024	1024	128	16
2048	2048	256	32
4096	4096	512	64

第4圖

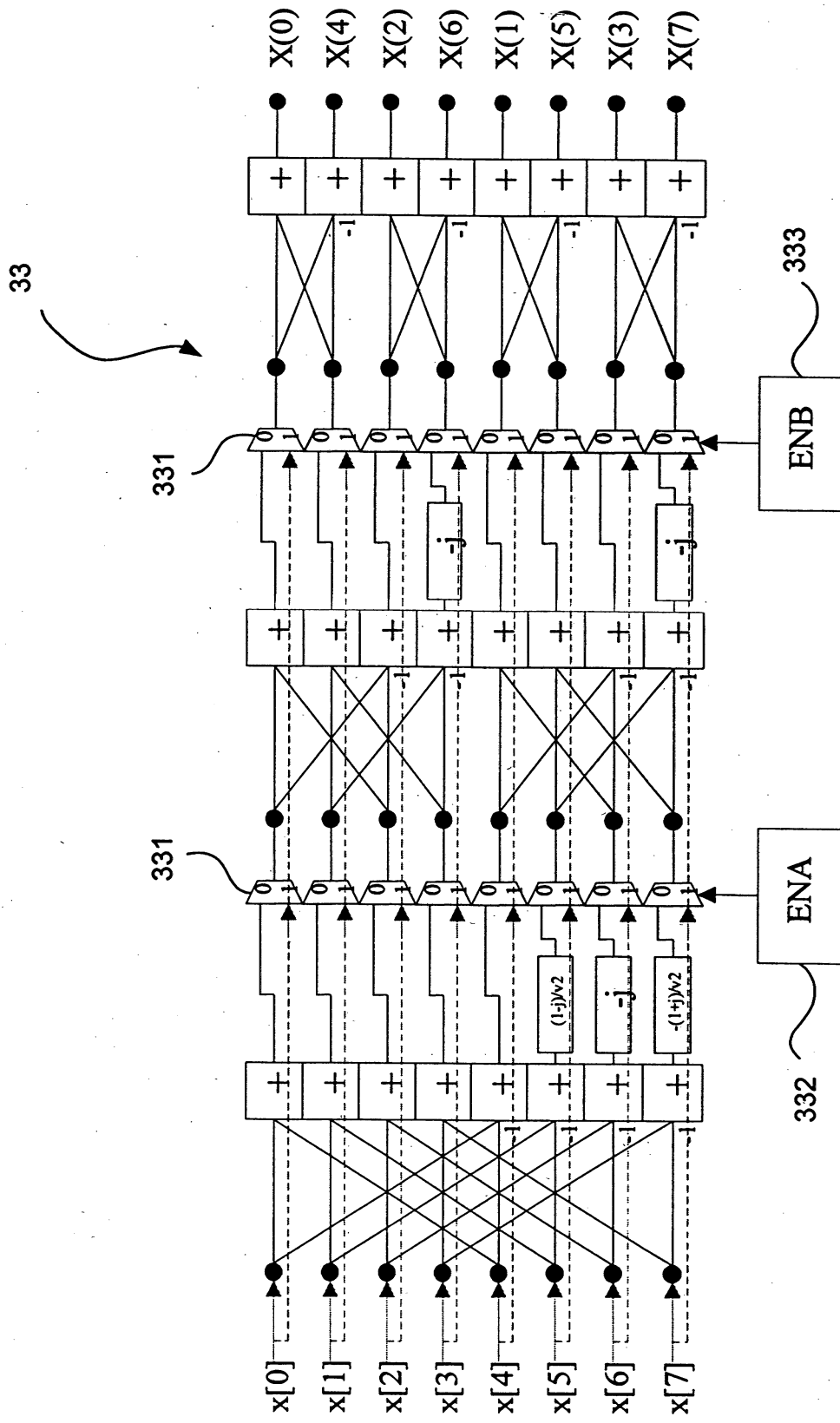


第5圖

31,32



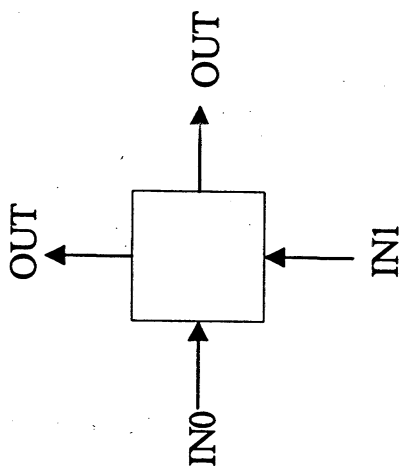
第6圖



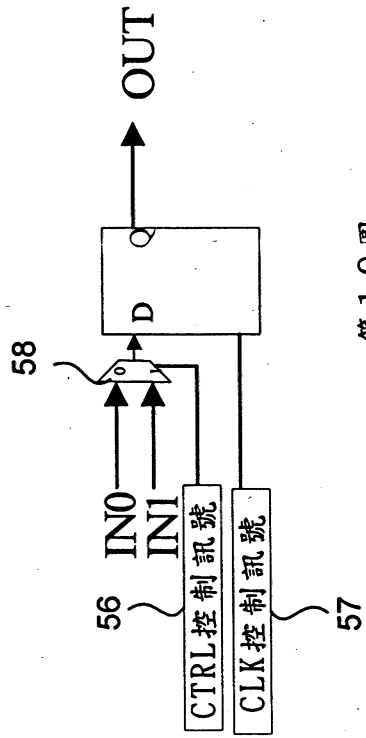
第7圖

BF Mode	ENA	ENB
Raidx-8 BF	0	0
2 parallel radix-4 BF	1	0
4 parallel radix-2 BF	X	1

第8圖

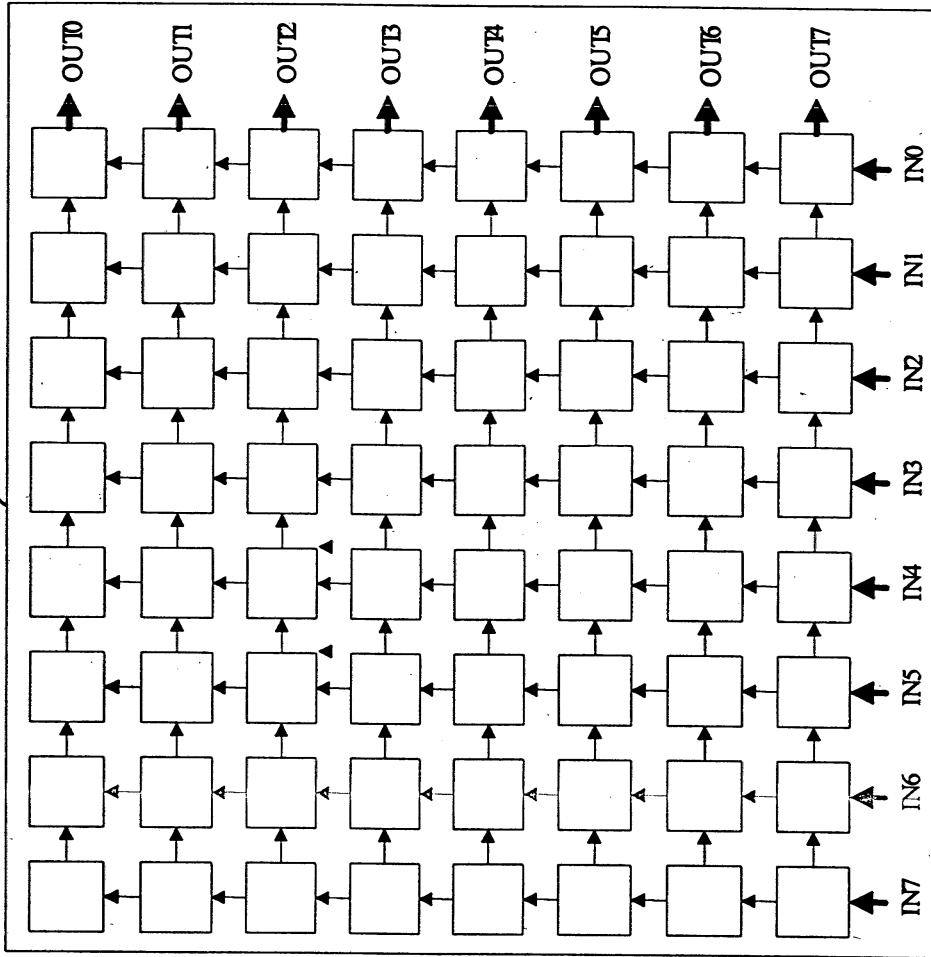


第9圖

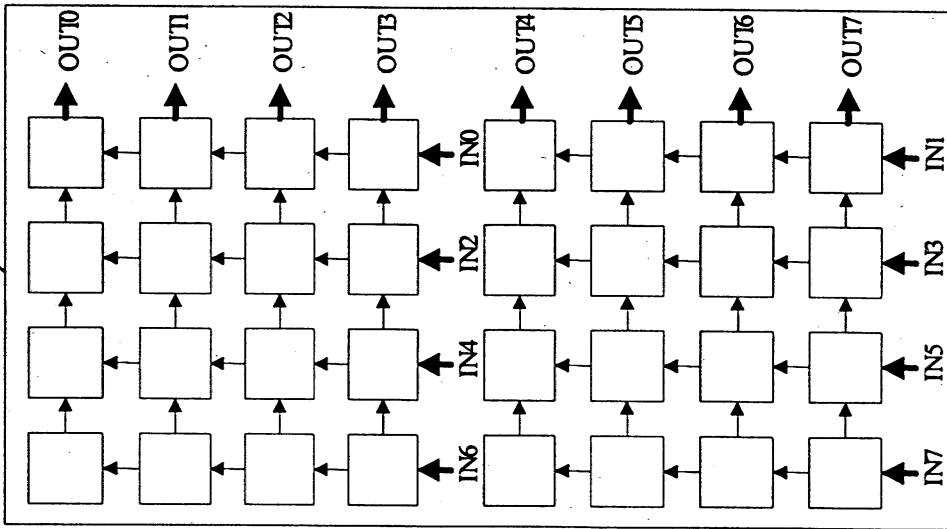


第 10 圖

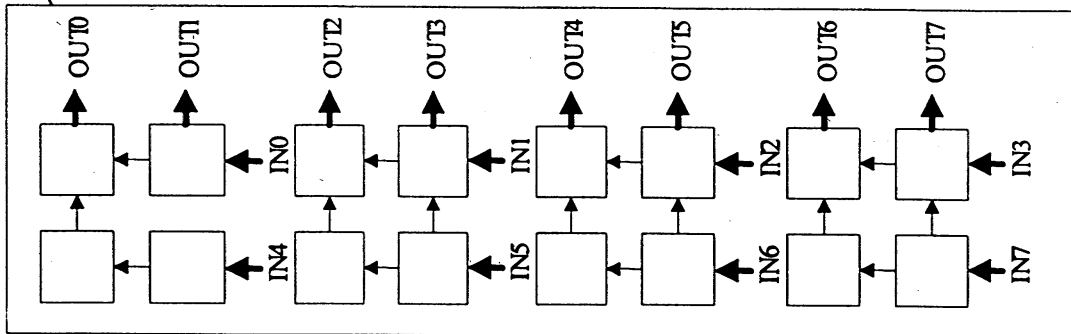
543,553



542,552

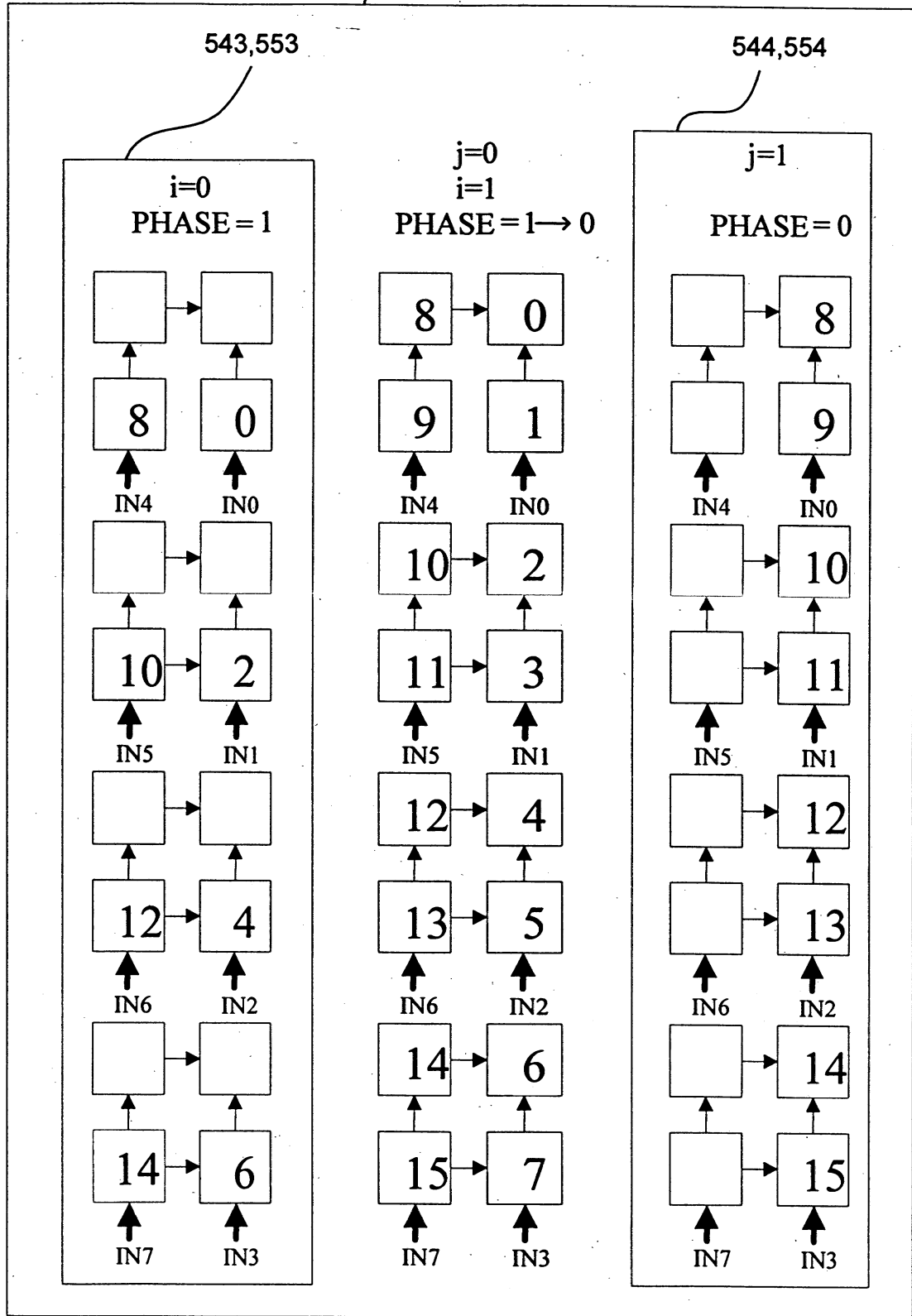


541,551

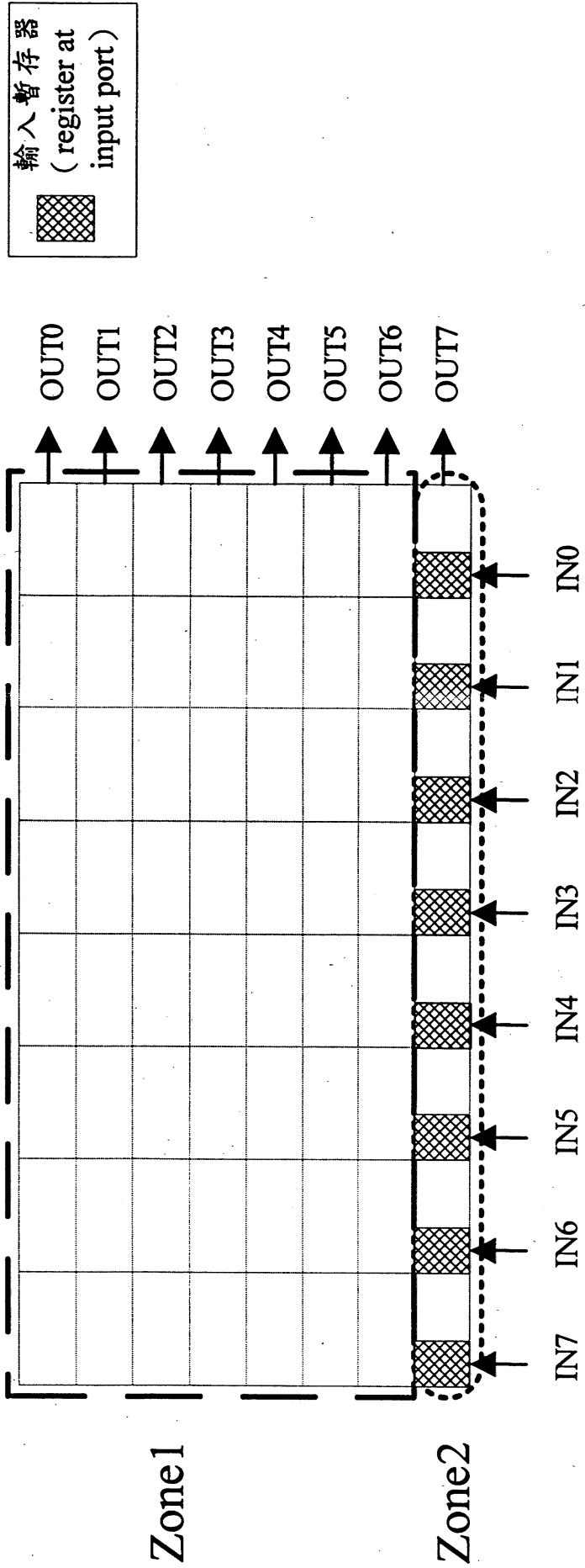


第 1 1 圖

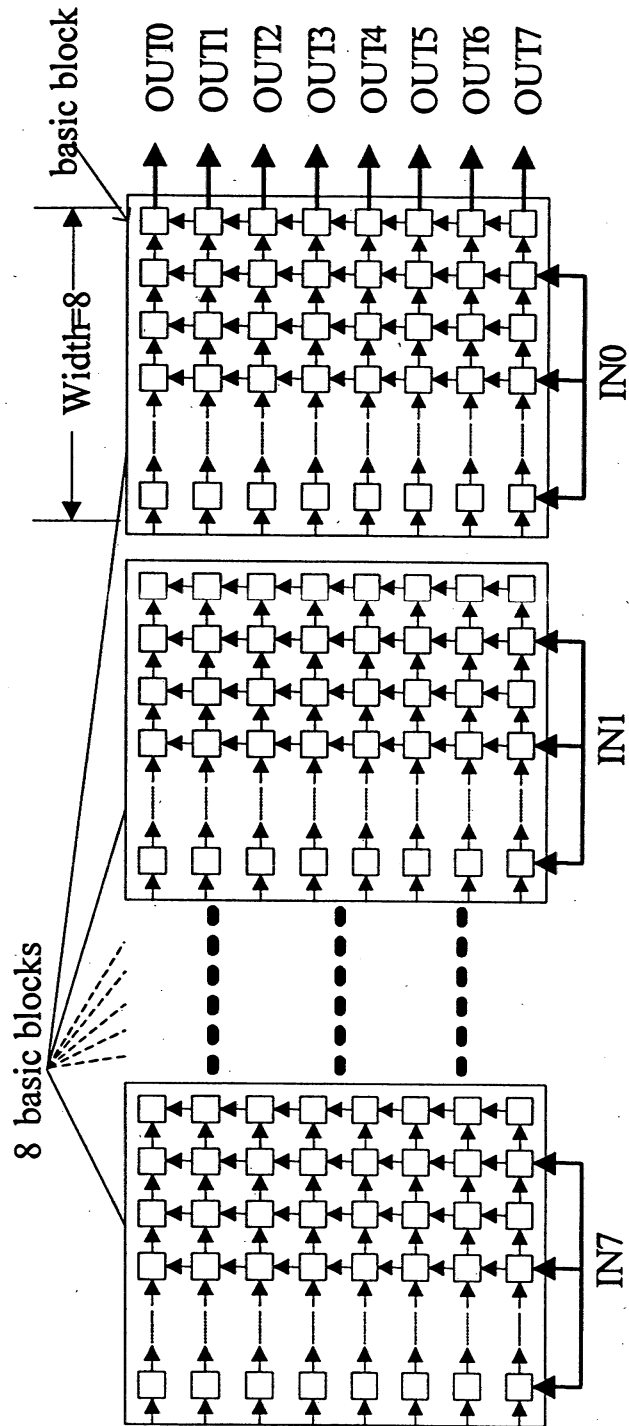
54,55



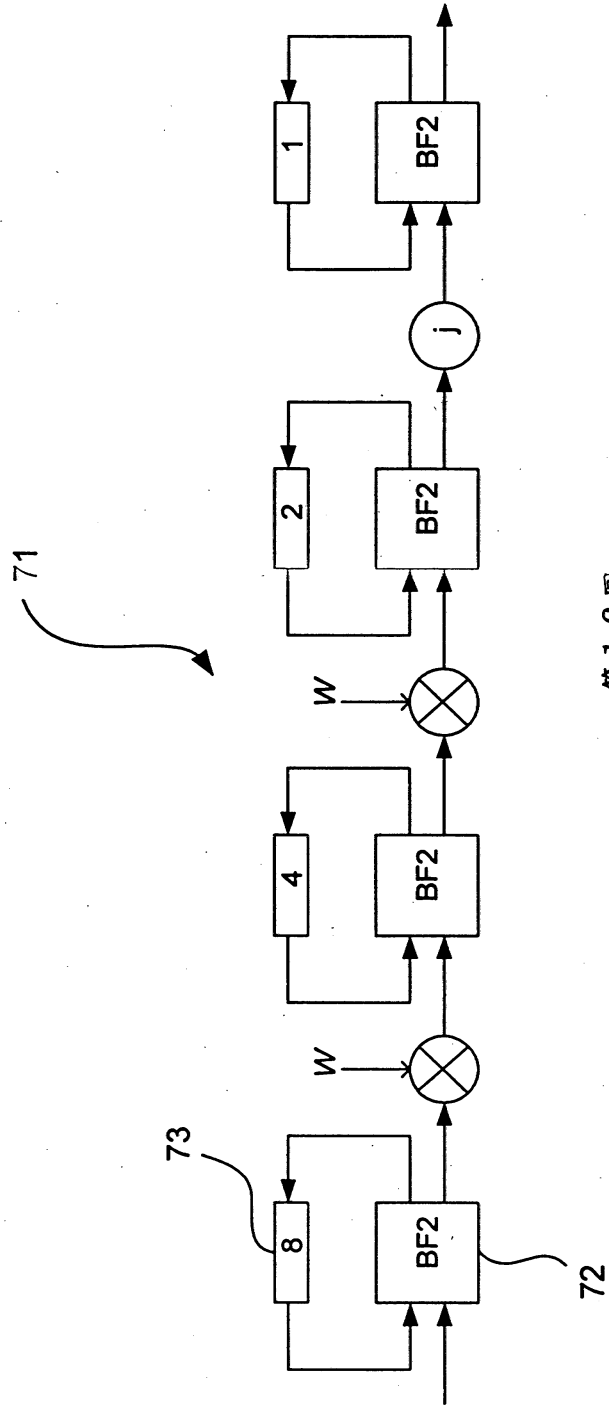
第 1 2 圖



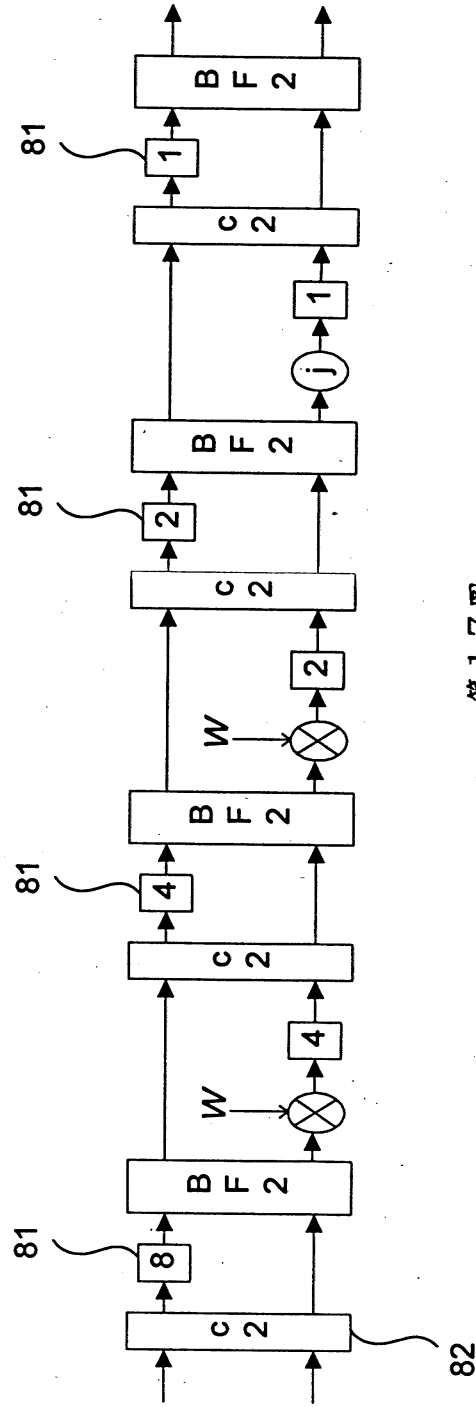
第 1 4 圖



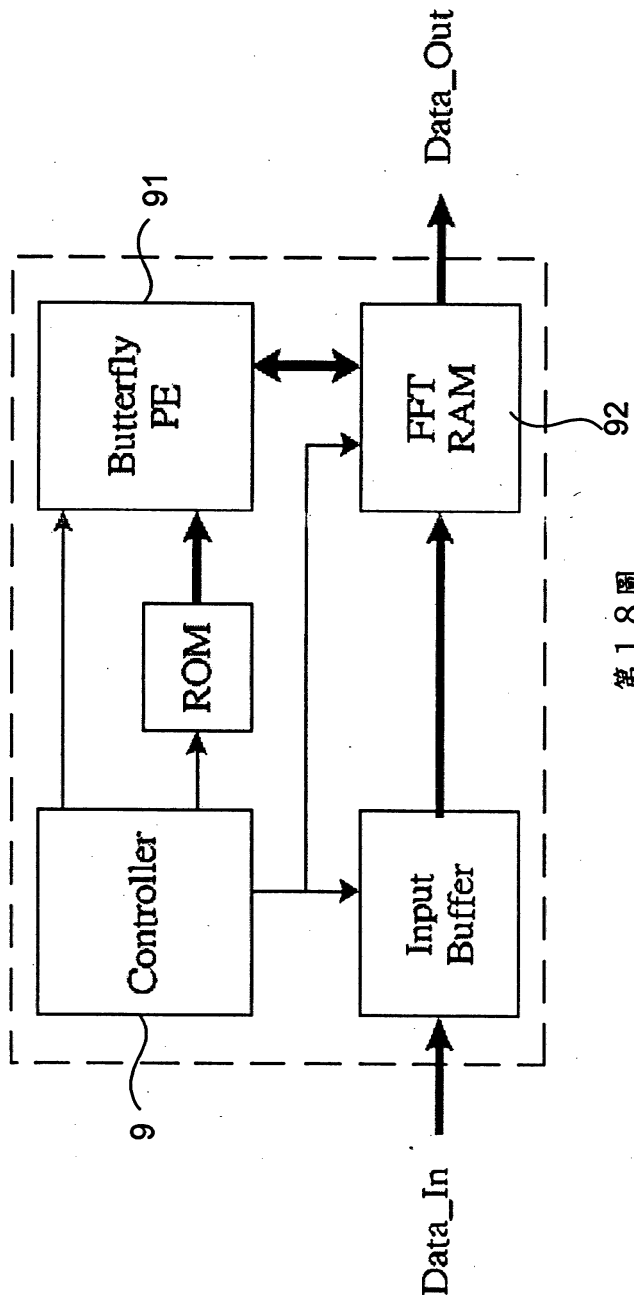
第 15 圖



第16圖



第 1 7 圖



第 18 圖