

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95148384

※申請日期：95.12.22

※IPC 分類：G06F 12/00 (2006.01)

一、發明名稱：(中文/英文)

記憶裝置及其迴圈緩衝器

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

指定 為應受送達人

代表人：(中文/英文)(簽章) 黃威/WEI HWANG

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/NO.1001 DASYUE Road, Hsinchu CITY 300-10,
Taiwan(R.O.C)

國籍：(中文/英文) 中華民國 / ROC

電話/傳真/手機：

E-MAIL：

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 吳奕緯/ I-WEI WU
2. 田濱華/ BIN-HUA TEIN
3. 鍾崇斌/ CHUNG-PING CHUNG
4. 單智君/ JYH-JIUN SHANN

國籍：(中文/英文)

1. 中華民國/ ROC
2. 中華民國/ ROC
3. 中華民國/ ROC
4. 中華民國/ ROC

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係揭露一種記憶裝置及其迴圈緩衝器(loop buffer)。在一實施例中，此迴圈緩衝器包含一緩衝記憶體單元及一分支目的緩衝區(BTB)，緩衝記憶體單元可儲存最內層迴圈指令(innermost loop instruction)，而分支目的緩衝區(BTB)可儲存此緩衝記憶體單元內之指令之追跡資料(track)。藉此，此迴圈緩衝器可儲存包含向前分支(forward branch)及函式(subroutine)之迴圈指令，以進一步減少指令提取之耗能。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- 1：記憶裝置；
- 10：記憶體單元陣列；
- 11：緩衝單元；
- 12：紀錄單元；
- 13：控制單元；
- 14：邏輯單元；
- 15：資料；
- 16：處理單元；以及
- 161：資料提取位址。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶裝置、其迴圈緩衝器及其方法，特別是有關於一種可儲存包含向前分支(forward branch)及函式(subroutine)之迴圈指令之記憶裝置、其迴圈緩衝器及其方法。

【先前技術】

對嵌入式系統而言，省電機制是系統設計時相當重要的考量因素，尤其處理器的省電機制。在處理器的運作中，指令提取(instruction fetch)消耗佔了不小的比例，約 20%~30%之間。因此，若能減少指令提取的耗電量便能減低嵌入式系統的電力消耗。而一般的程式在執行時，大部分的執行時間是花在最內層迴圈(innermost loop)上，因此，在傳統的設計中，指令快取記憶體(instruction cache)及處理器核心之間係增加一容量較小的記憶體，稱為迴圈緩衝儲存器(loop buffer)，用以儲存最內層迴圈指令，來減少處理器核心與指令快取記憶體之間指令提取的次數，進而減少指令提取的耗電量。最內層迴圈指令大多包含向前分支(forward)及函式(subroutine)，然而，傳統的迴圈緩衝儲存器無法儲存向前分支及函式的最內層迴圈指令，使得迴圈緩衝儲存器能節省的耗能有限。

有鑑於習知技藝之各項問題，為了能夠兼顧解決之，本發明人基於多年研究開發與諸多實務經驗，提出一種記憶裝置、其迴圈緩衝器及其方法，以作為改善上述

缺點之實現方式與依據。

【發明內容】

有鑑於此，本發明之目的就是在提供一種記憶裝置、其迴圈緩衝器及其方法，以減少指令提取之耗能。

根據本發明之目的，提出一種資料存取裝置，其包含一記憶體單元陣列、一緩衝單元、一紀錄單元、一邏輯單元及一控制單元。記憶體單元陣列係用以儲存複數筆資料，緩衝單元係用以儲存來自該記憶體單元陣列之資料。紀錄單元係用以紀錄一該緩衝單元所儲存之資料之分支預測結果。邏輯單元係用以選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料。控制單元係用以接收一資料提取位址，並根據該資料提取位址及該紀錄單元所紀錄之分支指令預測結果，以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出。

此外，本發明更提出一種迴圈緩衝器，係電性連接一處理器及一記憶體單元陣列，此迴圈緩衝器包含：一緩衝單元、一紀錄單元、一邏輯單元及一控制單元。緩衝單元係用以儲存來自該記憶體單元陣列之資料。紀錄單元係用以紀錄該緩衝單元所儲存之資料之分支預測結果。邏輯單元係用以根據該控制訊號，選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料至該處理器。控制單元係用以根據該資料提取位址及該紀錄單元所紀錄之分支預測結果，以用以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出。

茲為使 貴審查委員對本發明之技術特徵及所達到之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明如後。

【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之記憶裝置、其迴圈緩衝器及其方法，為使便於理解，下述實施例中之相同元件係以相同之符號標示來說明。

請參閱第 1 圖，其係為本發明之記憶裝置之方塊圖。圖中，記憶裝置 1 係電性連接一處理單元 16。記憶裝置 1 包含一記憶體單元陣列 10、一緩衝單元 11、一紀錄單元 12、一控制單元 13 及一邏輯單元 14。記憶體單元陣列 10 用以儲存複數筆資料 15，例如指令(instruction)。緩衝單元 11 用以儲存來自記憶體單元陣列 10 之資料，例如最內層迴圈指令。紀錄單元 12 係紀錄緩衝單元 11 所儲存之資料之分支預測結果，即為最內層迴圈指令之指令執行路徑，可藉此來指示儲存緩衝單元 11 之最內層迴圈指令為穿過式(fall-through)或目的式(target)。紀錄單元 12 可為一支目的緩衝器(branch target buffer)，而分支目的緩衝器之一欄位可紀錄上述之資料分支預測結果。邏輯單元 14 由控制單元 13 所控制，以選擇性輸出記憶體單元陣列 10 所儲存之資料或緩衝單元 11 所儲存之資料。邏輯單元 14 可為一多工器。記憶體單元陣列 10 可為一快取記憶體或是更下階層的記憶體。而緩衝單元 11 係為一儲存空間，其大小小於快取記憶體，或是更下階層的記憶體。

控制單元 13 用以接收一處理單元 16 所產生之資料提取位址 161，並根據資料提取位址 161 及紀錄單元 12 所紀錄之資料分支預測結果，來控制記憶體單元陣列 10 輸出對應資料提取位址 161 之資料。此外，控制單元 13 亦根據資料提取位址 161 及紀錄單元 12 所紀錄之資料分支預測結果，來控制緩衝單元 11 之資料存取。控制單元 13 可為一有限狀態機(finite state machine)，其至少包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)，其中，填入狀態係表示控制單元 13 控制緩衝單元 11 儲存記憶體單元陣列 10 所輸出之資料，而運行狀態係表示控制單元 13 控制緩衝單元 11 輸出所儲存之資料，而閒置狀態係表示緩衝單元 11 無儲存資料或輸出資料之動作。再者，控制單元 13 亦根據資料提取位址 161 及紀錄單元 12 所紀錄之資料分支預測結果，來控制邏輯單元 14 之資料輸出。

請參閱第 2 圖，其係為本發明之記憶裝置之實施例之方塊圖。圖中，記憶裝置 2 與處理器核心(CPU core)電性連接。記憶裝置 2 包含一快取記憶體 20、一緩衝記憶體 21、一分支目的緩衝器(BTB)22、一控制單元 23 及一多工器 24。快取記憶體 20 用以儲存複數筆指令 25。控制單元 23 係為一有限狀態機，來控制緩衝記憶體 21 於閒置狀態(Idle state)、填入狀態(Fill state)及運行狀態(Active state)之間的轉換，如第 3 圖所示。當處理器核心 26 初始化或重置(reset)時，控制單元 23 會進入閒置狀態，如動作 30。在閒置狀態下，控制單元 23 會不斷偵測最內層迴圈是否出現。其中，控制單元 23 可依據下列兩個偵測機制：

- (1) 當控制單元 23 判斷所接收到的指令提取位址

261 所對應之指令為一向後分支指令且此時向後分支指令為發生的(taken)，則表示一最內層迴圈被控制單元 23 偵測到；

- (2) 當控制單元 23 判斷所接收到的指令提取位址 261 所對應之指令為向後分支指令且此時向後分支指令已連續發生兩次，則表示一最內層迴圈被控制單元 23 偵測到。

在偵測最內層迴圈時，控制單元 23 亦要同時確認程式中的最內層迴圈是否已經存在緩衝記憶體中。因此，記憶裝置 2 可增加一暫存器(register)，用以紀錄最內層迴圈的開始位址及結束位址。

當無迴圈被偵測到時，則控制單元 23 傳送第一控制訊號 231 及指令提取位址 261 至快取記憶體 20，致使快取記憶體 20 輸出對應指令提取位址 261 之指令 25 至多工器 24。且控制單元 23 傳送第三控制訊號 234 至多工器 24，以控制多工器 24 輸出指令 25 予處理器核心 26。

若一個新的最內層迴圈被偵測到時，則控制單元 23 進入填入狀態，如動作 31，此時控制單元 23 傳送第一控制訊號 231 及指令提取位址 261 至快取記憶體 20，致使快取記憶體 20 輸出對應指令提取位址 261 之指令 25，且控制單元 23 傳送第二控制訊號 232 至緩衝記憶體 21，以控制緩衝記憶體 21 儲存快取記憶體 20 所輸出之指令。且控制單元 23 傳送第三控制訊號 234 至多工器 24，以控制多工器 24 輸出指令 25 予處理器核心 26。在填入狀態時，快取記憶體 20 所輸出之指令從緩衝記憶體 21 之第一個存入點(entry)開始循序地填入，

並於分支目的緩衝器 12 之一欄位紀錄每一個分支(branch)的結果，以及於控制單元 23 之暫存器中紀錄最內層迴圈開始或結束及位址，如動作 33。緩衝記憶體 21 內所儲存的為最內層迴圈指令(innermost loop instruction) 211。

當所偵測到的最內層迴圈填完之後，控制單元 23 便將儲存於緩衝記憶體 21 之最內層迴圈指令之數目紀錄於一暫存器中，並進入運行模式，如動作 34。若所偵測到是一大於緩衝記憶體 21 容量的最內層迴圈，會造成緩衝記憶體 21 滿溢的現象，因此當緩衝記憶體 21 被填滿時，控制單元 23 進入閒置模式，如動作 35。

若已儲存於緩衝記憶體 21 之最內層迴圈被偵測到時，則控制單元 23 進入運行狀態，如動作 32。此時控制單元 23 傳送一第二控制訊號 232 及一緩衝記憶體索引(index)233 至緩衝記憶體 21，以控制緩衝記憶體 21 輸出對應緩衝記憶體索引 233 之最內層迴圈指令 211 至多工器 24。而控制單元 23 傳送第三控制訊號 234 至多工器 24，以控制多工器 24 輸出最內層迴圈指令 211 予處理器核心 26。在運行模式時，記憶裝置 2 持續從緩衝記憶體 21 輸出最內層迴圈指令 211 予處理器核心 26，如動作 36。在運行模式時，控制單元 23 之計數器會計算處理器核心 26 已經自緩衝記憶體 21 擷取多少指令。在運行模式時，如果發生迴圈緩衝失效(loop buffer miss)、預測錯誤(misprediction)或是已經讀到緩衝記憶體 21 內最後一道指令時，則控制單元 23 進入閒置模式，如動作 37。

如果控制單元 23 因為讀到緩衝記憶體 21 內最後一道指令而進入閒置模式，則控制單元 23 繼續傳送第一控制訊號 231 及指令提取位址 261 至快取記憶體 20，致使快取記憶體 20 輸出對應指令提取位址 261 之指令 25，且控制單元 23 亦傳送第三控制訊號 234 至多工器 24，以控制多工器 24 輸出指令 25 至處理器核心 26。因此，處理器核心 26 所擷取到的指令一部分由緩衝記憶體 21 提供，而其餘部分由快取記憶體 20 提供。

在運行模式時，若發生向前分支預測錯誤(forward branch misprediction)時，則控制單元 23 進入填入模式，如動作 38，而控制單元 23 傳送第一控制訊號 231 及指令提取位址 261 至快取記憶體 20，致使快取記憶體 20 輸出對應指令提取位址 261 之指令 25，且控制單元 23 亦傳送第三控制訊號 234 至多工器 24，以控制多工器 24 輸出指令 25 至處理器核心 26。而重新填入指令至緩衝記憶體 21 可依循下列機制，並請參閱第 4 圖：

- (1) 控制單元 23 可控制快取記憶體 20 所輸出之指令從緩衝記憶體 21 之第一個存入點 40 重新循序地填入，即表示緩衝記憶體 21 裡的指令全部清除；
- (2) 若發生錯誤之向前分支指令 41 出現在緩衝記憶體 21 之中間位置，則表示在向前分支指令 41 之前的指令一至指令七為正確的，因此僅需從發生錯誤之向前分支指令 41 開始重新填入指令即可。

已上所述僅為舉例性，而非為限制性者。任何未脫

離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

【圖式簡單說明】

第1圖 係為本發明之記憶裝置之方塊圖；

第2圖 係為本發明之記憶裝置之實施例之方塊圖；

第3圖 係為本發明之記憶裝置之有限狀態機之運作流程圖；
以及

第4圖 係為本發明之緩衝記憶體之指令儲存位置示意圖。

【主要元件符號說明】

- 1：記憶裝置；
- 10：記憶體單元陣列；
- 11：緩衝單元；
- 12：紀錄單元；
- 13：控制單元；
- 14：邏輯單元；
- 15：資料；
- 16：處理單元；
- 161：資料提取位址；
- 2：記憶裝置；
- 20：快取記憶體；
- 21：緩衝記憶體；
- 211：最內層迴圈指令；
- 22：分支目的緩衝器；
- 23：控制單元；

- 231：第一控制訊號；
- 232：第二控制訊號；
- 233：緩衝記憶體索引；
- 234：第三控制訊號；
- 24：多工器；
- 25：指令
- 26：處理器核心；
- 261：指令提取位址；
- 30~38：有限狀態機之動作；以及
- 41, 42：指令位置。

十、申請專利範圍：

1、一種資料存取裝置，其包含：

- 一記憶體單元陣列，係儲存複數筆資料；
- 一緩衝單元，係儲存來自該記憶體單元陣列之資料；
- 一紀錄單元，係紀錄一該緩衝單元所儲存之資料之分支預測結果(branch prediction result)；
- 一邏輯單元，係選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料；以及
- 一控制單元，係接收一資料提取位址，並根據該資料提取位址及該紀錄單元所紀錄之分支指令預測結果，以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出。

2、如申請專利範圍第1項所述之記憶裝置，其中該記憶體單元陣列係為一快取記憶體，或是更下階層的記憶體。

3、如申請專利範圍第1項所述之記憶裝置，其中該緩衝單元係為一儲存空間，其大小小於快取記憶體，或是更下階層的記憶體。

4、如申請專利範圍第3項所述之記憶裝置，其中該記憶體係為一無標籤之記憶體。

5、如申請專利範圍第1項所述之記憶裝置，其中該緩衝單元所儲存之資料係為一最內層迴圈指令(innermost loop instruction)。

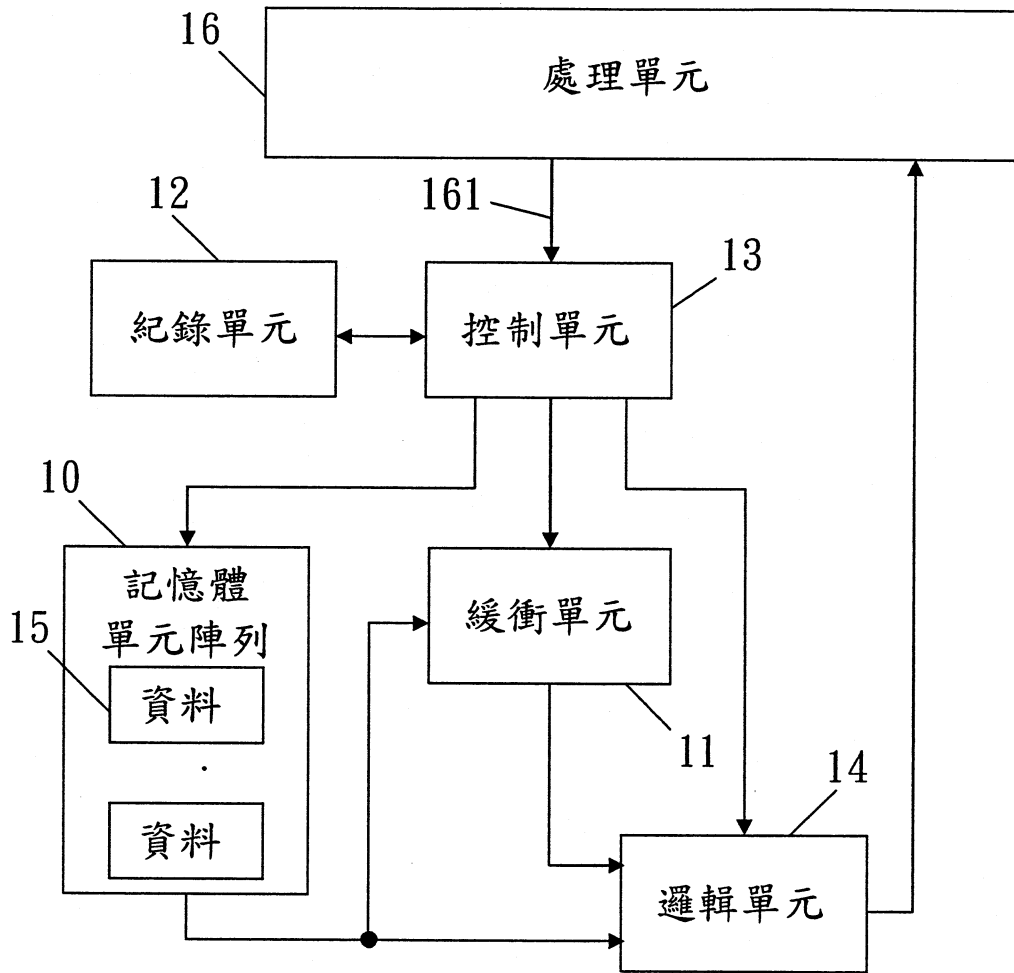
6、如申請專利範圍第1項所述之記憶裝置，其中該控制單元係為一有限狀態機(finite state machine)，該有限狀態機包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)。

7、如申請專利範圍第6項所述之記憶裝置，其中該控制單元

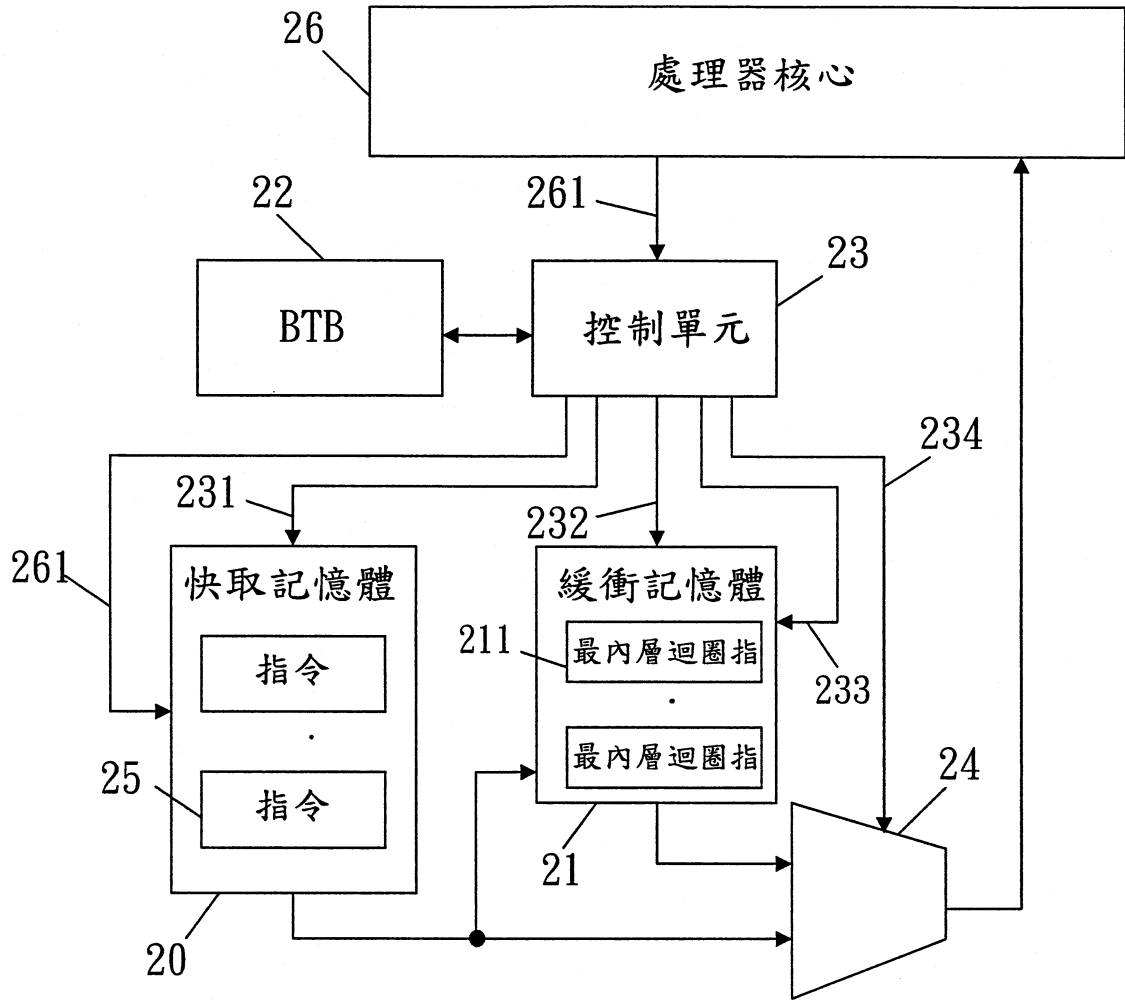
- 處於閒置狀態時，當該控制單元判斷該指令提取位址所對應之指令為一向後分支指令且該向後分支指令為發生的(taken)，則表示一最內層迴圈被該控制單元偵測到。
- 8、如申請專利範圍第 6 項所述之記憶裝置，其中該控制單元處於閒置狀態時，當該控制單元判斷該指令提取位址所對應之指令為一向後分支指令且該向後分支指令已連續發生(taken)兩次，則表示一最內層迴圈被該控制單元偵測到。
- 9、一種迴圈緩衝器，係電性連接一處理器及一記憶體單元陣列，該迴圈緩衝器包含：
- 一緩衝單元，係儲存來自該記憶體單元陣列之資料；
 - 一紀錄單元，係紀錄該緩衝單元所儲存之資料之分支預測結果；
 - 一邏輯單元，係根據該控制訊號，選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料至該處理器；
 - 一控制單元，係根據該資料提取位址及該紀錄單元所紀錄之分支預測結果，以用以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出。
- 10、如申請專利範圍第 9 項所述之記憶裝置，其中該記憶體單元陣列係為一快取記憶體，或是更下階層的記憶體。
- 11、如申請專利範圍第 9 項所述之記憶裝置，其中該緩衝單元係為一儲存空間，其大小小於快取記憶體，或是更下階層的記憶體。
- 12、如申請專利範圍第 11 項所述之記憶裝置，其中該記憶體係為一無標籤之記憶體。

- 13、 如申請專利範圍第 9 項所述之記憶裝置，其中該控制單元係為一有限狀態機(finite state machine)，該有限狀態機包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)。
- 14、 如申請專利範圍第 9 項所述之記憶裝置，其中該緩衝單元所儲存之資料係為一最內層迴圈指令(innermost loop instruction)。
- 15、 如申請專利範圍第 9 項所述之記憶裝置，其中該控制單元係為一有限狀態機(finite state machine)，該有限狀態機包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)。
- 16、 如申請專利範圍第 15 項所述之記憶裝置，其中該控制單元處於閒置狀態時，當該控制單元判斷該指令提取位址所對應之指令為一向後分支指令且該向後分支指令為發生的(taken)，則表示一最內層迴圈被該控制單元偵測到。
- 17、 如申請專利範圍第 15 項所述之記憶裝置，其中該控制單元處於閒置狀態時，當該控制單元判斷該指令提取位址所對應之指令為一向後分支指令且該向後分支指令已連續發生(taken)兩次，則表示一最內層迴圈被該控制單元偵測到。

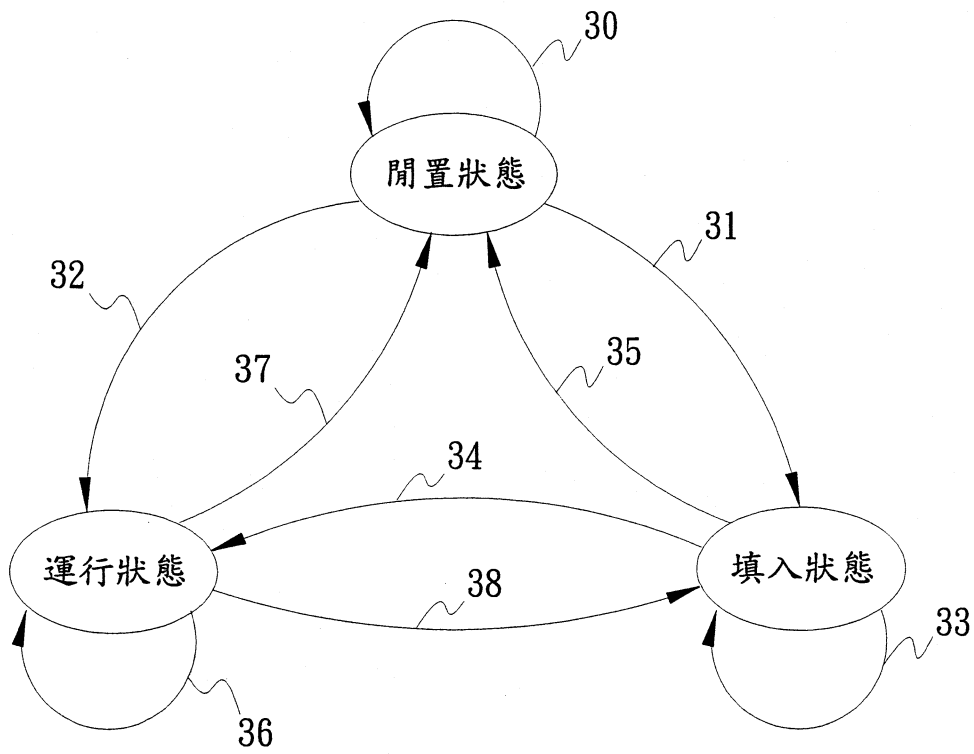
十一、圖式：



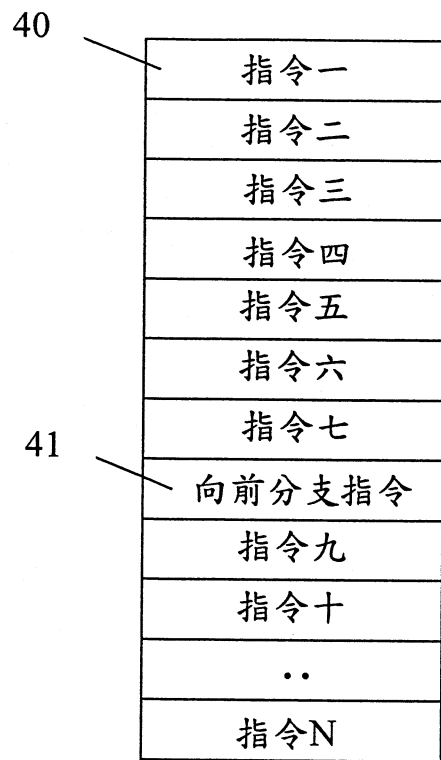
第 1 圖



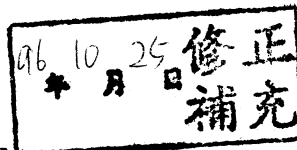
第 2 圖



第 3 圖



第 4 圖



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95148384

※ 申請日期： 95.12.22

※IPC 分類： G06F12/00 (2006.01)

一、發明名稱：(中文/英文)

記憶裝置及其迴圈緩衝器

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

指定 為應受送達人

代表人：(中文/英文)(簽章) 吳重雨/WU CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/NO.1001 DASYUE Road, Hsinchu CITY 300-10,
Taiwan(R. O. C)

國 籍：(中文/英文) 中華民國 / ROC

電話/傳真/手機：

E-MAIL：

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 吳奕緯/ I-WEI WU
2. 田濱華/ BIN-HUA TEIN
3. 鍾崇斌/ CHUNG-PING CHUNG
4. 單智君/ JYH-JIUN SHANN

國 籍：(中文/英文)

1. 中華民國/ ROC
2. 中華民國/ ROC
3. 中華民國/ ROC
4. 中華民國/ ROC