



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I430125 B

(45) 公告日：中華民國 103 (2014) 年 03 月 11 日

(21) 申請案號：100103721

(22) 申請日：中華民國 100 (2011) 年 01 月 31 日

(51) Int. Cl. : G06F17/50 (2006.01)

H01L29/78 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：郭治群 GUO, JYH CHYURN (TW) ; 葉國良 YEH, KUO LIANG (TW)

(74) 代理人：莊世超

(56) 參考文獻：

TW 479307

US 2002/0055193A1

US 2009/0280582A1

審查人員：林剛煌

申請專利範圍項數：6 項 圖式數：5 共 0 頁

(54) 名稱

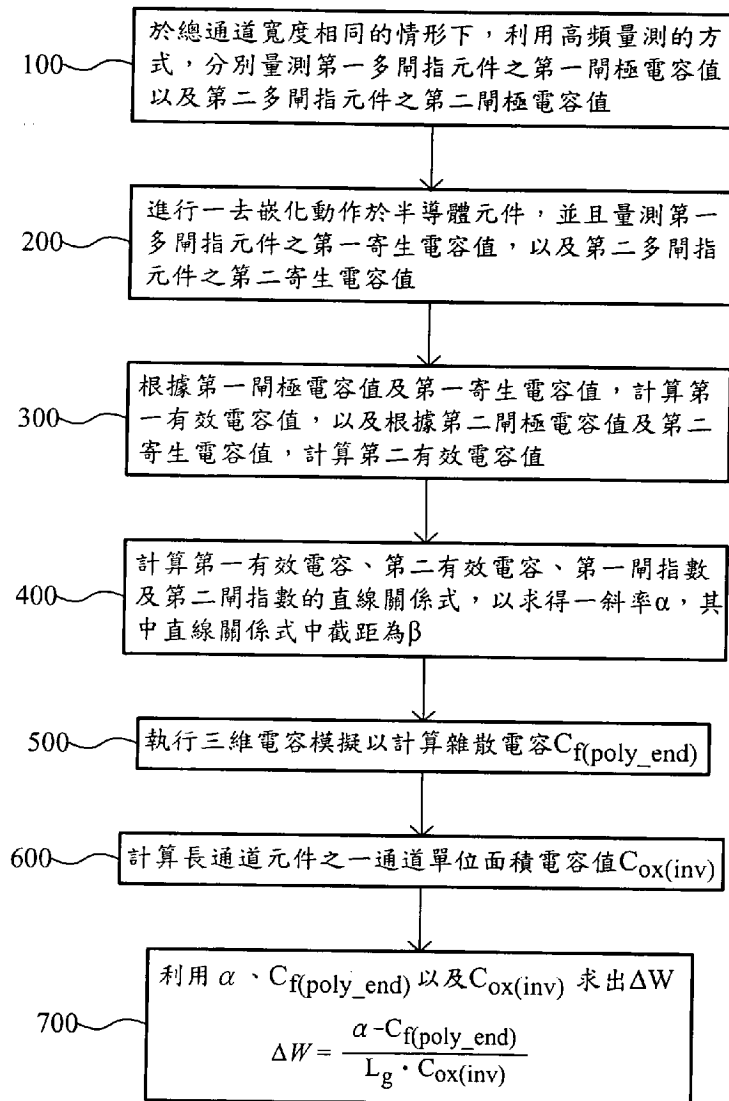
半導體元件之參數萃取方法

PARAMETER EXTRACTION METHOD FOR SEMICONDUCTOR DEVICE

(57) 摘要

一種參數萃取方法，用以萃取一半導體元件的新增通道寬度，其步驟包括：提供一第一多閘指元件及一第二多閘指元件，兩者的閘指數目不相同；進行一去嵌化動作後，量測第一多閘指元件之第一有效電容值以及第二多閘指元件之第二有效電容值；根據第一與第二有效電容值對應於第一與第二多閘指元件的閘指數目的直線關係，以求得一斜率；執行三維電容模擬以計算半導體元件的雜散電容值；提供一長通道元件，並量測其閘極電容值，以求得一通道單位面積電容值；以及利用斜率、雜散電容值以及通道單位面積電容值，以計算得到半導體元件之新增通道寬度。

A parameter extraction method for semiconductor devices includes: providing a high-frequency test apparatus for measuring a first gate capacitance of a first multi-finger device and a second gate capacitance of a second multi-finger device, wherein the number of gate fingers of the first multi-finger device is different from the number of gate fingers of the second multi-finger device; performing an open de-embedding to metal-1 (M1), namely open_M1 de-embedding, then the high-frequency test apparatus measuring a first intrinsic gate capacitance of the first multi-finger device and a second intrinsic gate capacitance of the second multi-finger device; calculating a slope according to the first intrinsic gate capacitance, the second intrinsic gate capacitance, the first gate fingers number and the second gate fingers number; establishing a 3-dimensional (3-D) multi-finger device structure according to the device layout and process parameters, then performing a 3-D capacitance simulation for computing parasitic gate capacitances; utilizing a long channel device for measuring gate capacitance and extracting the intrinsic gate capacitance after open_M1 de-embedding, then calculating an inversion channel capacitance per unit area; and computing a delta channel width of the semiconductor device, according to the slope, the parasitic gate capacitances and the inversion channel capacitance per unit area.



第一圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100103721

G06F 17/50 (2006.01)

※申請日： 100 1. 31 ※IPC 分類：

H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

半導體元件之參數萃取方法 / PARAMETER
EXTRACTION METHOD FOR SEMICONDUCTOR
DEVICE

二、中文發明摘要：

一種參數萃取方法，用以萃取一半導體元件的新增通道寬度，其步驟包括：提供一第一多閘指元件及一第二多閘指元件，兩者的閘指數目不相同；進行一去嵌化動作後，量測第一多閘指元件之第一有效電容值以及第二多閘指元件之第二有效電容值；根據第一與第二有效電容值對應於第一與第二多閘指元件的閘指數目的直線關係，以求得一斜率；執行三維電容模擬以計算半導體元件的雜散電容值；提供一長通道元件，並量測其閘極電容值，以求得一通道單位面積電容值；以及利用斜率、雜散電容值以及通道單位面積電容值，以計算得到半導體元件之新增通道寬度。

三、英文發明摘要：

A parameter extraction method for semiconductor devices includes: providing a high-frequency test apparatus for measuring a first gate capacitance of a first multi-finger device and a second gate capacitance of a second multi-finger device, wherein the number of gate fingers of the first multi-finger

device is different from the number of gate fingers of the second multi-finger device; performing an open de-embedding to metal-1 (M1), namely open_M1 de-embedding, then the high-frequency test apparatus measuring a first intrinsic gate capacitance of the first multi-finger device and a second intrinsic gate capacitance of the second multi-finger device; calculating a slope according to the first intrinsic gate capacitance, the second intrinsic gate capacitance, the first gate fingers number and the second gate fingers number; establishing a 3-dimensional (3-D) multi-finger device structure according to the device layout and process parameters, then performing a 3-D capacitance simulation for computing parasitic gate capacitances; utilizing a long channel device for measuring gate capacitance and extracting the intrinsic gate capacitance after open_M1 de-embedding, then calculating an inversion channel capacitance per unit area; and computing a delta channel width of the semiconductor device, according to the slope, the parasitic gate capacitances and the inversion channel capacitance per unit area.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件之參數萃取方法，特別是一種金氧半場效電晶體之有效通道寬度的參數萃取方法。

【先前技術】

隨著現代電子產品的功能不斷在提升，不斷追求微小化元件達到奈米級尺寸，強調多功能、體積小及重量輕等訴求，促使積體電路功能持續增加，同時積體電路尺寸持續在縮小，以進而提供更佳的性能表現。

隨著上述積體電路尺寸微小化，積體電路功能持續提升，為了避免積體電路內部元件相互影響而伴隨來的問題，必須降低元件面積以及增強元件內部的隔絕性。因此，淺溝隔離 (shallow trench isolation, STI) 技術於次微米製程中廣為使用。然而，淺溝隔離技術會造成上緣角區容易尖端放電，或是因為氧化層形成不佳而造成嚴重的漏電情形。為了解決上述問題，淺溝隔離技術之上緣角區圓化(STI top corner rounding)的作法目前被廣泛應用中，然而，淺溝隔離技術之上緣角區圓化的作法將造成淺溝上緣寬度延伸，使元件產生新增通道寬度(delta width)，進而造成通道之有效寬度變大。此通道寬度增大效應於窄通道元件(narrow width device)中，更為顯著，將直接反應於元件之電性，包括電流-電壓特性(I-V)，電容-電壓特性(C-V)與高頻特性等，所以如何精準地萃取出元件之有效通道寬度，將會嚴重地影響元件的電性分析與模擬設計的準確度。

為了有效取得元件的新增寬度，習知技術以電流-電壓

(I-V)量測的方式，利用元件的寬度不同造成應力不同的電特性，藉由不同元件的有效通道寬度在遷移率(mobility)的變化，以萃取元件的新增寬度。然而，此方法一方面需要有寬通道元件(wide width device)作為參考元件，另一方面需要精準的求出元件的遷移率，再利用電流-電壓量測所求出的元件之遷移率進而判斷其新增寬度。此外，若元件屬於奈米級尺寸，則元件中容易產生寄生效應，將會使得習知技術萃取元件之有效通道寬度時，而產生極大的誤差值。

因此，如何利用簡化的半導體元件之參數萃取方法，並排除寄生效應，而精準地得到半導體元件之一有效通道寬度，是本技術領域亟欲解決之問題。

【發明內容】

本發明之一目的係在於利用簡化以及精確的參數萃取方法，有效地取得奈米級金氧半場效電晶體的新增通道寬度，進而求得其有效通道寬度。

本發明的其他目的和優點可以從本發明所揭露的技術特徵中得到進一步的了解。

為達上述之一或部份或全部目的或是其他目的，本發明之一實施例的一種半導體元件之參數萃取方法，用以萃取一半導體元件之一新增通道寬度。其中，半導體元件包括至少一源極主動區、至少一汲極主動區及一多指狀閘極。此多指狀閘極包括複數閘指，每一閘指的兩端各自具有一鄰近源極主動區與汲極主動區的接觸窗。

參數萃取方法之步驟包括：提供一第一多閘指元件、一第二多閘指元件及一長通道元件，其中第一多閘指元件具有

一第一總通道寬度以及一第一閘指數，第二多閘指元件具有一第二總通道寬度以及一第二閘指數，以及長通道元件具有一閘極長度及一閘極寬度；利用一高頻量測裝置，分別量測第一多閘指元件而產生一第一閘極電容值，以及量測第二多閘指元件而產生一第二閘極電容值，其中第一閘指數與第二閘指數係為不相同；進行一去嵌化動作於半導體元件後，並且高頻量測裝置量測第一多閘指元件之開路測試(open_M1 de-embedding)結構而產生一第一寄生電容值，以及量測第二多閘指元件之開路測試(open_M1 de-embedding)結構而產生一第二寄生電容值；根據第一閘極電容值及第一寄生電容值，計算出一第一有效電容值，以及根據第二閘極電容值及第二寄生電容值，計算出一第二有效電容值；計算第一有效電容值、第二有效電容值、第一多閘指元件之閘指數目及第二多閘指元件之閘指數目之直線關係式，以求得一斜率；執行一三維電容模擬，以計算待測半導體元件的閘指側壁至源極與汲極之主動區產生第一雜散電容值，閘指側壁至源極與汲極之接觸窗產生第二雜散電容值，閘指兩端的接觸窗至源極與汲極之主動區產生第三雜散電容值。以高頻量測裝置量測長通道元件而產生一第三閘極電容值，並且根據第三閘極電容值，以計算出一通道單位面積電容值，係為第三閘極電容值除以長通道元件之閘極長度及閘極寬度的乘積；以及利用斜率、第三雜散電容值以及通道單位面積電容值，以計算得到半導體元件之新增通道寬度。最後，根據半導體元件之新增通道寬度，以換算得到一有效通道寬度。

其中，第一多閘指元件的每一閘指具有一第一寬度，第

二多閘指元件的每一閘指具有一第二寬度，並且第一多閘指元件之第一總通道寬度及第二多閘指元件之第二總通道寬度係為相同的數值，第一多閘指元件之第一總通道寬度係為第一閘指數乘上第一寬度，第二多閘指元件之第二總通道寬度係為第二閘指數乘上第二寬度。

在一實施例中，以高頻量測裝置量測出第一閘極電容值以及第二閘極電容值之步驟包括：以高頻量測裝置分別量測第一多閘指元件而產生一第一元件散射參數，以及量測第二多閘指元件而產生一第二元件散射參數；以及，根據第一元件散射參數以及第二元件散射參數，以分別運算得到第一閘極電容值以及第二閘極電容值。

在一實施例中，去嵌化動作之步驟包括：利用佈局設計形成一第一虛擬開路測試結構及一第一虛擬短路測試結構於第一多閘指元件上，以及設計形成一第二虛擬開路測試結構及一第二虛擬短路測試結構於第二多閘指元件上。以高頻量測裝置分別量測第一虛擬開路測試結構及第一虛擬短路測試結構，因此產生一第一虛擬開路散射參數及第一虛擬短路散射參數；以高頻量測裝置分別量測第二虛擬開路測試結構及第二虛擬短路測試結構，因此產生一第二虛擬開路散射參數及第二虛擬短路散射參數。根據第一元件散射參數、第一虛擬開路散射參數以及第一虛擬短路散射參數，進行運算得到第一閘極電容值；同理，根據第二元件散射參數、第二虛擬開路散射參數以及第二虛擬短路散射參數，進行運算得到第二閘極電容值。

相較於習知，本發明實施例可有效取得合理的新增通道

寬度以及相對應的有效通道寬度，其係利用多閘指元件 (multi-finger device) 之佈局，藉由變化其閘指數目 (finger number) 與其閘指寬度 (finger width)，搭配半導體元件中雜散電容的模擬，可有效進行半導體金氧半場效電晶體元件的參數萃取及分析，以取得新增通道寬度。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一較佳實施例的詳細說明中，將可清楚的呈現。以下實施例中所提到的方向用語，例如：上、下、左、右、前或後等，僅是參考附加圖式的方向。因此，使用的方向用語是用來說明並非用來限制本發明。

本發明係為一種半導體元件之參數萃取方法，可藉由電腦執行一萃取軟體來實施，應用於萃取半導體元件之一新增通道寬度，特別是應用於奈米級的金氧半場效電晶體，以得到其有效通道寬度。由於現今半導體產業中，金氧半場效電晶體仍然有 95% 以上的應用市場，因此本發明為一種有效計算金氧半場效電晶體之有效通道寬度的方法，不僅能應用於現今主流奈米元件，並且可延伸至未來三維奈米技術之應用。

為了更有效的求得一待測半導體元件的新增通道寬度，本發明的實施例提供一長通道元件及至少兩個具有不同閘指數目多閘指元件。其中長通道元件具有一閘極長度及一閘極寬度。第一多閘指元件具有一第一總通道寬度及一第一閘指數，每一閘指具有一第一寬度。第二多閘指元件具有一第二總通道寬度及一第二閘指數，每一閘指具有一第二寬度。第一多閘指元件之第一總通道寬度係為第一閘指數乘上第一寬

度，第二多閘指元件之第二總通道寬度係為第二閘指數乘上第二寬度。

請參考第一圖，係為本發明之半導體元件之參數萃取方法的流程圖，其參數萃取方法的步驟包括：

步驟(S100)：於第一多閘指元件的第一總通道寬度以及第二多閘指元件的第二總通道寬度相同的情形下，可變化其閘指的數目 N_F (finger number) 與其閘指寬度 W_F (finger width)，也就是第一多閘指元件之第一閘指數 N_{F1} 以及第二多閘指元件之第二閘指數 N_{F2} 係為不相同，並搭配其閘指的數目，而分別變化第一寬度 W_{F1} 以及第二寬度 W_{F2} 。

利用高頻量測的方式，也就是提供一高頻量測裝置，例如為一網路分析儀(vector network analyzer)，分別量測第一多閘指元件之一第一元件散射參數(scattering parameter, S parameter)，以及量測第二多閘指元件之一第二元件散射參數；根據第一元件散射參數以及第二元件散射參數，利用矩陣轉換將散射參數轉為 Y 參數，最後由 Y 參數得到對應之閘極電容值 $C_{gg,mea}$ ，以分別運算得到第一閘極電容值以及第二閘極電容值，其運算關係式如下：

$$C_{gg,mea} = \text{Im}(Y_{11}) / \omega$$

其中 $C_{gg,mea}$ 代表去寄生效應之前的多閘指元件之閘極電容值 (gate capacitance before deembedding)，而 $\text{Im}(Y_{11})$ 代表閘極電容值的虛數部分(imaginary part of Y_{11} representing gate self capacitance)， ω 代表角頻率。

步驟(S200)：進行一去嵌化(de-embedding)動作於待測半

一第一虛擬短路測試結構於第一多閘指元件上，以及形成一第二虛擬開路測試結構及一第二虛擬短路測試結構於第二多閘指元件上，並且以網路分析儀量測第一多閘指元件之一第一寄生散射參數(S parameter)，以及量測第二多閘指元件之一第二寄生散射參數；根據第一寄生散射參數以及第二寄生散射參數，利用矩陣轉換將散射參數轉為 Y 參數，最後由 Y 參數得到對應之寄生電容值(parasitic gate capacitance from dummy open pads)，以分別運算得到第一多閘指元件之一第一寄生電容值，以及第二多閘指元件之一第二寄生電容值，其運算關係式如下：

$$C_{gg,OM1} = \text{Im}(Y_{11_OM1}) / \omega$$

其中 $C_{gg,OM1}$ 代表於虛擬開路測試結構下多閘指元件之寄生電容值(the gate capacitance of dummy open_M1 pads)，而 $\text{Im}(Y_{11_OM1})$ 代表虛擬開路測試結構下多閘指元件之寄生電容值的虛數部分(imaginary part of Y_{11} representing parasitic gate capacitance of dummy open_M1 pads)。

步驟(S300)：根據第一閘極電容值及第一寄生電容值，計算去寄生效應之後的第一多閘指元件之一第一有效電容值(intrinsic gate capacitance after deembedding)，以及根據第二閘極電容值及第二寄生電容值，計算第二多閘指元件之一第二有效電容值，其中有效電容值係定義為閘極自身與通道下的主動區所產生的電容之數值，去寄生效應之後的多閘指元件之有效電容值的運算關係式為：

$$C_{gg(DUT,OM1)} = C_{gg,mea} - C_{gg,OM1}$$

步驟(S400)：計算第一有效電容值、第二有效電容值、第一閘指數及第二閘指數的直線關係式，以求得一斜率 α 。其中，直線關係式中的截距為 β ，而 β 代表閘極側壁邊緣電容值 C_{of} (gate sidewall fringing capacitance)。請參照第三圖，閘極側壁邊緣電容值 C_{of} 係為多閘指元件中閘指 G_f 側壁至源極之主動區 $S(OD)$ 與汲極之主動區 $D(OD)$ 的邊緣電容值 $C_{g,Diff}$ ，以及閘指 G_f 側壁至源極之接觸窗 $S(CT)$ 與汲極之接觸窗 $D(CT)$ 的邊緣電容值 $C_{g,CT}$ 的總和。

配合參照第二圖，係為本發明實施例之直線關係圖。其中 X 軸表示多閘指元件的閘指數目 N_F ，而 Y 軸表示相對應的有效電容值 $C_{gg(DUT,OMI)}$ 。在第一及第二總通道寬度固定為 $32\ \mu\text{m}$ 的情況下，第一多閘指元件之第一閘指數 N_{F1} 為 16，則其閘指的寬度 W_{F1} 為 $2\ \mu\text{m}$ ，因此 $W2N16$ 代表第一多閘指元件之第一有效電容值落在直線關係圖的交點。第二多閘指元件之第二閘指數 N_{F2} 為 32，則其閘指的寬度 W_{F2} 為 $1\ \mu\text{m}$ ，因此 $W1N32$ 代表第二多閘指元件之第二有效電容值落在直線關係圖的交點。若半導體元件中更包括一第三多閘指元件，則其閘指的數目 N_{F3} 為 64，其閘指的寬度 W_{F3} 為 $0.5\ \mu\text{m}$ ，因此 $W05N64$ 代表第三多閘指元件之第三有效電容值落在直線關係圖的交點。將上述交點 $W2N16$ ， $W1N32$ 及 $W05N64$ 連成一條直線，以求得其斜率 α ，並且直線與 Y 軸的交點，即截距為 β 。

步驟(S500)：利用三維模擬軟體例如 Raphael，根據元件佈局與製程參數，建立多閘指元件之三維結構，並執行三維電容模擬，以計算待測半導體元件之閘指 G_f 兩端的接觸窗

雜散電容，如第三圖所示，此雜散電容定義為 $C_{f(\text{poly_end})}$ 。

步驟(S600)：網路分析儀量測長通道元件之一第三閘極電容值，並進行一去嵌化動作後，計算長通道元件之一通道單位面積電容值 $C_{\text{ox}(\text{inv})}$ ，係為閘極電容值除以長通道元件之閘極長度及閘極寬度的乘積，也就是利用長通道元件求得單位面積之通道電容值。網路分析儀量測長通道元件之散射參數，經由矩陣轉換將散射參數轉為 Y 參數，而計算得到長通道元件之閘極電容值 $C_{\text{gg,DUT}}$ 之後，閘極電容值 $C_{\text{gg,DUT}}$ 除以長通道元件之單位面積即為通道電容值 $C_{\text{ox}(\text{inv})}$ ，其運算關係式為：

$C_{\text{ox}(\text{inv})} = C_{\text{gg,DUT}} / (W_g L_g)$ ，其中 W_g 代表閘極寬度，而 L_g 代表閘極長度。

步驟(S700)：利用斜率 α 、雜散電容值 $C_{f(\text{poly_end})}$ 以及通道電容值 $C_{\text{ox}(\text{inv})}$ ，以計算得到半導體元件之新增通道寬度 ΔW ，其運算關係式：

$$\Delta W = \frac{\alpha - C_{f(\text{poly_end})}}{L_g \cdot C_{\text{ox}(\text{inv})}}$$

最後，根據半導體元件之新增通道寬度 ΔW ，以換算得到半導體元件之一有效通道寬度 W_{eff} 。

在本實施例中，待測半導體元件係為一具有多指狀閘極結構的金氧半場效電晶體。當半導體元件操作在高頻之下，半導體元件本身的特性會被外面的連接金屬層所影響，因此量測半導體元件的高頻散射參數前，必須要先扣除金屬連接線對散射參數所造成的影響，此步驟稱之為去嵌化

(de-embedding)動作。為了扣除寄生效應所產生的電容，藉由佈局軟體形成一虛擬開路測試結構(dummy open M1)及一虛擬短路測試結構(dummy short M1)於每一個多閘指元件上。藉由上述測試結構，來量測多閘指元件之寄生電容值，並扣除測試結構中金屬墊與金屬導線的寄生效應所產生的寄生電容值，來得到多閘指元件的有效電容值。其中藉由虛擬開路測試結構量測，可扣除與多閘指元件並聯的寄生電容值，而虛擬短路測試結構則可於量測時扣除與多閘指元件串聯的寄生電阻與寄生電感值。

請參照第四 A 圖，係為本發明中於多指狀閘極結構上所形成之虛擬開路測試結構 10(dummy open M1 layout)的上視圖，以執行去嵌化。第四 A 圖中，多指狀閘極結構 F 代表源極接觸窗上之金屬層。配合參照第四 B 圖，係為第四 A 圖中剖面 C-C' 的立體剖面示意圖，第四 A 圖中多指狀閘極結構 F 之金屬層係第四 B 圖中第一金屬層 M1、第二金屬層 M2 及第三金屬層 M3 依序由下向上平行堆疊。第一金屬層 M1 與第二金屬層 M2 之間具有一連接結構 Via-1，而第二金屬層 M2 與第三金屬層 M3 之間具有一連接結構 Via-2。多指狀閘極結構 F 中每一閘指係為平行排列於半導體元件之本體 B 上。第四 A 圖中，多指狀閘極結構 G 代表汲極接觸窗上之金屬層。配合參照第四 B 圖，第三圖中剖面 A-A' 係由第一金屬層 M1 及第二金屬層 M2 所堆疊而形成的，經由環狀金屬結構 20 將多指狀閘極結構 G 中每一閘指相互連結。由第一金屬層 M1、第二金屬層 M2 及第三金屬層 M3 所堆疊的第二金屬結構 30 將半導體元件之本體 B 與將 N 井區(N-well)相互連

接。

本發明之半導體元件之參數萃取方法可有效取得合理的新增通道寬度以及相對應的有效通道寬度，其係利用多閘指元件結構之佈局，藉由變化其閘指的數目與其閘指寬度，搭配半導體元件中雜散電容值的模擬，可有效進行金氧半場效電晶體的參數萃取及分析，以取得新增通道寬度。此外，本發明不需利用額外的元件設計即可達到量測金氧半場效電晶體元件的有效通道寬度，相較於習知方法需額外準備極寬通道元件，本發明可有效提升準確度並降低成本。

本發明不僅可應用於 IC 製造產業、IC 設計產業以及自動化設計軟體，例如 ECAD 或 TCAD，並可應用於所有奈米級金氧半場效電晶體所應用之電子產品、量測儀器及自動化設計軟體等。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。另外本發明的任一實施例或申請專利範圍不須達成本發明所揭露之全部目的或優點或特點。此外，摘要部分和標題僅是用來輔助專利文件搜尋之用，並非用來限制本發明之權利範圍。

【圖式簡單說明】

第一圖，係為本發明之半導體元件之參數萃取方法的流程圖。

第二圖，係為本發明實施例之直線關係圖。

第三圖，係為本發明之實施例之多閘指元件示意圖。

第四 A 圖，係為本發明中所形成之虛擬開路測試結構的上視圖，以執行多指狀閘極結構之去嵌化動作。

第四 B 圖，係為第四 A 圖中剖面 C-C' 的立體剖面示意圖。

【主要元件符號說明】

閘指 G_f

閘指兩端的接觸窗 $G(CT)$

源極之主動區 $S(OD)$

汲極之主動區 $D(OD)$

源極之接觸區 $S(CT)$

汲極之接觸區 $D(CT)$

虛擬開路測試結構 10

環狀金屬結構 20(將多指狀閘極結構 G 中每一閘指相互連結)

環狀金屬結構 30(將半導體元件之本體 B 與將 N 井區相互連接)

本體 B

多指狀閘極結構 F (源極接觸窗上之金屬層)

多指狀閘極結構 G (汲極接觸窗上之金屬層)

第一金屬層 $M1$

第二金屬層 $M2$

第三金屬層 M3

七、申請專利範圍：

1.一種半導體元件之參數萃取方法，用以萃取一半導體元件之一新增通道寬度，該半導體元件包括至少一源極主動區、至少一汲極主動區及一多指狀閘極，其中該多指狀閘極包括複數閘指，每一該閘指之兩端各自具有一鄰近該源極主動區與該汲極主動區的接觸窗，該方法之步驟包括：

提供一第一多閘指元件、一第二多閘指元件及一長通道元件，其中該第一多閘指元件具有一第一總通道寬度以及一第一閘指數，該第二多閘指元件具有一第二總通道寬度以及一第二閘指數，以及該長通道元件具有一閘極長度及一閘極寬度；

利用一高頻量測裝置，分別量測該第一多閘指元件而產生一第一閘極電容值，以及量測該第二多閘指元件而產生一第二閘極電容值，其中該第一閘指數與該第二閘指數係為不相同；

提供一第一虛擬開路測試結構及一第二虛擬開路測試結構，將該半導體元件進行一去嵌化動作，並且利用該高頻量測裝置量測該第一虛擬開路測試結構而產生一第一寄生電容值，以及量測該第二虛擬開路測試結構而產生一第二寄生電容值；

根據該第一閘極電容值及該第一寄生電容值，計算出一第一有效電容值，以及根據該第二閘極電容值及該第二寄生電容值，計算出一第二有效電容值；

計算該第一有效電容值、該第二有效電容值、該第一閘

指數及該第二閘指數之直線關係式，以求得一斜率；

執行一三維電容模擬，以計算該半導體元件之每一該閘指之兩端的該接觸窗至該源極主動區與該汲極主動區之間所產生的電容，而產生一雜散電容值；

該高頻量測裝置量測該長通道元件而產生一第三閘極電容值，並且根據該第三閘極電容值，以計算出一通道單位面積電容值，係為該第三閘極電容值除以該長通道元件之該閘極長度及該閘極寬度的乘積；以及

利用該斜率、該雜散電容值以及該通道單位面積電容值，以計算得到該半導體元件之該新增通道寬度。

2. 如申請專利範圍第1項所述之半導體元件之參數萃取方法，更包括：根據該半導體元件之該新增通道寬度，以換算得到一有效通道寬度。

3. 如申請專利範圍第1項所述之半導體元件之參數萃取方法，其中該第一多閘指元件具有複數閘指，該第一多閘指元件的每一該閘指具有一第一寬度，該第二多閘指元件具有複數閘指，該第二多閘指元件的每一該閘指具有一第二寬度，並且該第一多閘指元件之該第一總通道寬度及該第二多閘指元件之該第二總通道寬度係為相同的數值，該第一多閘指元件之該第一總通道寬度係為該第一閘指數乘上該第一寬度，該第二多閘指元件之該第二總通道寬度係為該第二閘指數乘上該第二寬度。

4. 如申請專利範圍第3項所述之半導體元件之參數萃取方法，其中該半導體元件具有一第三總通道寬度，並且該半

導體元件之該第三總通道寬度、該第一多閘指元件之該第一總通道寬度及該第二多閘指元件該第二總通道寬度皆為相同的數值。

5. 如申請專利範圍第 1 項所述之半導體元件之參數萃取方法，其中該高頻量測裝置量測出該第一閘極電容值以及該第二閘極電容值之步驟，包括：

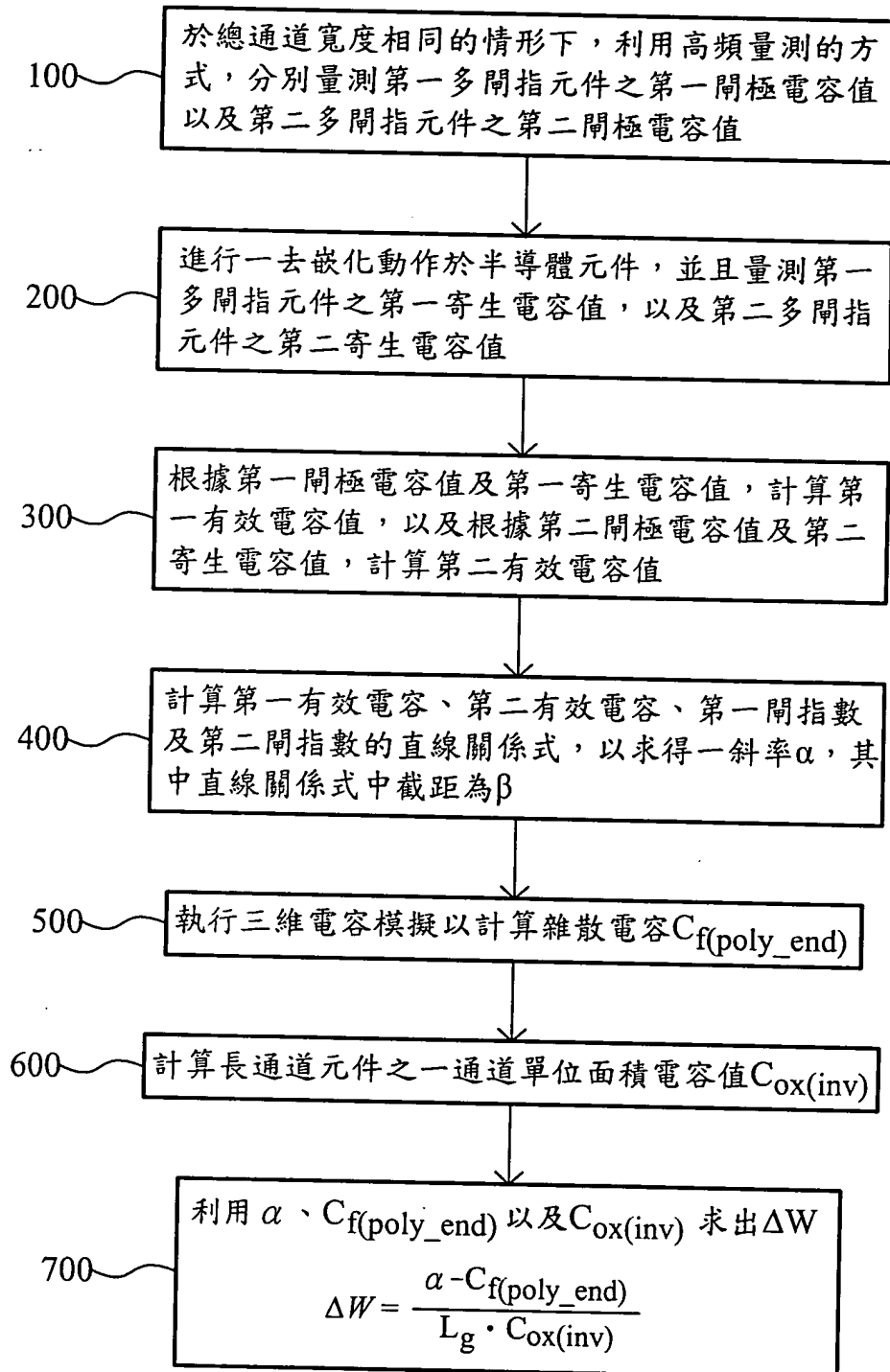
該高頻量測裝置分別量測該第一多閘指元件而產生一第一散射參數，以及量測該第二多閘指元件而產生一第二散射參數；以及

根據該第一散射參數以及該第二散射參數，以分別運算得到該第一閘極電容值以及該第二閘極電容值。

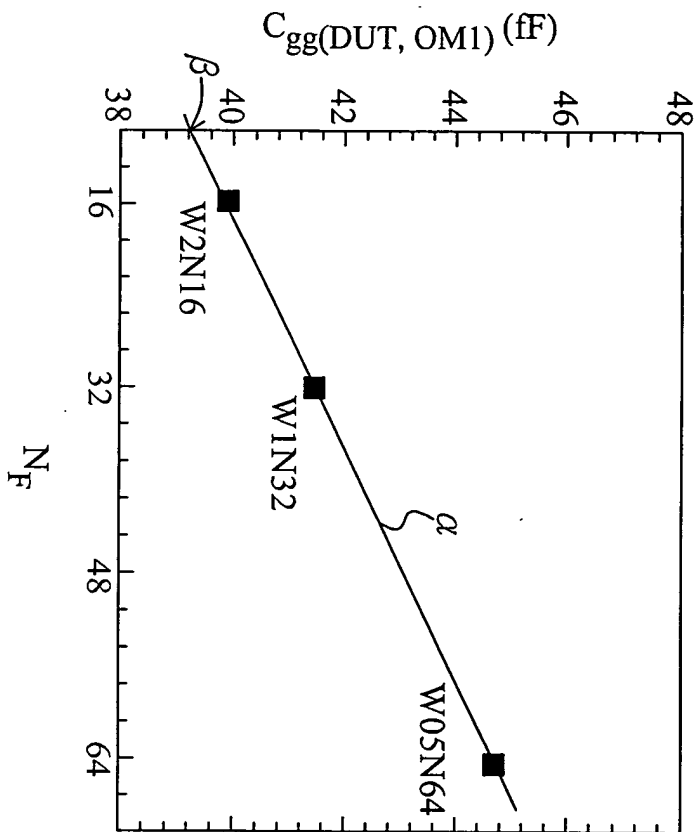
6. 如申請專利範圍第 1 項所述之半導體元件之參數萃取方法，其中該去嵌化動作之步驟，包括：

提供一佈局軟體；以及

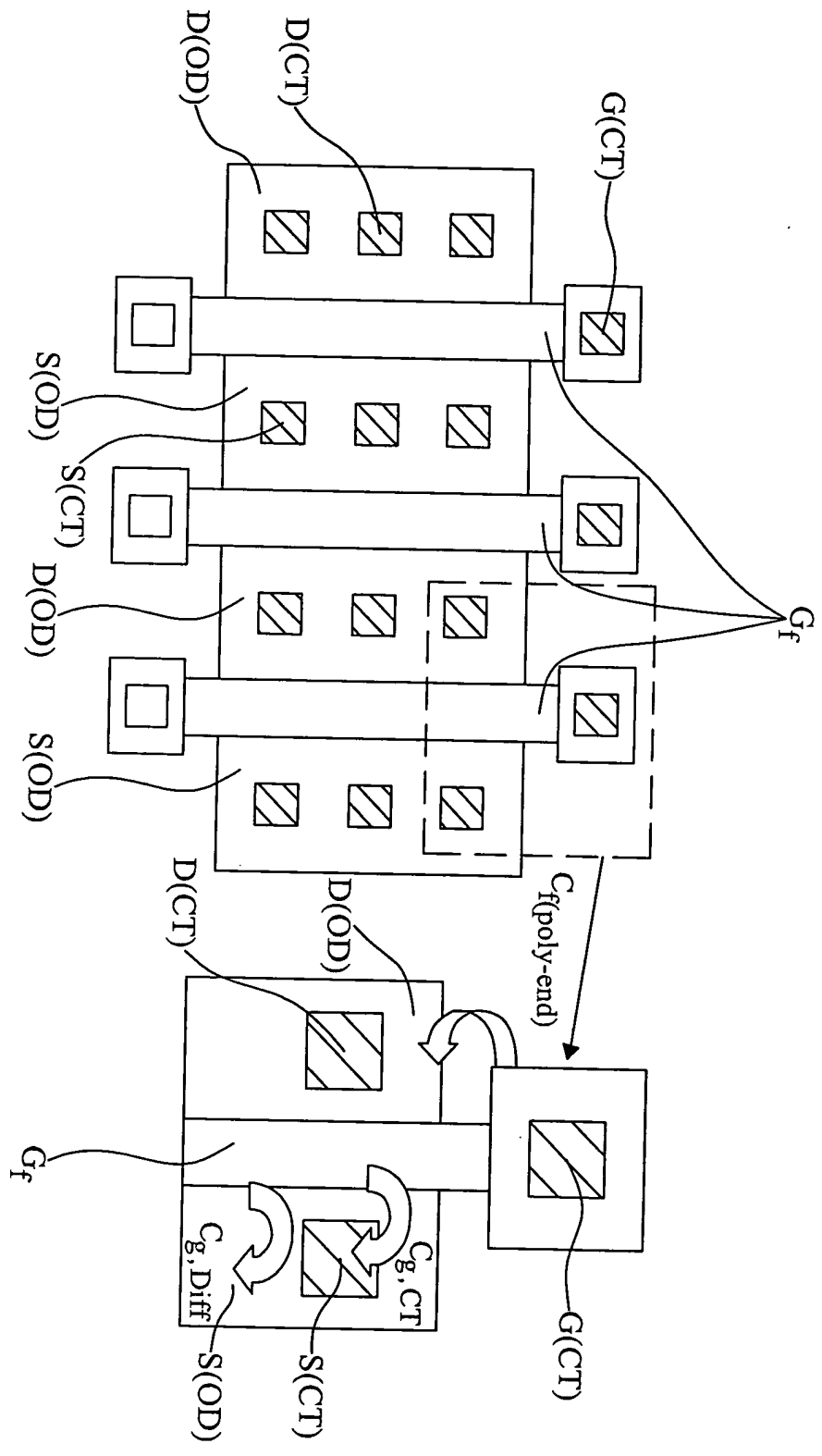
該佈局軟體形成該第一虛擬開路測試結構及一第一虛擬短路測試結構於該第一多閘指元件上，以及形成該第二虛擬開路測試結構及一第二虛擬短路測試結構於該第二多閘指元件上。



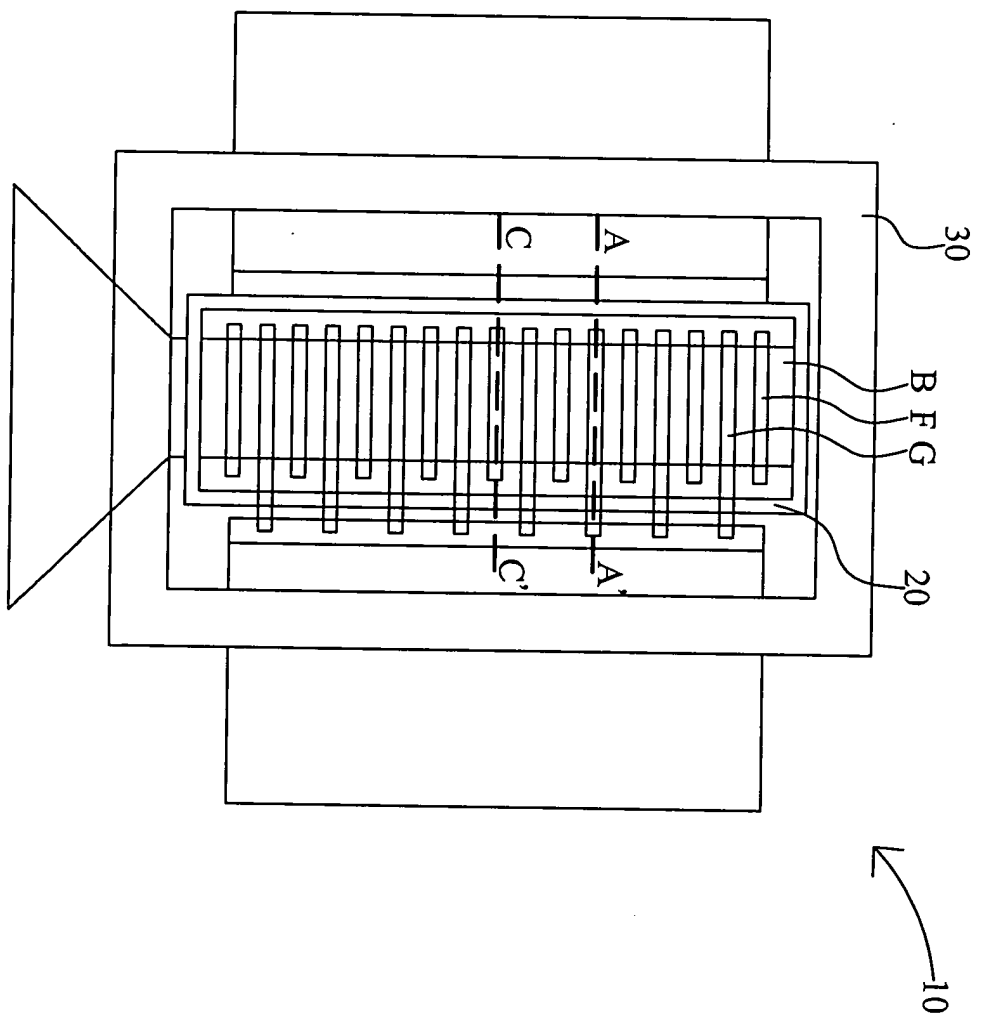
第一圖



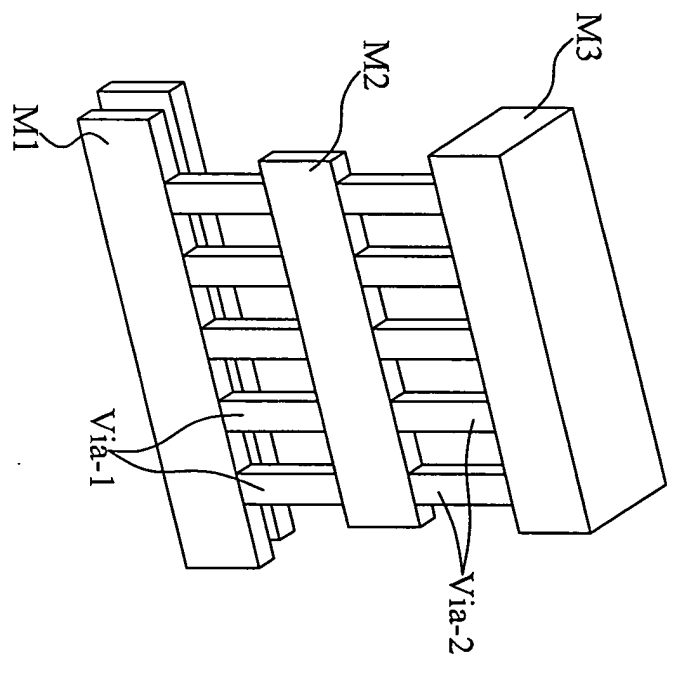
第二圖



第三圖



第四A圖



第四B圖