

# 發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

97143854

※ 申請日期：

97.11.13

※IPC 分類：

H05F 3/02 (2006.01)

一、發明名稱：(中文/英文)

H01L 9/14 (2006.01)

具有多指矽控整流器之靜電保護電路 / ESD PROTECTION  
CIRCUITRY WITH MULTI-FINGER SCRS

二、申請人：(共 2 人)

(第 1 申請人)

姓名或名稱：(中文/英文)

聯華電子股份有限公司 / UNITED MICROELECTRONICS CORP.

代表人：(中文/英文)

洪嘉聰 / HUNG, CHIA-TSUNG

住居所或營業所地址：(中文/英文)

新竹市新竹科學工業園區力行二路三號 / No.3, Li-Hsin Road 2,  
Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

(第 2 申請人)

姓名或名稱：(中文/英文)

國立交通大學 / NATIONAL CHIAO-TUNG UNIVERSITY

代表人：(中文/英文)

吳重雨 / WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路一〇〇一號 / 1001 University Road, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 柯明道 / KER, MING-DOU
2. 林群祐 / LIN, CHUN-YU
3. 王暢資 / WANG, CHANG-TZU

國籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN
3. 中華民國 / TWN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

可以自我觸發，並將多指之矽控整流器中每一矽控整流器都打開之靜電保護電路。該電路包含一第一電源，一第二電源， $N$  個矽控整流器單元， $(N-1)$  個二極體，以及  $N$  個電阻。每個矽控整流器單元包含一第一端點，一第二端點，耦接於該第二電源，以及一觸發端點。該 $(N-1)$  個二極體中之第  $n$  個二極體係耦接於一第  $n$  個矽控整流器單元之第一端點以及一第 $(n+1)$  個矽控整流器單元之觸發端點之間。 $N$  個電阻中之一第  $n$  個電阻係耦接於該第  $n$  個矽控整流器單元之第一端點以及該第一電源之間，其中  $n$  和  $N$  都是整數。

## 六、英文發明摘要：

Self-triggered Multi-finger SCRs used in ESD protection circuitry capable of turning on all SCR fingers of the multi-finger SCRs include a first source, a second source,  $N$  SCR units,  $(N-1)$  diodes, and  $N$  resistors. Each of the  $N$  SCR units includes a first node, a second node coupled to the second source, and a trigger node. An  $n$ th diode of the  $(N-1)$  diodes is coupled between a first node of an  $n$ th SCR unit and a trigger node of an  $(n+1)$ th SCR unit. An  $n$ th resistor is coupled between the first node of the  $n$ th SCR unit and the first source, wherein  $n$  and  $N$  are integers.

## 七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	多指矽控整 流器	101	輸入輸出接點
103	接地端	SCR1,SCR2, SCR3	矽控整流器指
D1,D2,D3	二極體	Rc1,Rc2,Rc3 ,118,119,128, 129,138,139	電阻
115,125,135	PNP BJT	117,127,137	NPN BJT
111,121,131	第一端點	113,123,133	第二端點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係揭露一種具有多指矽控整流器之靜電保護電路，尤指一種能夠將多指矽控整流器中每一矽控整流器都打開之靜電保護電路。

### 【先前技術】

所謂的靜電放電(Electrostatic Discharge, ESD)，是一種突然且隨時會發生的電流，經由摩擦或感應而產生，接著流過線路，有時會對線路中的電子元件造成損害。有些電子元件很容易受到靜電放電的破壞，例如金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)。因此積體電路設計中，常加入靜電保護電路，來保護整個電路。

### 【發明內容】

本發明之一實施例係揭露一種具有多指矽控整流器之靜電保護電路，包含一第一電源，一第二電源， $N$  個矽控整流器單元， $(N-1)$  個二極體，以及  $N$  個電阻。每個矽控整流器單元包含一第一端點，一第二端點，耦接於該第二電源，以及一觸發端點。 $(N-1)$  個二極體中之一第  $n$  個二極體，係耦接於一第  $n$  個矽控整流器單元之第一端點以及一第  $(n+1)$  個矽控整流器單元之觸發端點之間。 $N$  個電阻中之一第  $n$  個電阻，係耦接於該第  $n$  個矽控整流器單元之第一端點以及該第一電源之間；其中  $n$  和  $N$  都是整數。

本發明之另一實施例係揭露一種具有多指矽控整流器之靜電保護電路，包含一第一電源，一第二電源， $N$  個矽控整流器單元，一第一觸發脈衝輸入端，以及  $N$  個電阻。每個矽控整流器單元包含一第一端點，一第二端點，耦接於該第二電源，以及一觸發端點。該  $N$  個矽控整流器單元中之一第  $n$  個矽控整流器單元的第一端點，係耦接於一第  $(n+1)$  個矽控整流器單元之觸發端點。該第一觸發脈衝輸入端，耦接於該  $N$  個矽控整流器單元中之一第一個矽控整流器單元的觸發端點。 $N$  個電阻中之一第  $n$  個電阻，係耦接於該第  $n$  個矽控整流器單元之第一端點以及該第一電源之間；其中  $n$  和  $N$  都是整數。

### 【實施方式】

本發明提供一個像骨牌效應般自我觸發的設計，能夠將多指矽控整流器中每一矽控整流器都打開之靜電保護電路。一旦一多指矽控整流器中，有一矽控整流器指先被打開，本發明利用一二極體或一觸發脈衝，強迫流過最先被打開的那個矽控整流器指的靜電電流，流到與它相鄰的下一個矽控整流器指，以開啟該下一個矽控整流器指。該下一個矽控整流器指被開啟之後，部份流過它的電流又被另一個二極體，或輸入於第一個矽控整流器指或該矽控整流器指本身的觸發脈衝，強迫流到再下一個的矽控整流器指。因此，就如骨牌效應一般，所有在多指之矽控整流器中的矽控整流器指，一個接著一個地被打開。只要有多指矽控整流器中，至

少有一個矽控整流器指先被打開，其他的矽控整流器指就會接連著被打開；即使所有的矽控整流器指不能於同一時間被打開，它們也能在其中一個矽控整流器指被損壞前全部被打開。此即是本發明的自我觸發原理。

請參考第 1 圖。第 1 圖係為本發明之第一實施例的多指矽控整流器 100 的結構圖。多指矽控整流器 100 包含一輸入輸出接點 101，一接地端 103，三個矽控整流器指 SCR1, SCR2, 以及 SCR3，三個二極體 D1, D2, 以及 D3，以及三個電阻 R<sub>c1</sub>, R<sub>c2</sub>, 以及 R<sub>c3</sub>。矽控整流器指 SCR1 包含一第一端點 111，耦接於輸入輸出接點 101，以及一第二端點 113，耦接於二極體 D1 的一正端點。矽控整流器指 SCR1 另包含一 PNP BJT 115，一 NPN BJT 117，以及兩個電阻 118 以及 119。PNP BJT 115 包含一射極，耦接於第一端點 111 以及電阻 119，一基極，耦接於電阻 119，以及一集極，耦接於電阻 118。NPN BJT 117 包含一射極，耦接於第二端點 113 以及電阻 118，一基極，耦接於電阻 118，以及 PNP BJT 115 的集極，以及一集極，耦接於電阻 119，以及 PNP BJT 115 的基極。電阻 R<sub>c1</sub> 耦接於接地端 103 以及矽控整流器指 SCR1 之第二端點 113 之間。二極體 D3 包含一負端點耦接於 NPN BJT 117 的基極。矽控整流器指 SCR2 包含一第一端點 121，耦接於輸入輸出接點 101，以及一第二端點 123，耦接於二極體 D2 的一正端點。矽控整流器指 SCR2 另包含一 PNP BJT 125，一 NPN BJT 127，以及兩個電阻 128 以及 129。PNP BJT 125 包含一射極，耦接於第一端點 121 以及電阻



129，一基極，耦接於電阻 129，以及一集極，耦接於電阻 128。NPN BJT 127 包含一射極，耦接於第二端點 123，以及電阻 128，一基極，耦接於電阻 128，以及 PNP BJT 125 的集極，以及一集極，耦接於電阻 129，以及 PNP BJT 125 的基極。電阻 Rc2 耦接於接地端 103 以及矽控整流器指 SCR2 之第二端點 123 之間。二極體 D1 包含一負端點耦接於 NPN BJT 127 的基極。矽控整流器指 SCR3 包含一第一端點 131，耦接於輸入輸出接點 101，以及一第二端點 133，耦接於二極體 D3 的一正端點。矽控整流器指 SCR3 另包含一 PNP BJT 135，一 NPN BJT 137，以及兩個電阻 138 以及 139。PNP BJT 135 包含一射極，耦接於第一端點 131 以及電阻 139，一基極，耦接於電阻 139，以及一集極，耦接於電阻 138。NPN BJT 137 包含一射極，耦接於第二端點 133 以及電阻 138，一基極，耦接於電阻 138，以及 PNP BJT 135 的集極，以及一集極，耦接於電阻 139，以及 PNP BJT 135 的基極。電阻 Rc3 耦接於接地端 103 以及矽控整流器指 SCR3 之第二端點 133 之間。二極體 D2 包含一負端點耦接於 NPN BJT 137 的基極。請注意本實施例中的矽控整流器指的數目 3，只是一個例子，並不表示本發明之矽控整流器指的數目只限於這個數字，本發明之多指矽控整流器中矽控整流器指的數目，可以為任何一大於 1 的正整數。

又，根據本發明之第一實施例，可以在 PNP BJT 115,125,以及 135 的基極選擇性地一起輸入一第一觸發脈衝，或者只在 PNP BJT 115 的基極輸入一外加的第一觸發脈衝，以便更有效又快速地開啟

矽控整流器指。同理，可以在 NPN BJT 117,127,以及 137 的基極選擇性地一起輸入一第二觸發脈衝，或者只在 NPN BJT 117 的基極輸入一外加的第二觸發脈衝。又或者，可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝，以及一第二觸發脈衝，或者只在 PNP BJT 115 的基極輸入一外加的第一觸發脈衝，同時在 NPN BJT 117 的基極輸入一外加的第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。當一個觸發脈衝，或兩個觸發脈衝分別輸入於矽控整流器指 SCR1 上，或每個矽控整流器指上時，耦接於最後一個矽控整流器指(在第一實施例中，即是矽控整流器指 SCR3)和第一個矽控整流器指(在第一實施例中，即是矽控整流器指 SCR1)之間的二極體(在第一實施例中，即是二極體 D3)，是可以被省略的，因為第一個矽控整流器指已經耦接於該觸發脈衝，是一定會被開啟的，不需再經由此二極體來觸發驅動。請參考第 2,3,4,5,6,以及 7 圖。第 2 圖係為根據本發明之第二實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器 140 的結構圖。第 3 圖係為根據本發明之第三實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器 150 的結構圖。第 4 圖係為根據本發明之第四實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器 160 的結構圖。第 5 圖係為根據本發明之第五實施例，將第 1 圖中之多指矽

控整流器之靜電防護電路，外加一第二觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 117 的基極之多指矽控整流器 170 的結構圖。第 6 圖係為根據本發明之第六實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於矽控整流器指 SCR1 之 PNP BJT 115 的基極之多指矽控整流器 180 的結構圖。第 7 圖係為根據本發明之第七實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 117 以及 PNP BJT 115 的基極之多指矽控整流器 190 的結構圖。

在以上實施例當中，本發明之二極體係負端點耦接於一矽控整流器指之 NPN BJT 的基極，而正端點耦接於前一級並聯耦接的矽控整流器指之 NPN BJT 的射極，但本發明並不限於上述之連接方式。本發明之二極體亦可以正端點耦接於一矽控整流器指 PNP BJT 的基極，而負端點耦接於前一級並聯耦接的 SCR 之 PNP BJT 的射極的方式實施，此時與該矽控整流器指串聯耦接之電阻需耦接於輸出輸入接點 101 以及該矽控整流器指之第一端點之間。當然此種連接方式也可以在每一個 PNP BJT 的基極選擇性地一起輸入一第一觸發脈衝，或者只在第一個 PNP BJT 的基極輸入一第一觸發脈衝，又或者在每一個 NPN BJT 的基極選擇性地一起輸入一第二觸發脈衝，或者只在第一個 NPN BJT 的基極輸入一外加的第二觸發脈衝，又或者可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝以及一第二觸發脈衝，或者只在第一

個 PNP BJT 的基極以及第一個 NPN BJT 的基極分別輸入一外加的第一觸發脈衝和第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。同理，當一個觸發脈衝，或兩個觸發脈衝分別輸入於第一個矽控整流器指上，或每個矽控整流器指上時，耦接於最後一個矽控整流器指和第一個矽控整流器指之間的二極體，亦可以被省略。

另外本發明之應用並不只限於上述之實施例中所描述之接線方式，本發明之二極體亦可以正端點耦接於一矽控整流器指之 PNP BJT 的基極，而負端點耦接於前一級並聯耦接的矽控整流器指之 PNP BJT 的射極，此時與前一級的矽控整流器指串聯耦接之電阻係耦接於輸出輸入接點 101 以及該前一級的矽控整流器指之第一端點之間，而下一級之二極體則以負端點耦接於下一級並聯耦接之矽控整流器指之 NPN BJT 的基極，而正端點耦接於該矽控整流器指之 NPN BJT 的射極的方式實施，此時與該矽控整流指串聯耦接之電阻需耦接於接地端 103 以及該矽控整流器指之第二端點之間。當然此種連接方式也可以在每一個 PNP BJT 的基極選擇性地一起輸入一第一觸發脈衝，或者只在第一個 PNP BJT 的基極輸入一第一觸發脈衝，又或者在每一個 NPN BJT 的基極選擇性地一起輸入一第二觸發脈衝，或者只在第一個 NPN BJT 的基極輸入一外加的第二觸發脈衝，又或者可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝以及一第二觸發脈衝，或者只在第一個 PNP BJT 的基極以及第一個 NPN BJT 的基極

分別輸入一外加的第一觸發脈衝和第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。同理，當一個觸發脈衝，或兩個觸發脈衝分別輸入於第一個矽控整流器指上，或每個矽控整流器指上時，耦接於最後一個矽控整流器指和第一個矽控整流器指之間的二極體，亦可以被省略。

請參考第 8 圖。第 8 圖係為本發明之第八實施例的多指矽控整流器 500 的結構圖。多指矽控整流器 500 包含一輸入輸出接點 101，一接地端 103，三個矽控整流器指 SCR1, SCR2, 以及 SCR3，一第一觸發脈衝，以及三個電阻 R<sub>c1</sub>, R<sub>c2</sub>, 以及 R<sub>c3</sub>。矽控整流器指 SCR1 包含一 PNP BJT 115，一 NPN BJT 117，以及兩個電阻 118 以及 119。PNP BJT 115、NPN BJT 117、以及兩個電阻 118 以及 119 之間的接線方式，和第一實施例中基本上相同，故於此省略。電阻 R<sub>c1</sub> 耦接於接地端 103 以及矽控整流器指 SCR1 之第二端點 113 之間。第一觸發脈衝耦接於 PNP BJT 115 的基極。矽控整流器指 SCR2 包含一 PNP BJT 125，一 NPN BJT 127，以及兩個電阻 128 以及 129。PNP BJT 125、NPN BJT 127、以及兩個電阻 128 以及 129 之間的接線方式，和第一實施例中基本上相同，故於此省略。電阻 R<sub>c2</sub> 耦接於接地端 103 以及矽控整流器指 SCR2 之第二端點 123 之間。矽控整流器指 SCR3 包含一第一端點 131，耦接於輸入輸出接點 101。矽控整流器指 SCR3 另包含一 PNP BJT 135，一 NPN BJT 137，以及兩個電阻 138 以及 139。PNP BJT 135、NPN BJT 137、以及兩個電阻 138 以及 139 之間的接線方式，和第一實施例

中基本上相同，故於此省略。電阻  $R_{c3}$  耦接於接地端 103 以及矽控整流器指 SCR3 之第二端點 133 之間。矽控整流器指 SCR1 另包含一第一端點 111，耦接於輸入輸出接點 101，以及一第二端點 113，耦接於 NPN BJT 127 的基極。矽控整流器指 SCR2 另包含一第一端點 121，耦接於輸入輸出接點 101，以及一第二端點 123，耦接於 NPN BJT 137 的基極。請注意本實施例中的矽控整流器指的數目 3，只是一個例子，並不表示本發明之矽控整流器指的數目只限於這個數字，本發明之多指矽控整流器中矽控整流器指的數目，可以為任何一大於 1 的正整數。

又，根據本發明之第八實施例，可以在 PNP BJT 115,125,以及 135 的基極選擇性地一起輸入一第一觸發脈衝，以便更有效又快速地開啟矽控整流器指。同理，可以在 NPN BJT 117,127,以及 137 的基極選擇性地一起輸入一第二觸發脈衝，或者只在 NPN BJT 117 的基極輸入一外加的第二觸發脈衝。又或者，可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝，以及一第二觸發脈衝，或者只在 PNP BJT 115 的基極輸入一外加的第一觸發脈衝，同時在 NPN BJT 117 的基極輸入一外加的第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。當一個觸發脈衝，或兩個觸發脈衝分別輸入於矽控整流器指 SCR1 上，或每個矽控整流器指上時，最後一個矽控整流器指(在第八實施例中，即是矽控整流器指 SCR3)的第二端點(在第八實施例中，即是端點 133)，不需要耦接於第一個矽控整流器指(在第八實施例中，即是矽控整

流器指 SCR1)之 NPN BJT (在第八實施例中，即是 NPN BJT 117) 的基極，因為第一個矽控整流器指已經耦接於該觸發脈衝，是一定會被開啟的，不需再經由最後一個矽控整流器指來觸發驅動。請參考第 9,10,11,12,以及 13 圖。第 9 圖係為根據本發明之第九實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器 540 的結構圖。第 10 圖係為根據本發明之第十實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器 550 的結構圖。第 11 圖係為根據本發明之第十一實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器 560 的結構圖。第 12 圖係為根據本發明之第十二實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 117 的基極之多指矽控整流器 570 的結構圖。第 13 圖係為根據本發明之第十三實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 117 以及 PNP BJT 115 的基極之多指矽控整流器 590 的結構圖。

在以上實施例當中，一矽控整流器指之 NPN BJT 的基極係耦接於前一級並聯耦接的矽控整流器指之 NPN BJT 的射極，但本發明並不限於上述之連接方式。本發明之一矽控整流器指 PNP BJT

的基極亦可以耦接於前一級並聯耦接的矽控整流器指之 PNP BJT 的射極的方式實施，此時與該矽控整流器指串聯耦接之電阻需耦接於輸出輸入接點 101 以及矽控整流器指之第一端點之間。當然此種連接方式也可以在每一個 PNP BJT 的基極選擇性地一起輸入一第一觸發脈衝，又或者在每一個 NPN BJT 的基極選擇性地一起輸入一第二觸發脈衝，或者只在第一個 NPN BJT 的基極輸入一外加的第二觸發脈衝，又或者可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝以及一第二觸發脈衝，或者只在第一個 PNP BJT 的基極以及第一個 NPN BJT 的基極分別輸入一外加的第一觸發脈衝和第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。同理，當一個觸發脈衝，或兩個觸發脈衝分別輸入於第一個矽控整流器指上，或每個矽控整流器指上時，最後一個矽控整流器指可以不必耦接於第一個矽控整流器指。

另外本發明之應用並不只限於上述之實施例中所描述之接線方式，本發明之一矽控整流器指之 PNP BJT 的基極亦可耦接於前一級並聯耦接的矽控整流器指之 PNP BJT 的射極，此時與前一級的矽控整流器指串聯耦接之電阻係耦接於輸出輸入接點 101 以及該前一級的矽控整流器指之第一端點之間，而下一級並聯耦接之矽控整流器指之 NPN BJT 的基極係耦接於該矽控整流器指之 NPN BJT 的射極的方式實施，此時與該矽控整流器指串聯耦接之電阻需耦接於接地端 103 以及該矽控整流器指之第二端點之間。當然此種連接方式也可以在每一個 PNP BJT 的基極選擇性地一起輸入一



第一觸發脈衝，或者只在第一個 PNP BJT 的基極輸入一第一觸發脈衝，又或者在每一個 NPN BJT 的基極選擇性地一起輸入一第二觸發脈衝，或者只在第一個 NPN BJT 的基極輸入一外加的第二觸發脈衝，又或者可以同時在每一個 PNP BJT 和 NPN BJT 的基極一起分別輸入一第一觸發脈衝以及一第二觸發脈衝，或者只在第一個 PNP BJT 的基極以及第一個 NPN BJT 的基極分別輸入一外加的第一觸發脈衝和第二觸發脈衝，以便更有效又快速地開啟矽控整流器指。同理，當一個觸發脈衝，或兩個觸發脈衝分別輸入於第一個矽控整流器指上，或每個矽控整流器指上時，最後一個矽控整流器指可以不必耦接於第一個矽控整流器指。

本發明利用矽控整流器指而不用金氧半場效電晶體指 (MOSFET fingers) 的原因，係因為矽控整流器指具有以下優點：

1. 放電面積較小：金氧半場效電晶體指之保持電壓約為 4~5 伏特之間，而矽控整流器指雖然需要觸發脈衝的驅動，矽控整流器指之保持電壓約只有 1 伏特左右。因此，相同的靜電電流下，比起金氧半場效電晶體指，矽控整流器指之放電面積較小。
2. 無閘極設計：金氧半場效電晶體的閘極是最容易為電流所打穿的部份，而矽控整流器的結構不包含一閘極。因此，比起金氧半場效電晶體指，矽控整流器指較不易被電流打穿。

3.耐壓較高:比起金氧半場效電晶體指,矽控整流器指之耐壓較高。

總而言之,本發明之像骨牌效應般能夠自我觸發,並將多指矽控整流器中每一矽控整流器都打開之多指矽控整流器的靜電保護電路,比起金氧半場效電晶體指的靜電保護電路,更具有放電面積小,高耐壓,無閘極結構等的特性,能夠提供整體線路更有效率、更不易損壞的靜電保護。

以上所述僅為本發明之較佳實施例,凡依本發明申請專利範圍所做之均等變化與修飾,皆應屬本發明之涵蓋範圍。

#### 【圖式簡單說明】

第 1 圖係為本發明之第一實施例的多指矽控整流器的結構圖。

第 2 圖係為根據本發明之第二實施例,將第 1 圖中之多指矽控整流器之靜電防護電路,外加一第一觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器的結構圖。

第 3 圖係為根據本發明之第三實施例,將第 1 圖中之多指矽控整流器之靜電防護電路,外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 4 圖係為根據本發明之第四實施例,將第 1 圖中之多指矽控整流器之靜電防護電路,分別外加一第一觸發脈衝,以及一第二觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 5 圖係為根據本發明之第五實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 的基極之多指矽控整流器的結構圖。

第 6 圖係為根據本發明之第六實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於矽控整流器指 SCR1 之 PNP BJT 的基極之多指矽控整流器的結構圖。

第 7 圖係為根據本發明之第七實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 以及 PNP BJT 的基極之多指矽控整流器的結構圖。

第 8 圖係為本發明之第八實施例的多指矽控整流器的結構圖。

第 9 圖係為根據本發明之第九實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器的結構圖。

第 10 圖係為根據本發明之第十實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 11 圖係為根據本發明之第十一實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 12 圖係為根據本發明之第十二實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於矽控整流

器指 SCR1 之 NPN BJT 的基極之多指矽控整流器的結構圖。  
 第 13 圖係為根據本發明之第十三實施例，將第 8 圖中之多指矽控  
 整流器之靜電防護電路，分別外加一第二觸發脈衝，以及  
 一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 以及  
 PNP BJT 的基極之多指矽控整流器的結構圖。

【主要元件符號說明】

100,140,150,160,170,180,190,500,540,550, 560,570,590			多指矽控整流 器
Rc1,Rc2,Rc3,118,119,128,129,138,139			電阻
101	輸入輸出接點	103	接地端
D1,D2,D3	二極體	SCR1,SCR2, SCR3	矽控整流器指
115,125,135	PNP BJT	117,127,137	NPN BJT
111,121,131	矽控整流器指 之第一端點	113,123,133	矽控整流器指 之第二端點

## 十、申請專利範圍：

1. 一種具有多指(multi-finger)矽控整流器(Silicon-Controlled Rectifier, SCR)之靜電保護(Electrostatic Discharge, ESD)電路，

包含：

一第一電源；

一第二電源；

N 個矽控整流器單元，每個矽控整流器單元包含：

一第一端點，耦接於該第一電源；

一第二端點；以及

一觸發端點；

(N-1)個二極體，其中一第 n 個二極體係耦接於一第 n 個矽控整流器單元之第二端點以及一第(n+1)個矽控整流器單元之觸發端點之間，且該(N-1)個二極體互相沒有直接耦接；以及

N 個電阻，其中一第 n 個電阻係耦接於該第 n 個矽控整流器單元之第二端點以及該第二電源之間；

其中 n 和 N 都是整數。

2. 如請求項 1 所述之靜電保護電路，其中：

該第一電源係為一輸入輸出接點；

該第二電源係為一接地端；

該(N-1)個二極體中之該第 n 個二極體包含一正端點，耦接於該第 n 個矽控整流器單元之第二端點，以及一負端點，耦

接於該第(n+1)個矽控整流器單元之觸發端點；以及  
每個矽控整流器單元包含；

- 一 PNP 雙極性接面電晶體(Bipolar Junction Transistor, BJT)，該 PNP 雙極性接面電晶體包含一射極，一集極，以及一基極，該矽控整流器單元之第一端點係為該 PNP 雙極性接面電晶體的射極；
  - 一 NPN 雙極性接面電晶體，該 NPN 雙極性接面電晶體包含一射極，一集極，耦接於該 PNP 雙極性接面電晶體的基極，以及一基極，耦接於該 PNP 雙極性接面電晶體的集極，以及該矽控整流器單元之第二端點係為該 NPN 雙極性接面電晶體的射極，該矽控整流器單元之觸發端點係為該 NPN 雙極性接面電晶體的基極；
  - 一第一電阻，耦接於該 PNP 雙極性接面電晶體的射極和基極之間；以及
  - 一第二電阻，耦接於該 NPN 雙極性接面電晶體的射極和基極之間。
3. 如請求項 2 所述之靜電保護電路，另包含一觸發脈衝輸入端，耦接於每個 PNP 雙極性接面電晶體的基極。
4. 如請求項 3 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於每個 NPN 雙極性接面電晶體的基極。

5. 如請求項 2 所述之靜電保護電路，另包含一第二觸發脈衝輸入端，耦接於每個 NPN 雙極性接面電晶體的基極。
6. 如請求項 2 所述之靜電保護電路，另包含一觸發脈衝輸入端，耦接於一第一個矽控整流器單元之 PNP 雙極性接面電晶體的基極。
7. 如請求項 6 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於該第一個矽控整流器單元之 NPN 雙極性接面電晶體的基極。
8. 如請求項 2 所述之靜電保護電路，另包含一第二觸發脈衝輸入端，耦接於一第一個矽控整流器單元之 NPN 雙極性接面電晶體的基極。
9. 如請求項 2 所述之靜電保護電路，另包含一第 N 個二極體，該第 N 個二極體包含一正端點，耦接於一第 N 個矽控整流器單元之第二端點，以及一負端點，耦接於一第一個矽控整流器單元之觸發端點。
10. 一種具有多指矽控整流器之靜電保護電路，包含：
  - 一第一電源；
  - 一第二電源；

N 個矽控整流器單元，每個矽控整流器單元包含：

- 一第一端點，耦接於該第一電源；
- 一第二端點；以及
- 一觸發端點，其中該 N 個矽控整流器單元中之一第 n 個矽控整流器單元的第二端點係耦接於一第(n+1)個矽控整流器單元之觸發端點；

(N-1)個二極體，其中一第 n 個二極體係耦接於一第 n 個矽控整流器單元之第二端點以及一第(n+1)個矽控整流器單元之觸發端點之間，且該(N-1)個二極體互相沒有直接耦接；

一觸發脈衝輸入端，耦接於該 N 個矽控整流器單元中之一第一個矽控整流器單元的觸發端點；以及

N 個電阻，其中一第 n 個電阻係耦接於該第 n 個矽控整流器單元之第二端點以及該第二電源之間；

其中 n 和 N 都是整數。

11. 如請求項 10 所述之靜電保護電路，其中：

該第一電源係為一輸入輸出接點；

該第二電源係為一接地端；以及

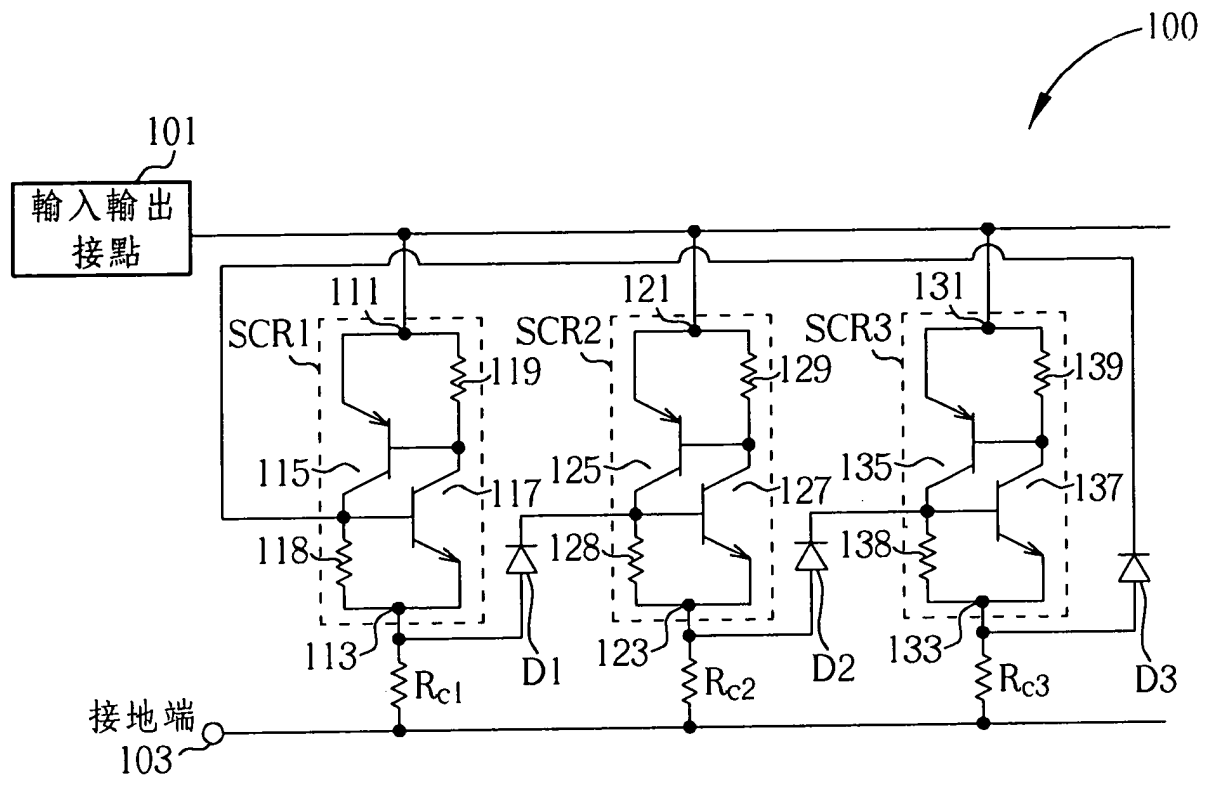
每個矽控整流器單元包含；

- 一 PNP 雙極性接面電晶體，該 PNP 雙極性接面電晶體包含一射極，一集極，以及一基極，該矽控整流器單元之第一端點係為該 PNP 雙極性接面電晶體的射極；

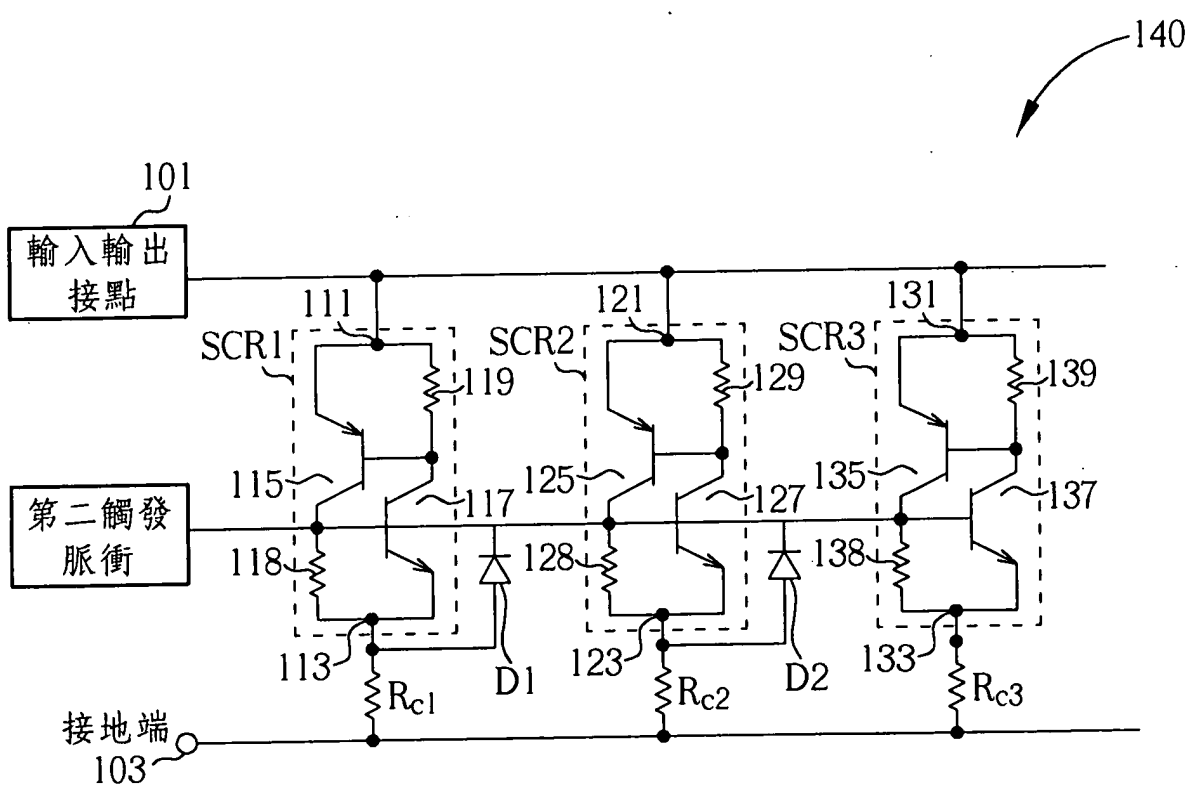


- 一 NPN 雙極性接面電晶體，該 NPN 雙極性接面電晶體包含一射極，一集極，耦接於該 PNP 雙極性接面電晶體的基極，以及一基極，耦接於該 PNP 雙極性接面電晶體的集極，以及該矽控整流器單元之第二端點係為該 NPN 雙極性接面電晶體的射極，該矽控整流器單元之觸發端點係為該 NPN 雙極性接面電晶體的基極；
  - 一第一電阻，耦接於該 PNP 雙極性接面電晶體的射極和基極之間；以及
  - 一第二電阻，耦接於該 NPN 雙極性接面電晶體的射極和基極之間。
12. 如請求項 11 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於該第一個矽控整流器單元之 PNP 雙極性接面電晶體的基極。
13. 如請求項 11 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於每個 PNP 雙極性接面電晶體的基極。

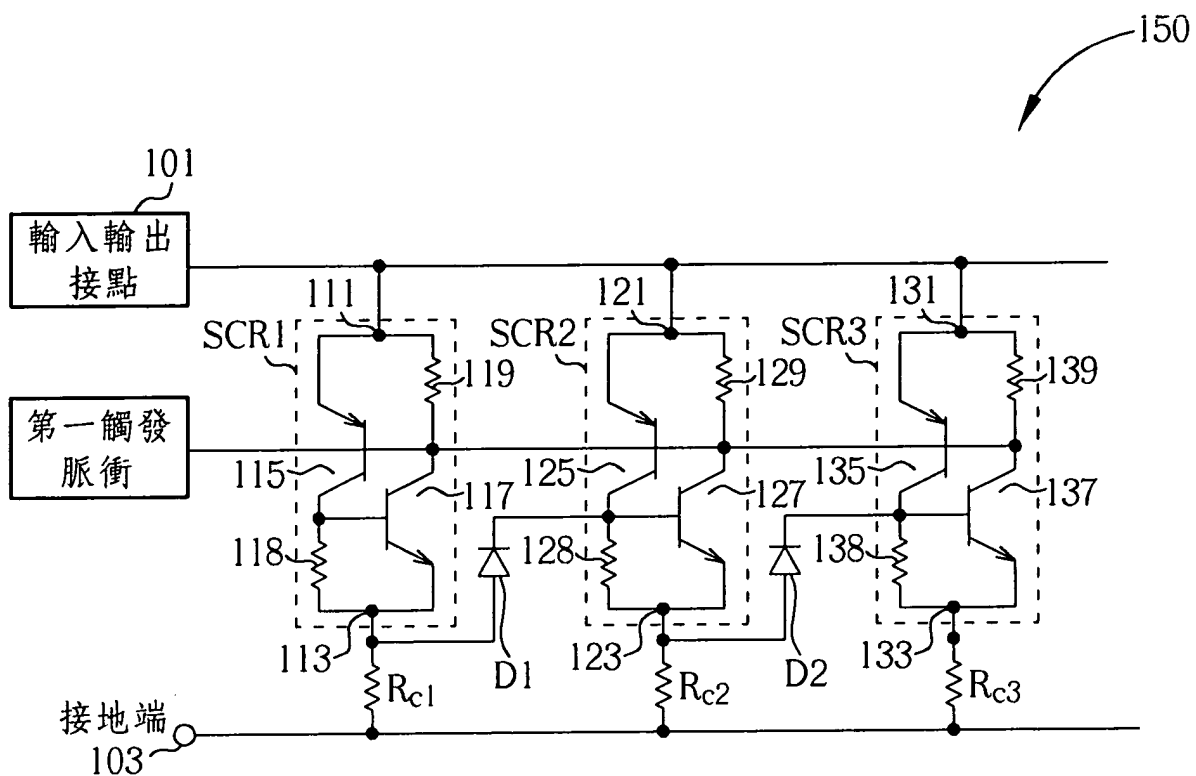
## 十一、圖式：



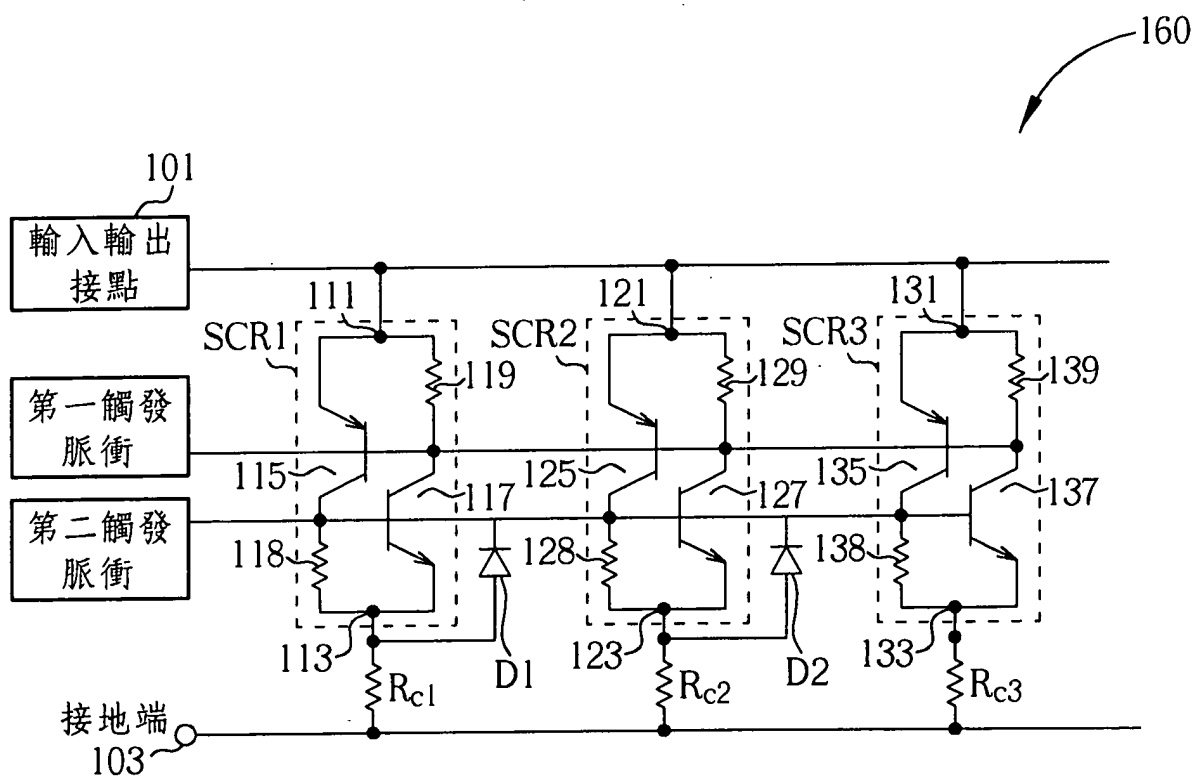
第1圖



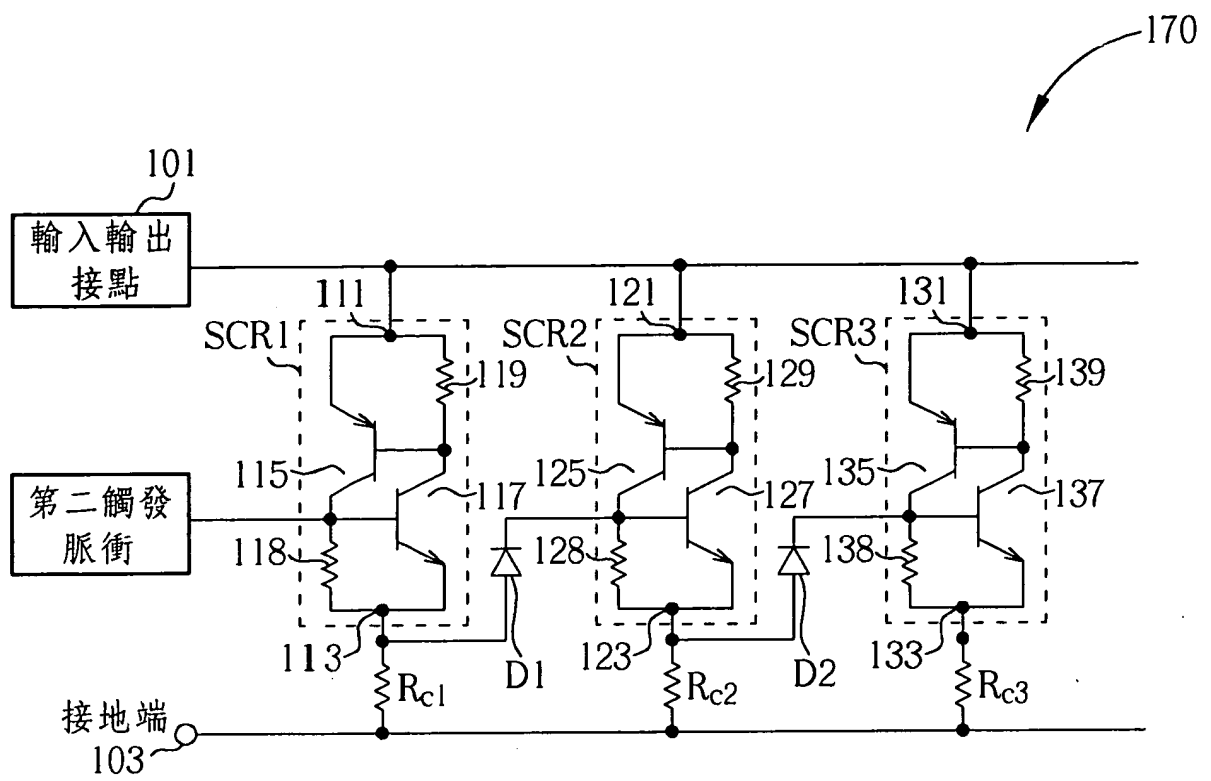
第2圖



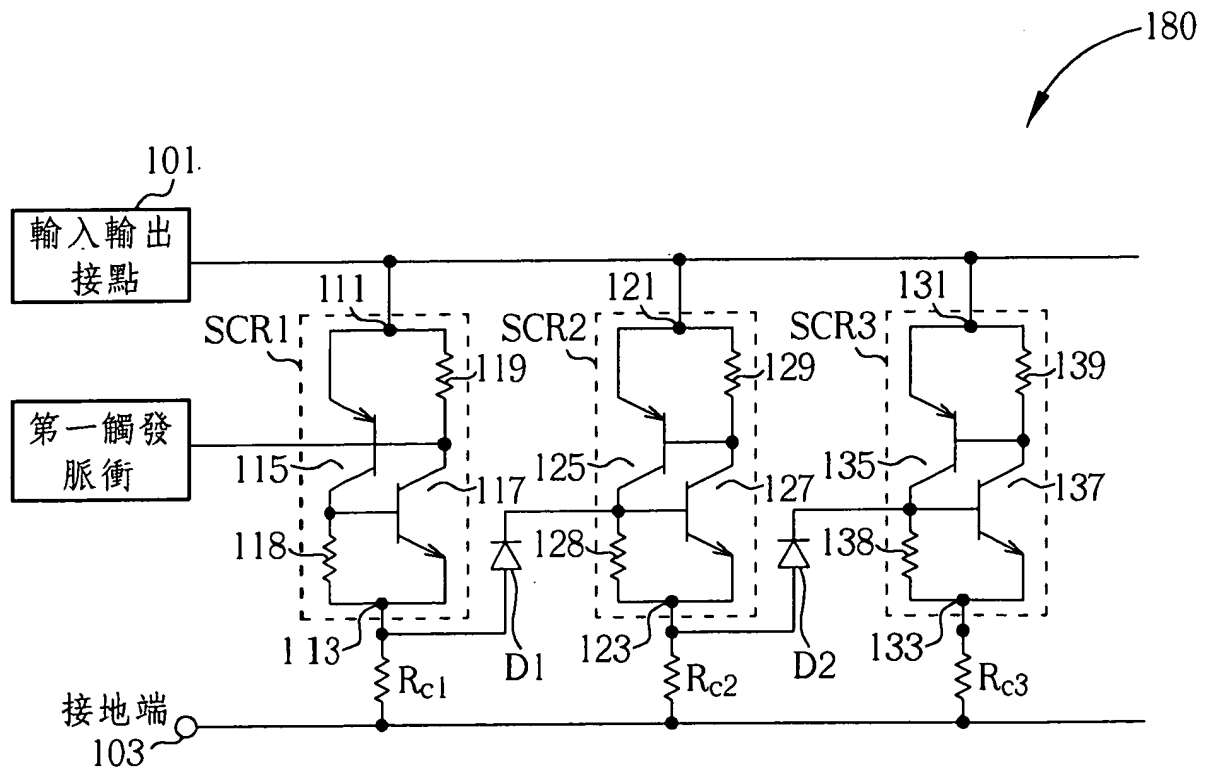
第3圖



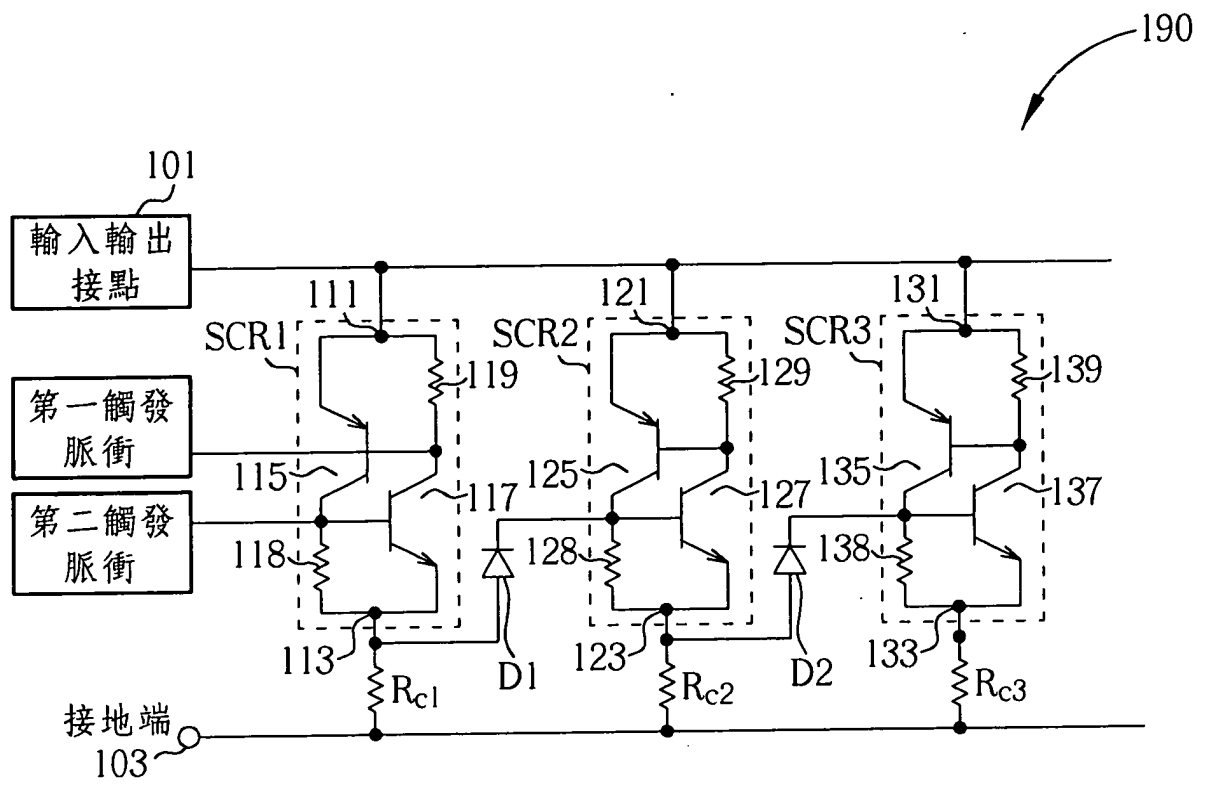
第4圖



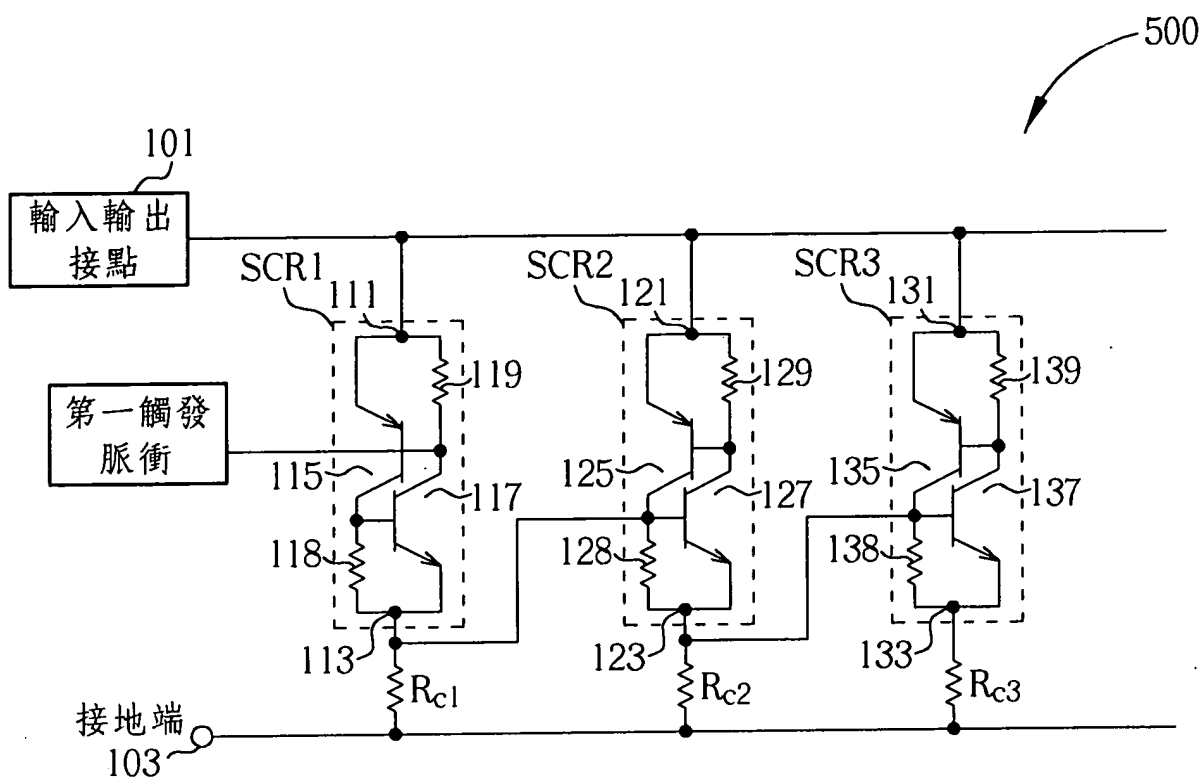
第5圖



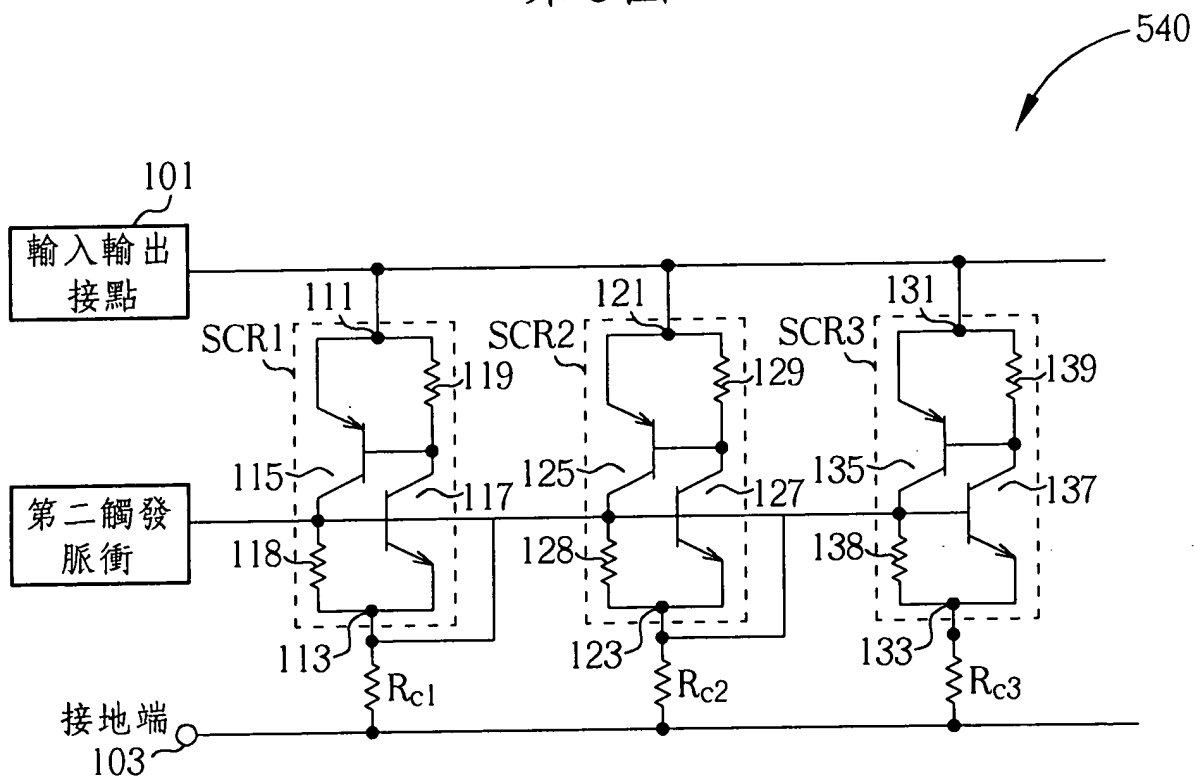
第6圖



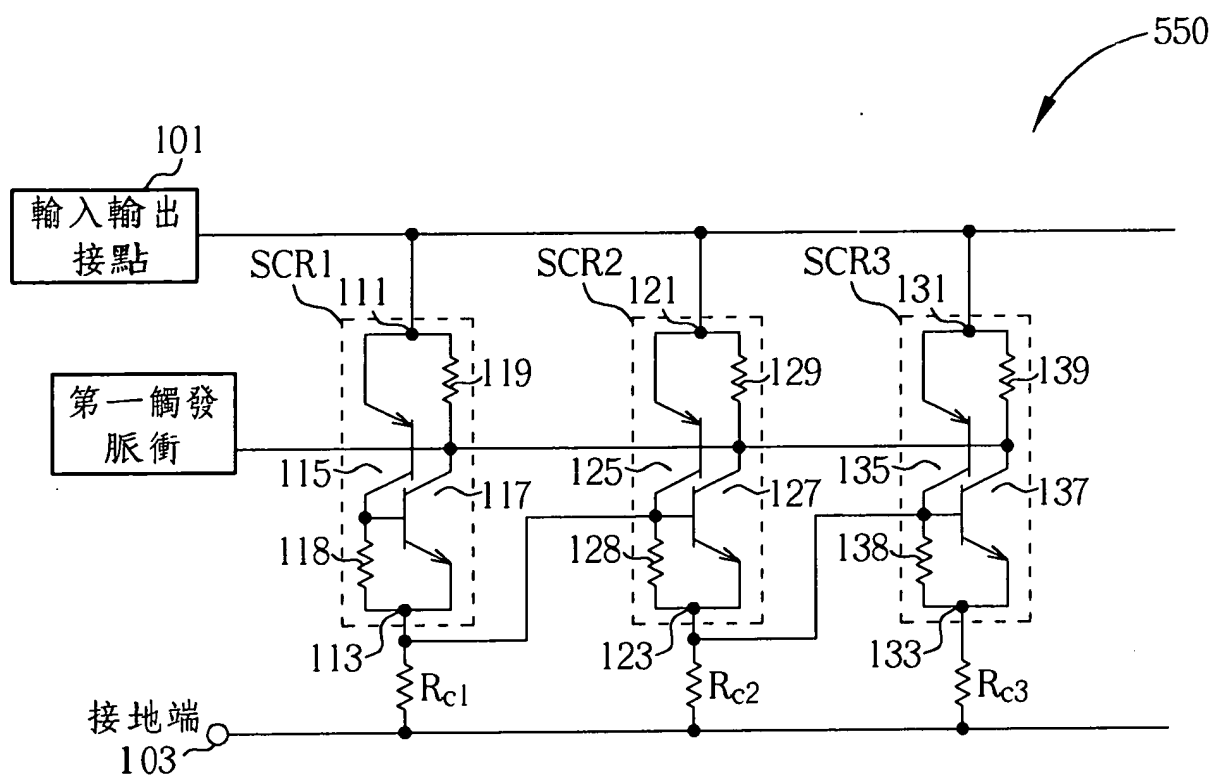
第7圖



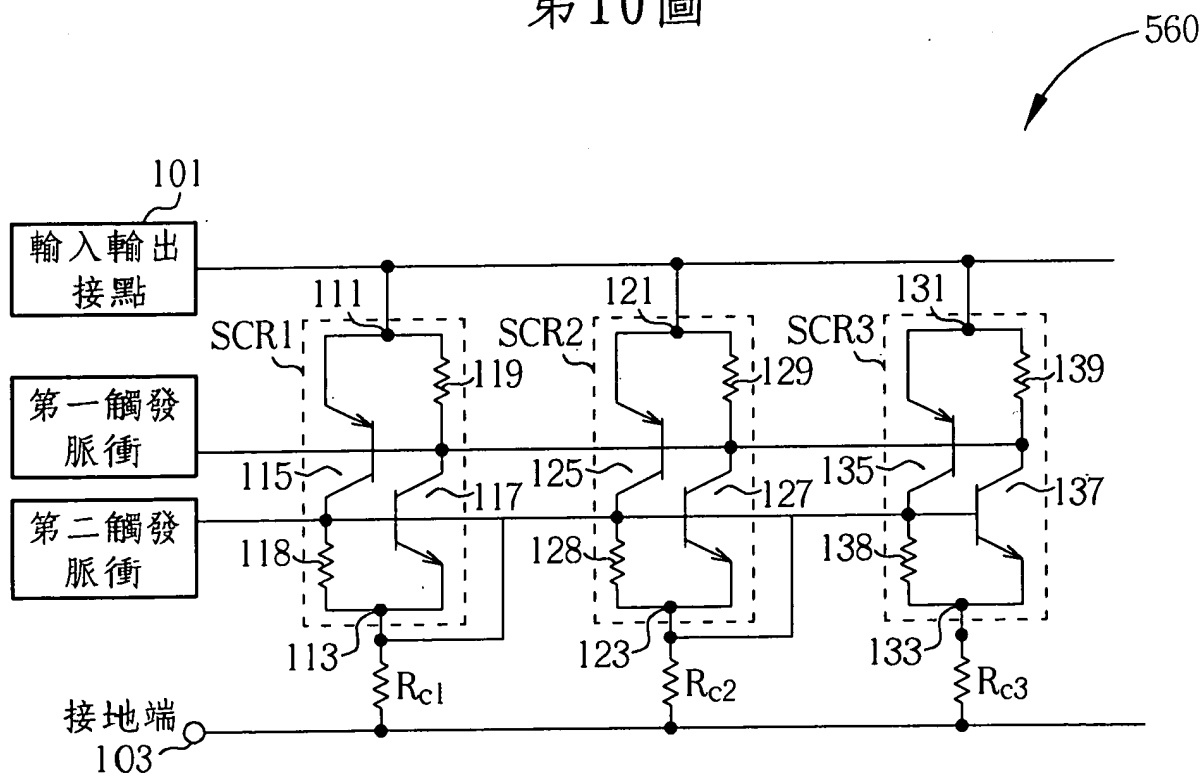
第8圖



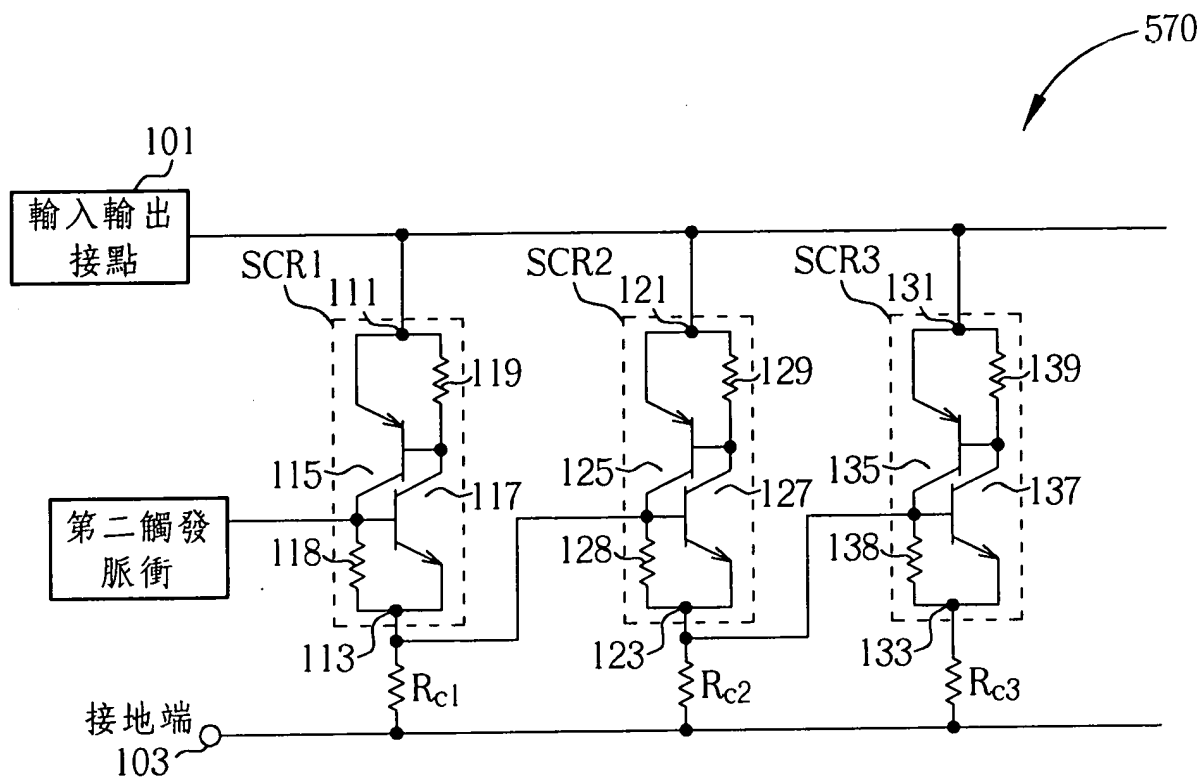
第9圖



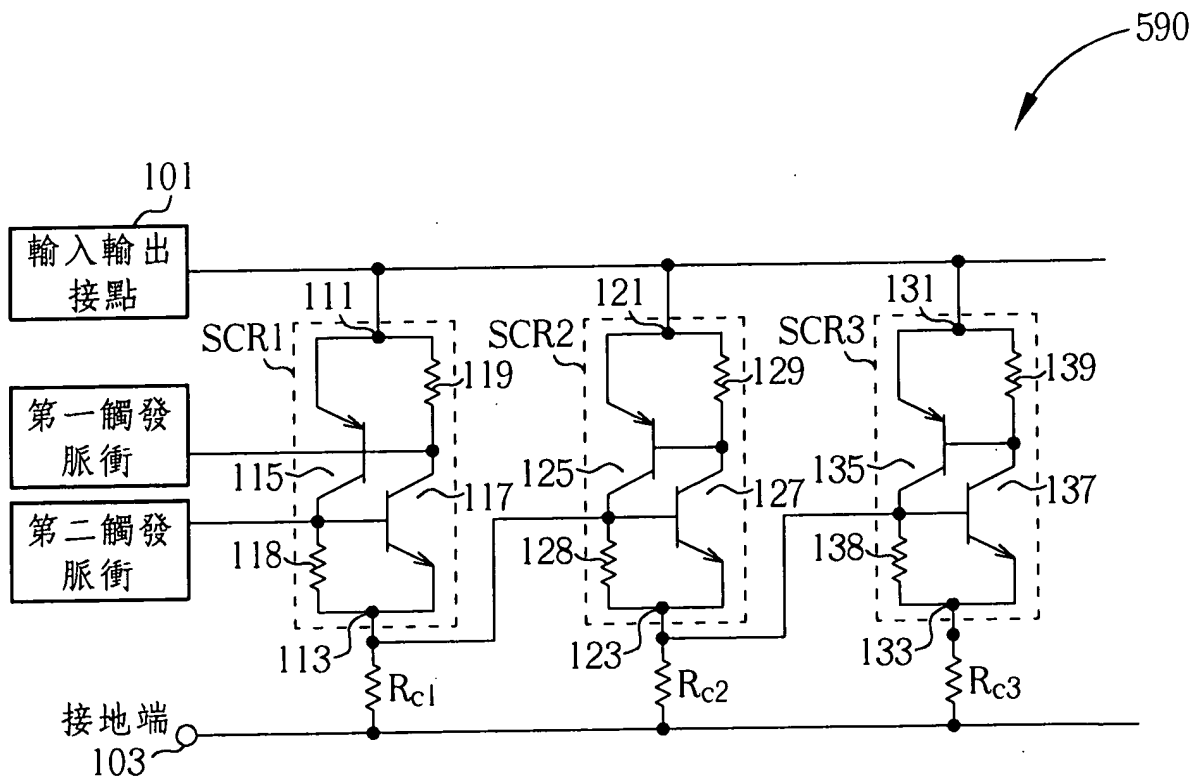
第10圖



第11圖



第12圖



第13圖