

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95 126 150

※ 申請日期： 95.11.17

※IPC 分類：H04J 3/04

一、發明名稱：(中文/英文)

低功率、低面積之樹狀多工器架構 / A low power, low area tree type multiplexer

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章) ID : 46804706

國立交通大學 / National Chiao Tung University

指定 為應受送達人

代表人：(中文/英文)(簽章) 張俊彥 Chun Yen Chung

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號 / No.1001, Da-syue Rd., Hsinchu City 300, Taiwan (R.O.C.)

國籍：(中文/英文) 中華民國/ROC

電話/傳真/手機：

E-MAIL：

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 蘇朝琴 / Chau-Chin Su

2. 呂鴻文 / Hung-Wen Lu

3. 陳冠宇 Guan-Yu Chen

國籍：(中文/英文)

1~3 皆中華民國 / Taiwan (R.O.C)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明針對樹狀的多工器電路，提出一種新的分配方式，使得每級二對一多工器電路可內建產生資料相差，相對於傳統樹狀多工器內的二對一多工器子模組內的 D 型暫存器，本發明可以不需要任何 D 型暫存器，此一改進可大幅降低電路功率消耗與面積消耗，而根據實際設計範例，在相同操作速度下，此改進的架構的功率與面積相較於習知技術降低 50%。

六、英文發明摘要：

For a tree type data multiplexer, this invention proposes a novel control signal placement. By the novel signal placement, the 2 to 1 mux is simply a 2 to 1 data selector without any data skewed DFF. The data skew function is produced by in each 2 to 1 selector. As a result, the power consumption and circuit area is greatly reduced. According a real design example, the circuit area and power reduction is about 50%.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明關於一種多工器架構，尤其是關於一種降低高速傳輸的功率消耗以及面積消耗的多工器架構。

【先前技術】

多工器(multiplexer)，也稱為序列器(Serializer)，功能在於將多筆較為低速的平行輸入資料依序傳送為單筆高速的輸出，如圖一所示，大多數高速傳輸系統均透過此模組將資料轉成高速輸出，大多數多工器所處理的多工數目都為二的次方，如 2，4，8，16，有些系統會再將資料輸出時編碼，因此多工數目會變成其他數字，如 8B/10B 的編碼會需要 10 對一的多工器。

關於多工器的電路架構，主要分為三種，分別為位移暫存器式多工器(shift register type)，單級式多工器(single stage type)與樹狀多工器(tree type)，分別如圖二，圖三與圖四所示，以下將依序大略介紹每種暫存器的操作方式與優缺點。

圖二所示的位移暫存器式多工器的主體電路分成平行載入(parallel load)與序列移位(serial shift)，兩部分的暫存器各操作在不同頻率，低速的平行載入(parallel load)使用低速的 CLK2 時脈，將平行的輸入資料信號載進來，高速的序列移位(serial shift)使用高速的時脈 CK1，因此多工器會根據 CK1 的頻率依序送出資料，當序列移位

(serial shift) 內的 DFF 的資料已經全部序列輸出時，我們使用 CK3 改變序列移位 (serial shift) 內 DFF 輸入路徑，將平行載入 (parallel load) 內的資料全數輸入到序列移位 (serial shift) 內 DFF，這部份的操作可以參考對應的時脈圖，由於外加的時脈通常是只有最高速的 CK1，所以必須透過一個類似除頻器的模組產生額外的 CLK2 與 CLK3。

圖三所示的是單級式多工器 (習知技術一)，此多工器需要輸入與平行輸入資料同頻率且與平行輸入筆數相同相位數的參考時脈，如圖三右邊所示，操作上則是利用不同特定相位的重疊產生不同資料到輸出的導通路徑，兩兩重疊的時脈區間可由時脈圖中灰色區域所示，如 D0 可透過 CK0 正緣到 CK5 的負緣的重疊期間輸出，D1 可透過 CK1 正緣到 CK6 的負緣的重疊期間輸出，其餘的資料也是依此原則依序送出，在此不贅述。

圖四所示的是八對一的樹狀多工器 (習知技術二)，由三級的二對一多工器所組成，就一個二對一的操作而言，先利用 CLK90 兩筆輸入資料作重定時 (retime)，並使兩筆資料產生 180 度的相位差，接著再利用 CLK90 使資料在不同的時間送出，兩筆資料都可以同時有足夠的組態時間 (setup time) 與持住時間 (hold time)。

圖五是三種不同的多工器的比較，單級多工器的架構優點在於可搭配環狀震盪器 (ring oscillator) 的鎖相迴路，也就是說需要的時脈只需要操作在傳輸資料量的 N 分之一，

同時 N 的值可任意變換，但相對的需要的環狀震盪器的階數也跟著不同，但是由於單級多工器輸出端有相當大的寄生電容，使得此架構的頻寬大幅地壓縮，而樹狀多工器由於分成多階，每一階的多工數目減少，輸出端的寄生電容降低，操作頻率大幅提高，缺點則是需要一個相當高速的時脈，以每階均為二對一的多工器而言，供應的時脈必須為資料傳輸速率的 2 分之一。

其中當晶片與外界通訊時，輸入/輸出介面是決定晶片間是否成功傳送接收的重要因素。由於製程技術的不斷縮小使得晶片內部的操作頻率及電路複雜度相對的增加，晶片內部資料處理量與處理速度的不斷提升，在有限的傳輸通道下，但晶片間的傳輸頻寬卻無法相對的提升，也因此輸入/輸出介面的傳輸速度成為限制了系統的整體效能的瓶頸。

為了分析此瓶頸，請參見下列說明：傳統的樹狀多工器操作分成三個階段，分別為

(1) 時脈產生：將輸入時脈 (CLK) 除以 2 倍頻並產生 4 個不同的相位 (CK0, CK90, CK180, CK270)。

(2) 輸入資料相差：一筆資料由正緣取樣，另外一由負緣取樣，使兩筆資料產生 180 度的相差。

(3) 資料切換與重定時 (retime)：資料被 CK0 與 CK180 重新取樣後，在 ck90 與 ck270 控制輸出的切換開關改變導通路徑將資料送出，此種操作理想上可允許資料有 $1/4$ 時

脈週期的組態時間 (setup time) 與持住時間 (hold time)，以確保資料不致操作失誤。

但有些設計會在輸出端再利用高頻時脈再取樣重新取樣一次以減少輸出時脈抖動值，但要付出的代價是需要設置極高速的時脈產生器與極高速取樣速率的暫存器。

圖六所示的是一個傳統八對一個樹狀多工器詳細架構圖，可以看到每一個二對一的多工器子模組都要有三個暫存器，都是為了使資料產生相位差的暫存器，大量的暫存器也主宰了此多工器的功率消耗與面積，本發明之發明動機即在於修改時序與多工方式以減少此樹狀多工器的功率消耗與硬體面積。

在檢索之先前專利案方面，美國第 4270204 號名為『Clock and data recovery method and apparatus』之專利，亦使用多相位取樣方式。

美國第 4789984 號名為『High Speed Multiplexer Circuit』之專利，始提出一種最基本的樹狀序列器，惟改良有限。本發明即針對此樹狀序列器進行改良。

美國第 5724361 號名為『High Performance N:1 Multiplexer with Overlap Control of Multi-Phase Clocks』之專利，以相差 0,90,180,270 度的時脈相位 (clock phase) 兩兩重疊 (overlap) 的方式實現多工器，並搭配參考比較電路 (reference comparison circuit) 的機制調整時脈 (clock) 輸出準位。

美國第 5726990 號名為『Multiplexer and Demultiplexer

』之專利，架構上同樣為樹狀多工器，但並不使用多重相位（multi-phase）的方式，也沒有對每一級的 MUX 的輸入重定時（retiming）。

美國第 5805089 號名為『Time-Division Data Multiplexer with Feedback for Clock Cross-over Adjustment』之專利，使用多相（multi-phase）的方式，並包含時脈交越調整（clock cross-over adjustment）的功能。

然上揭專利文獻，對於高速傳輸介面與降低功率消耗、佔用面積縮小化之改良均未臻完善，而存有改良空間。

【發明內容】

為了克服先前技術之缺失，本發明之一目的即在核心技術上使用多相（multi-phase）的方式，但是以 2 的冪次對 1 的方式使每一集的 2 對 1 多工器輸出端的寄生電容縮小，進而使電路工作速度提升；另外，本發明進一步透過搭配適當的時脈相位（clock phase），使原本用來做資料重定時（data retiming）的 D 型正反器（D Flip-Flop）能夠省略掉，如此可減少相當多的功率消耗以及面積消耗。

【實施方式】

為了達成上述之發明目的，本發明所提出的架構即著重在於時脈的重新分配的原則，在此先介紹單一二對一多工器的控制時脈，接著一一列出四對一與八對一的時脈配置範例，最後則是加入實際設計考量，詳細陳述每個子模組的電路。

圖七左方為傳統樹狀多工器子模組的操作時脈與模組，右方則是本發明所提出的子模組（其中資料偏斜的功能係

內嵌於之前的多工器胞元 (CELL) 中)，如所示，本發明重新分配了時脈使得每一級的二對一子模組除了有多工的效果外，同時也內建了等效下一級多工器所需要的資料相差功能，因此並不需要任何產生相差的暫存器，如此即達成本發明之省略電路的目的。

圖八為本發明利用所提出的方式個別排出四對一的多工器架構與時脈範例，圖九為利用本發明提出的方式之八對一的多工器架構與時脈範例，在此本發明考慮理想狀況下，也就是每一級多工器的延遲時間為零，照著此種方式排列，理想上每一級多工器會有相當於此級多工器輸入時脈週期 1/2 的組態時間 (setup time)，而持住時間 (hold time) 則為 0。

上述的例子都是在不考慮每一級的延遲時間狀況下的時脈圖，然而就 0.13 微米製程而言，一個單純的反相器在四倍輸出負載 (Fan out of 4) 的狀況下，延遲時間大約為 60ps，將此延遲帶入到一個八對一，2.5Gbps 的多工器範例下，實際的時脈如圖十所示， $P_n[1], P_n[1]b$ 為 1.25GHz 的時脈， $P_n[2], P_n[2]b, P_n[3], P_n[3]b$ 則是透過一級除頻器所產生的 625MHz，4 個相位的參考時脈， $P_n[4], P_n[4]b, P_n[5], P_n[5]b, P_n[6], P_n[6]b, P_n[7], P_n[7]b$ 則是第二級除頻器所產生的 312.5MHz，4 個相位的參考時脈，1.25GHz, 625MHz 與 312.5MHz 間都有 60ps 的時間延遲，同樣的多工器本身也有單級的時間延遲，因此每個二對一

的多工器資料大約有 $(1/2T_p)-T_1$ 的組態時間 (setup time) 與 T_1 的持住時間 (hold time)，如圖十一所示， T_p 指的是當級多工器輸入時脈週期， T_1 指的是一個 DFF 的傳輸延遲 (propagation delay)。

圖十二則是詳細時脈產生與多工器控制時脈分配的架構圖，每個多工器的電路與除頻器電路如圖十三所示，考量降低功率與硬體銷耗並提昇操作速度，本發明都採用以 pseudo pmos 方式去實現邏輯，就二對一多工器而言，ck 為 0 時，D0 輸出，ck 為 1 時 D1 輸出，在界限電壓 (threshold voltage) 約 0.35V, VDD 為 1.2V 的狀況下此邏輯的輸出高低準位分別為 1.2V 與 0.2V，而 D 型暫存器採用差動架構的原因在於需要產生 0 度、90 度、180 度、270 度四個不同相位。

爲了比較一階序列器、本發明所提出之全新樹狀序列器、傳統樹狀序列器，這三種架構圖在相同速度時的所需面積與消耗功率，發明人等特做了從圖十四到圖二十五的一系列比較 (標示爲 Tree Type 曲線代表本發明提出的全新樹狀序列器)，以證明本發明提出的新架構各項比較都最優。首先，圖十四與圖十五分別表示本發明將一階序列器以及全新樹狀序列器作最佳化的步驟，其中一階序列器之最佳化步驟爲：

選擇多工器的大小以配合上昇時間規格；

選擇資料偏斜 DFF 之大小，以維持上昇時間規格；

選擇時脈產生之大小，以維持上昇時間規格。

全新樹狀序列器之最佳化步驟為：

選擇第一階多工器（即圖式之中之 1 個多工器）的大小以配合上昇時間規格；

選擇第二階多工器（即圖式之中之 2 個多工器）的大小以配合上昇時間規格；

選擇第三階多工器（即圖式之中之 4 個多工器）的大小以配合上昇時間規格；

選擇資料偏斜 DFF 之大小，以維持上昇時間規格；

選擇時脈產生之大小，以維持上昇時間規格。

依序將架構中的不同部份最佳化才能確保在符合規格的情況下已將面積功率降至最低，這樣才是客觀的比較；而傳統樹狀序列器的步驟與圖十四類似，在此不再贅述；圖十六與圖十七為將此三個架構的各部份依等比例縮小，紀錄是否符合規格，如此便於知道縮小的最大比例，方便最佳化作業，圖十八是利用 HSPICE 模擬結果，將三個架構的電晶體尺寸逐漸縮小，紀錄相對的上升時間，因為上升時間可代表該架構的頻寬，可得到在相同速度下，全新樹狀序列器所需面積最小，而當尺寸加大到一個程度，速度趨於飽和是因為此時電路已被自身的寄生電容限制住速度；圖十九、圖二十、圖二十一、圖二十二則是本發明選擇九個不同的上升時間去做分析比較，分別是 300ps，275ps，250ps，225ps，200ps，175ps，150ps，125ps，100ps，將結果作成表格與曲線圖，得到的結果顯示本發明提出之全新

樹狀序列器功率與面積都消耗最少，圖二十三與圖二十四以及圖二十五則是將面積與功率相乘，做成表格與曲線圖，全新樹狀序列器（圖中標示為 Tree type）在功率消耗與面積消耗的改善更為顯著。

圖二十六是多相產生器（Multi-phase Generator）的輸出，分別產生 1.25GHZ 時脈 Pn[1]，625MHZ 時脈 Pn[2],Pn[3]，相位差 90 度，312.5MHZ 時脈 Pn[4],Pn[5], Pn[6],Pn[7]，相位差 400ps，這些時脈用來供給八對一的序列器使用，與圖九的時脈規劃相符合；圖二十七為八對一序列器模擬結果，包括 625Mbps 的資料輸出 net4,net1,net2,net3，1.25Gbps 的資料輸出 net5,net6，2.5Mbps 的資料輸出至 out，與圖十的時脈規劃相符合。

以上之較佳實施例僅是用來解說本發明之最佳實施方式，本發明之專利範圍仍應以申請專利範圍所載為準。

【圖式簡單說明】

圖一：習知多工器功能示意圖。

圖二：移位暫存器式多工器 (shifter register type multiplexer)架構與時序圖。

圖三：一階的 8 對一多工器與其相對所需供應的時脈圖。

圖四：樹狀的八對一多工器與其相對所需供應的時脈。

圖五：三種不同傳統多工器的比較圖。

圖六：傳統八對一樹狀序列器架構圖。

圖七：本發明所提出之架構基本原理示意圖。

圖八：四對一理想時脈之改進版樹狀多工器(全新樹狀序列器)架構與時序圖。

圖九：八對一理想時脈改進版樹狀多工器(全新樹狀序列器)架構與時序圖。

圖十：本發明之改進版樹狀多工器(全新樹狀序列器)加入傳輸延遲之時序圖。

圖十一：時間延遲對於組態時間與持住時間的影響

圖十二：本發明之改進版樹狀多工器(全新樹狀序列器)架構圖。

圖十三：二對一多工器與差動式 D 型暫存器電路圖。

圖十四：一階序列器的最佳化步驟流程與示意圖。

圖十五：新架構樹狀序列器的最佳化步驟與示意圖。

圖十六：將單級 (single stage) 與新架構樹狀序列器 (tree type) 兩架構的面積等比例縮小的比較圖。

圖十七：將傳統序列器 (basic tree type) 的面積等比例縮小的比較圖。

圖十八：三個不同架構的面積相對上升時間圖。

圖十九：三種不同架構在九種不同上升時間的面積與功率比較表。

圖二十：單級 (single stage) 架構在四種不同上升時間的面積與功率比較表。

圖二十一：三種不同架構在九種不同上升時間的功率比較

圖。

圖二十二：三種不同架構在九種不同上升時間的面積比較圖。

圖二十三：三種不同架構在九種不同上升時間的功率乘以面積比較表。

圖二十四：單級（single stage）架構在 4 種不同上升時間的功率乘以面積比較表。

圖二十五：三種不同架構在九種不同上升時間的功率乘以面積比較圖。

圖二十六：多相位產生器（Multi-phase Generator）的輸出示意圖。

圖二十七：8 對 1 序列器（Serilaizer）時脈與資料輸出波形圖

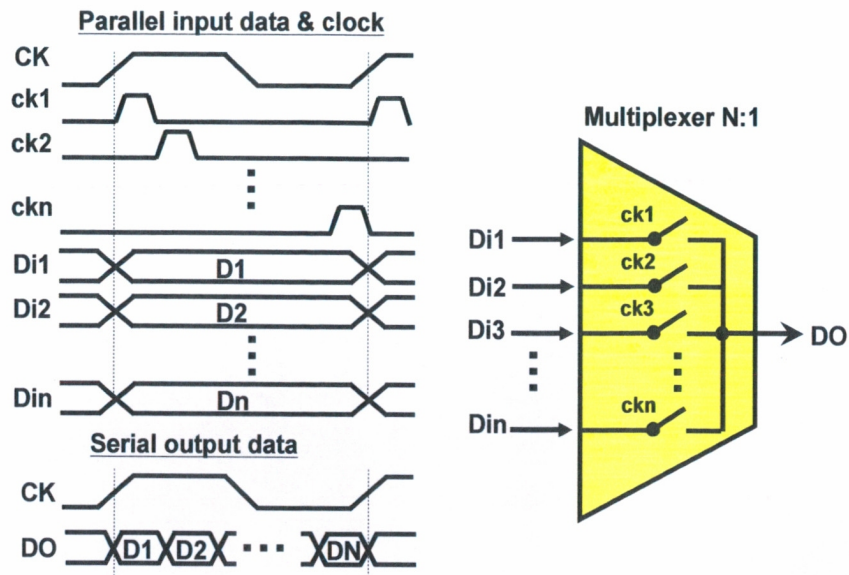
【主要元件符號說明】

無

十、申請專利範圍：

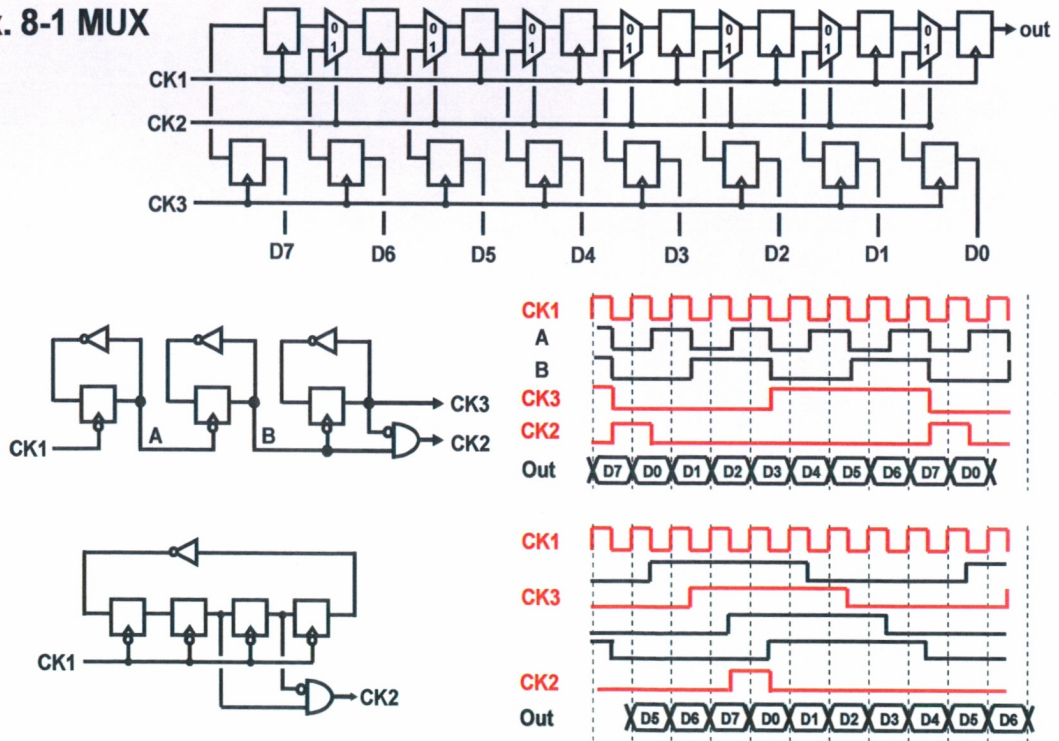
1. 一種多工器架構，其係使用多重相位 (multi-phase)，並以 2 的冪次對 1 的方式，減低每一級的 2 對 1 多工器輸出端的寄生電容，從而提升電路工作之速度；並且該多工器架構透過搭配各種時脈相位 (clock phases) 重新分佈時脈，利用各時脈之間的相位差而直接使輸入的各等資料產生相位差，進一步省略資料重定時 (data retiming) 之 D 型正反器 (D Flip-Flop)，藉以減少功率以及佔用面積之消耗。
2. 如申請專利範圍第 1 項之多工器架構，其中該多工器架構之邏輯，係以 pseudo pmos 的方式實現。
3. 如申請專利範圍第 1 項之多工器架構，其中所採用的多重相位 (multi-phase)，係至少有 0 度、90 度、180 度、270 度等四種不同相位。
4. 如申請專利範圍第 1 項之多工器架構，其中多工器之每級 2 對 1 多工器之電路可以內建方式產生資料相位差。
5. 如申請專利範圍第 1 項之多工器架構，其中該多工器架構係適用於高速傳輸介面。
6. 如申請專利範圍第 1 項之多工器架構，其中該多工器架構係適用於 2 對 1、4 對 1、8 對 1、及 16 對 1 以上之多工器架構。

十一、圖式：

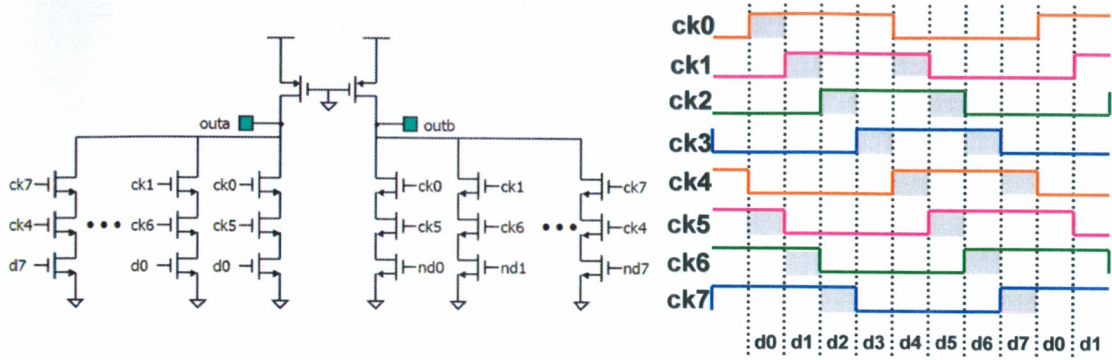


圖一

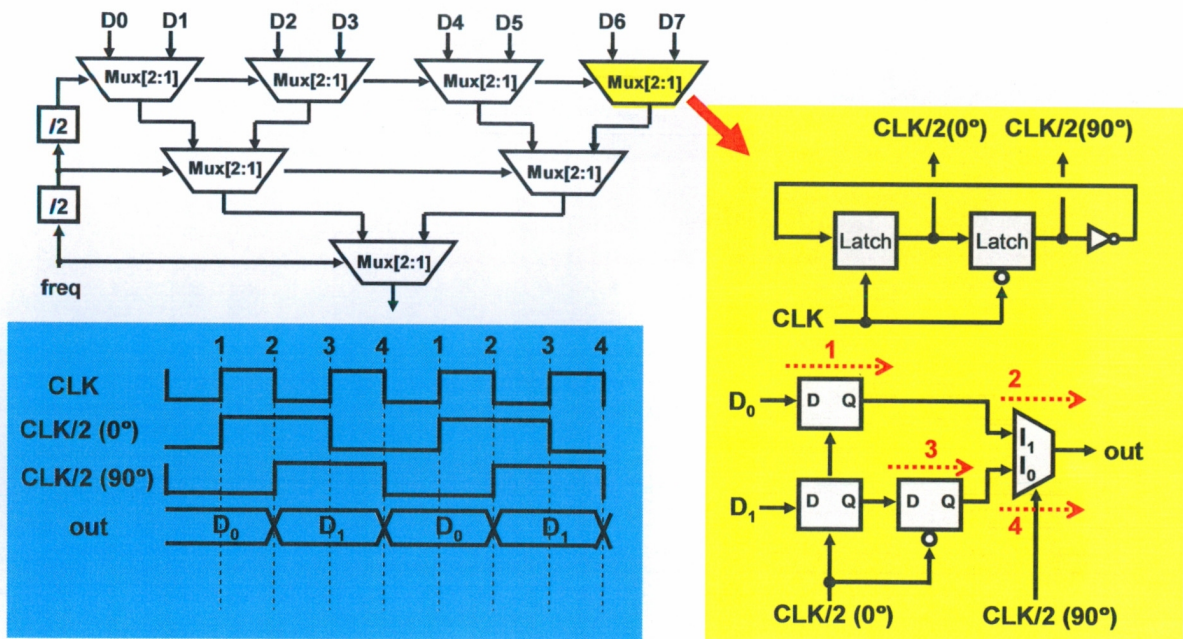
Ex. 8-1 MUX



圖二



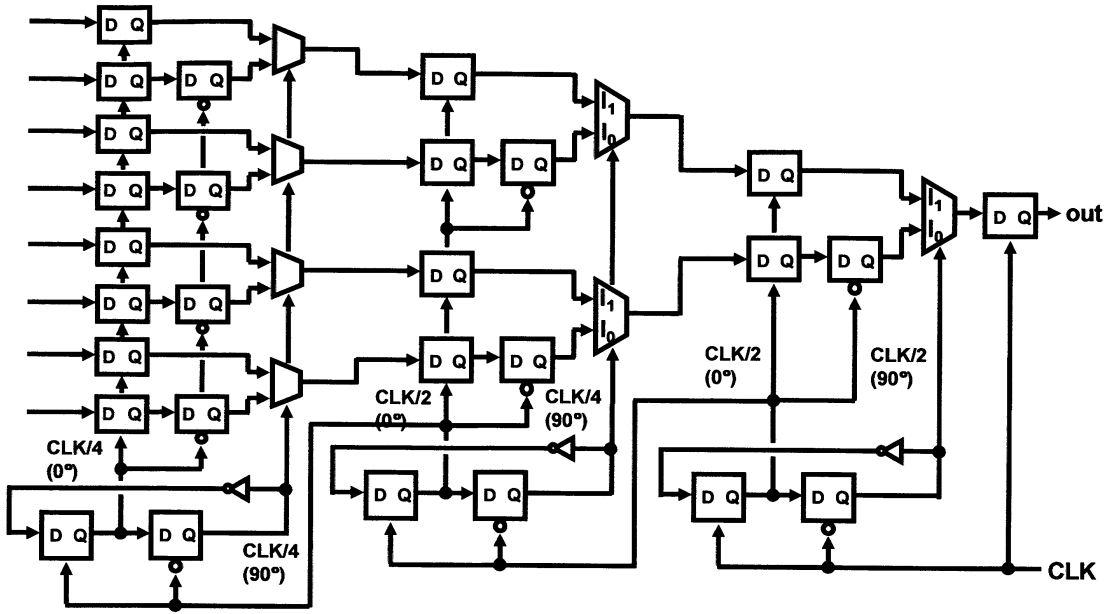
圖三



圖四

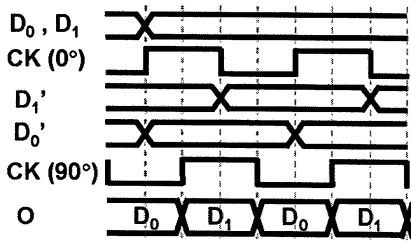
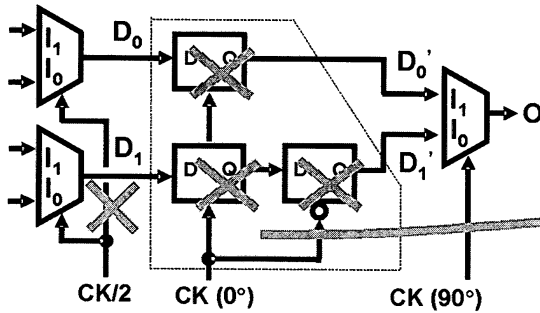
	Tree	Single stage	Shift register
Multiplex number	2^N	N	N
Power	Low	Medium	High
Bandwidth	High	Low	medium
External clock property	High freq, single phase	Low freq, multi-phase	High freq, single phase

圖五

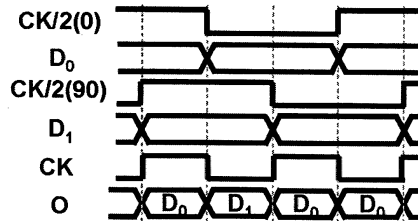
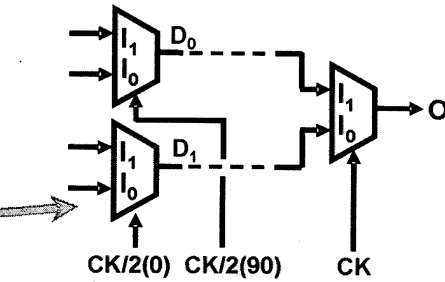


圖六

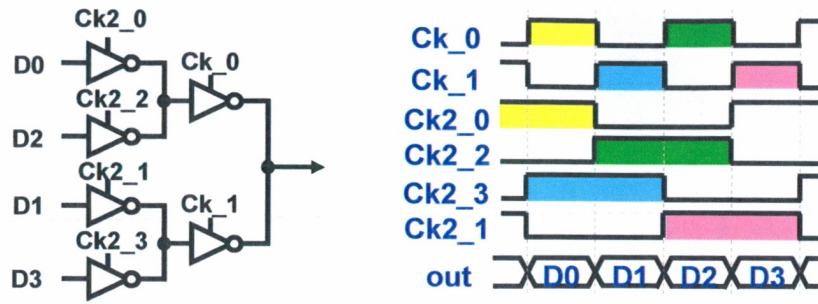
Original mux cell & timing



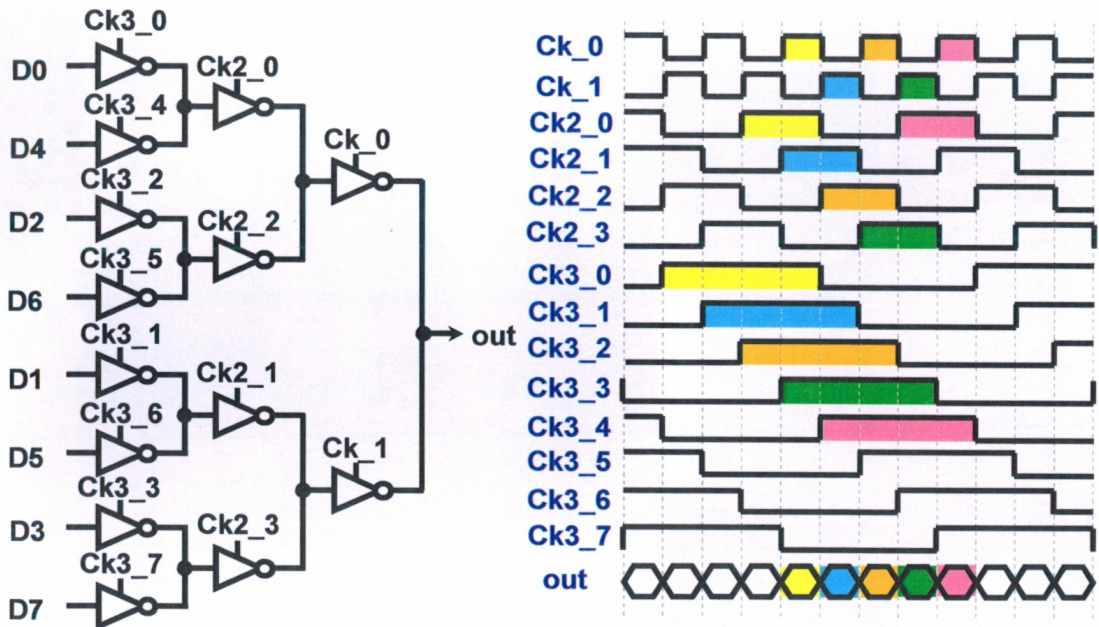
Invented mux cell & timing



圖七

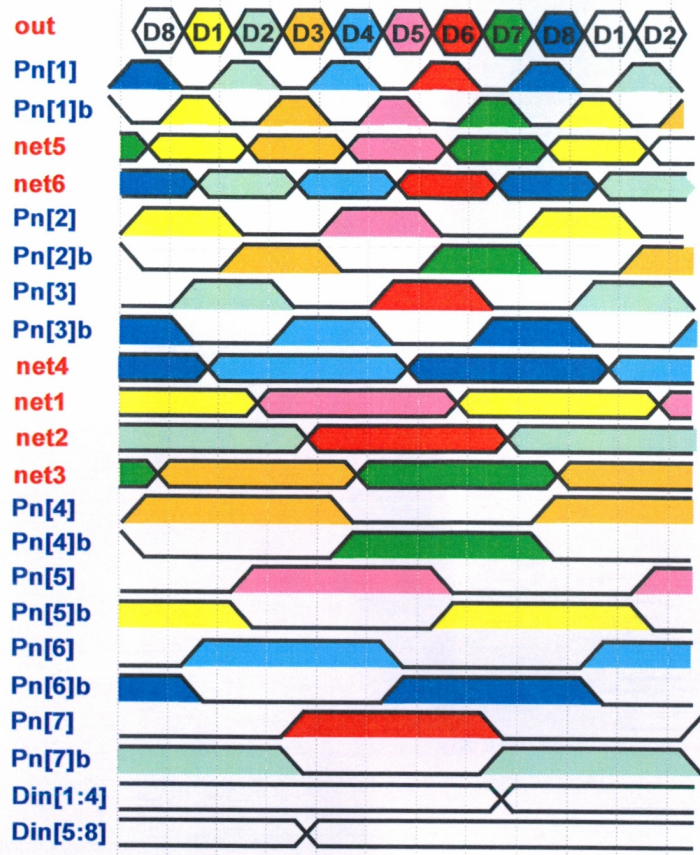


圖八

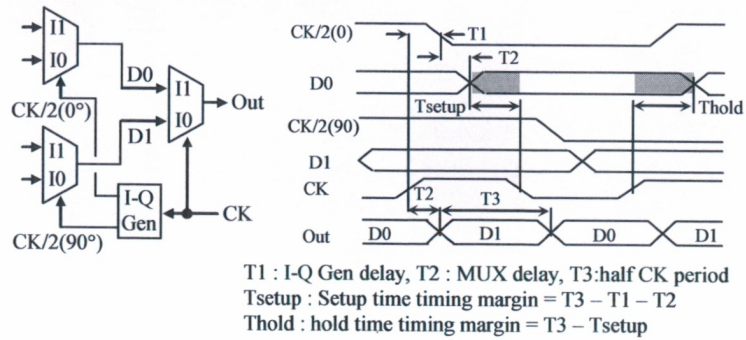


圖九

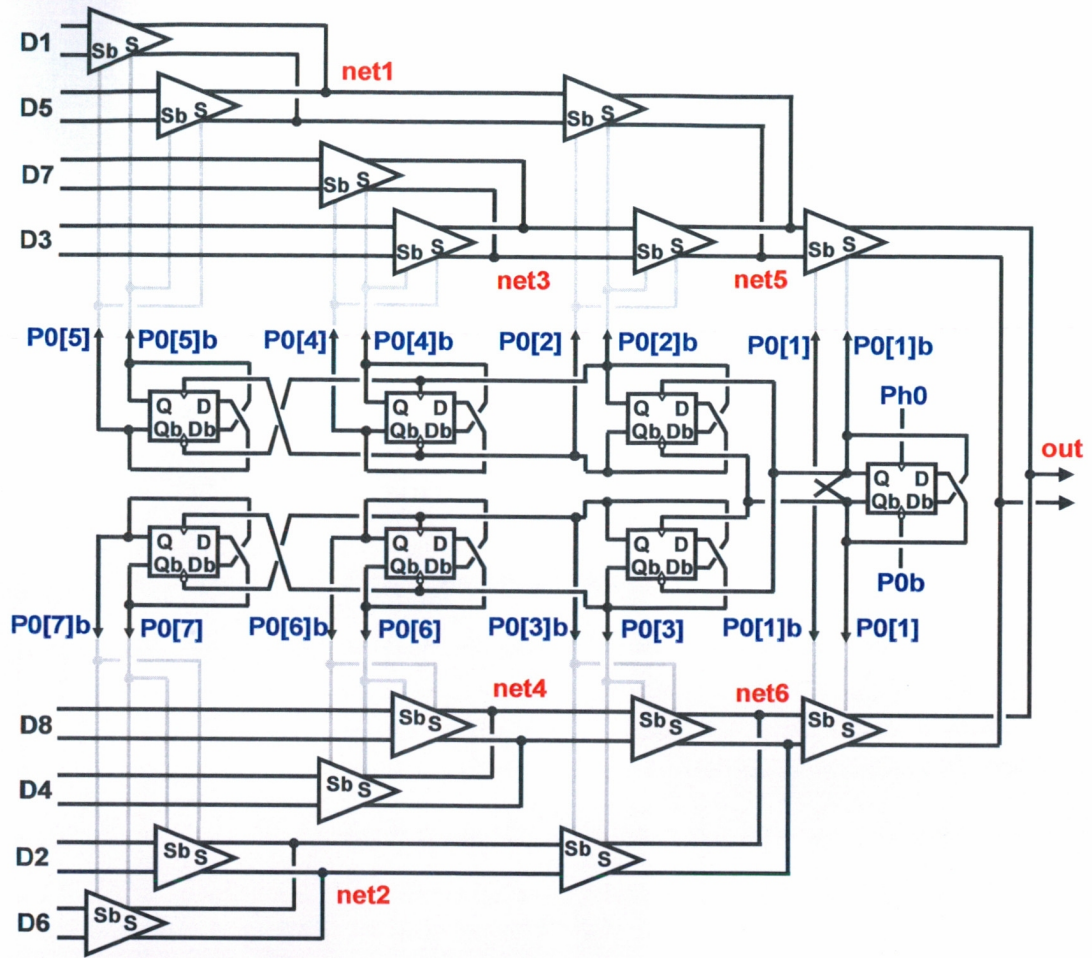
Realistic timing Diagram (Delay time:60ps)



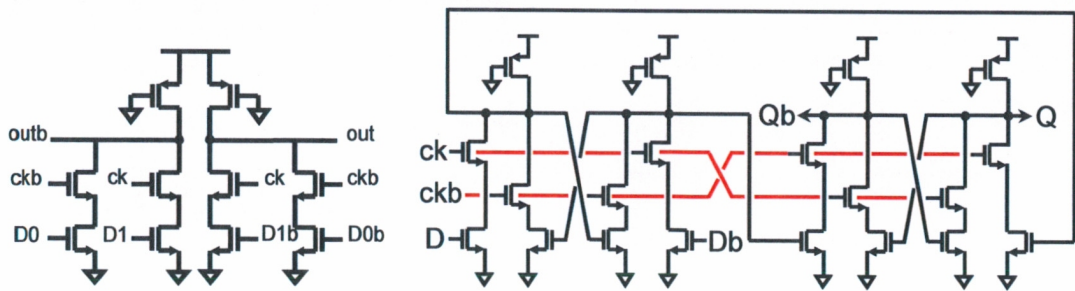
圖十



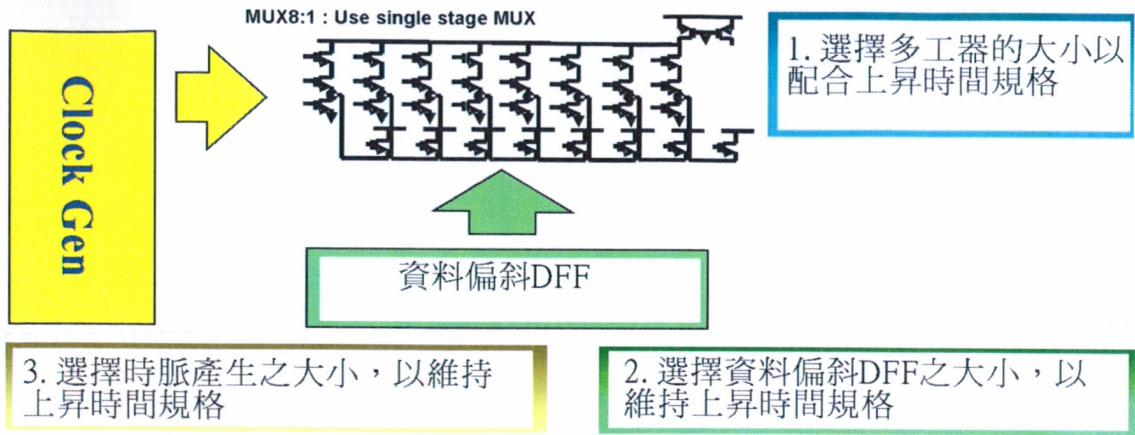
圖十一



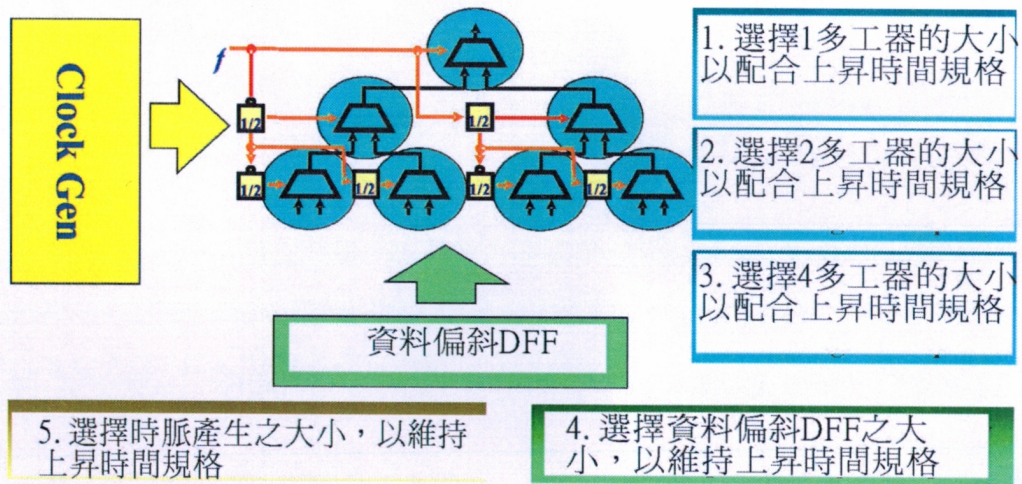
圖十二



圖十三



圖十四



圖十五

Scale down ratio			
Clock Gen	Data skew DFF	Spec.	Power
1	1	v	2.734mW
1/2	1/4	v	2.700mW
1/4	1/16	x	
1/8	1/64	x	
1/16	1/(16) ²	x	
1/32	1/(32) ²	x	

Single Stage

Scale down ratio					
1.25GHZ MUX+Clock	625MHZ MUX+Clock	312.5MHZ MUX+Clock	Data skew DFF	Spec.	Power
1	1/2	1/4	1/8	v	2.585mW
1	1/4	1/(4) ²	1/(4) ³	v	1.802mW
1	1/8	1/(8) ²	1/(8) ³	v	1.520mW
1	1/16	1/(16) ²	1/(16) ³	v	1.415mW
1	1/32	1/(32) ²	1/(32) ³	v	1.388mW
1	1/64	1/(64) ²	1/(64) ³	x	

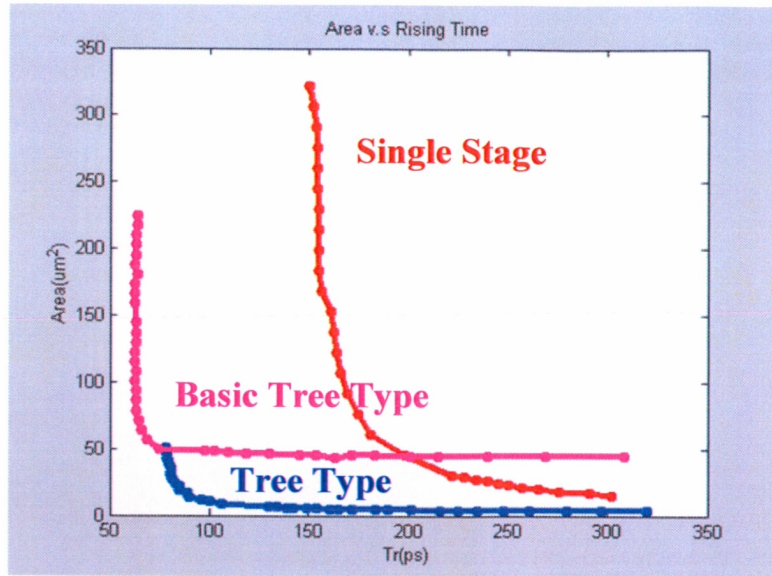
Tree Type

圖十六

Basic Tree Type

Scale down ratio			
1.25GHZ	625MHZ MUX +Data Skew DFF	312.5MHZ MUX +Data Skew DFF	Spec.
1	1/2	1/4	v
1	1/4	1/(4) ²	v
1	1/8	1/(8) ²	v
1	1/16	1/(16) ²	v
1	1/32	1/(32) ²	v
1	1/64	1/(64) ²	x

圖十七



圖十八

Power (mW)	300ps	275ps	250ps	225ps	200ps	175ps	150ps	125ps	100ps
Single	1.3163	1.6726	1.8246	2.0895	2.2480	3.5854	17.614	X	X
Basic Tree	3.2329	3.2618	3.2955	3.3722	3.3743	3.4486	3.5068	3.6624	3.9895
Tree	1.3136	1.3328	1.3706	1.4089	1.4479	1.5257	1.5934	1.8391	2.7900

Area (x0.13um)	300ps	275ps	250ps	225ps	200ps	175ps	150ps	125ps	100ps
Single	117.8 x0.13um	141.36 x0.13um	176.7 x0.13um	235.6x0. 13um	353.4 x0.13um	589x0.13 um	2473.8 x0.13um	X	X
Basic Tree	340.03 2 X0.13um	342.05 1 X0.13um	343.78 X0.13um	345.94 6 X0.13um	347.87 2 X0.13um	350.592X 0.13um	354.48 2 X0.13um	361.786X 0.13um	377.15 0 X0.13um
Tree	25.252 x0.13um	26.12 x0.13um	28.072 x0.13um	29.88 x0.13um	31.832 x0.13um	35.52 x0.13um	43.112 x0.13um	50.56x0. 13um	82.592 x0.13um

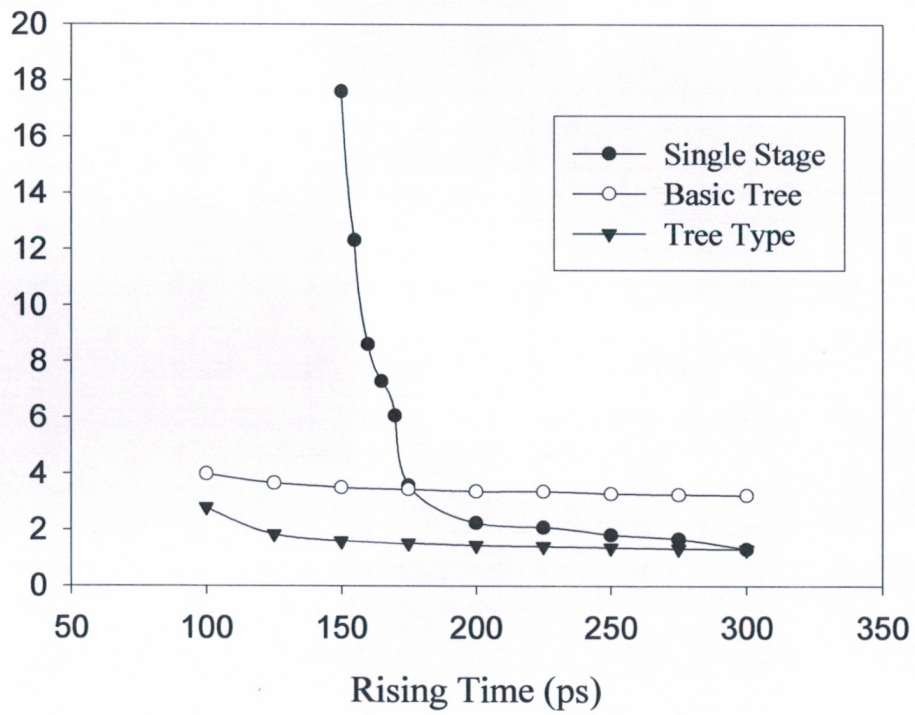
圖十九

Power (mW)	170ps	165ps	160ps	155ps
Single	6.0694	7.2889	8.6057	12.326

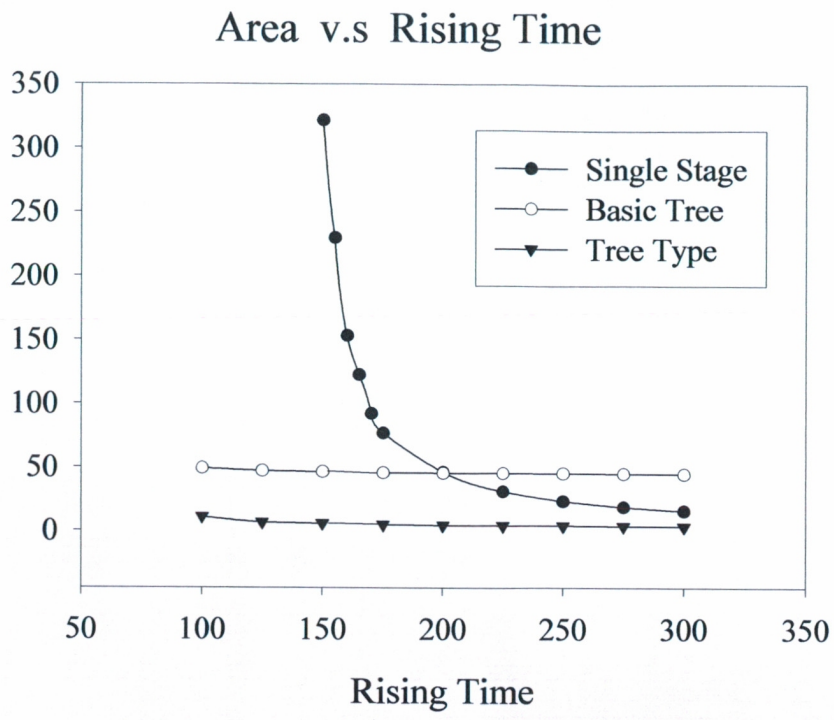
Area (x0.13um)	170ps	165ps	160ps	155ps
Single	706.8 x0.13um	942.4 x0.13um	1178 x0.13um	1767x0.13um m

圖二十

Power v.s. Rising Time



圖二十一



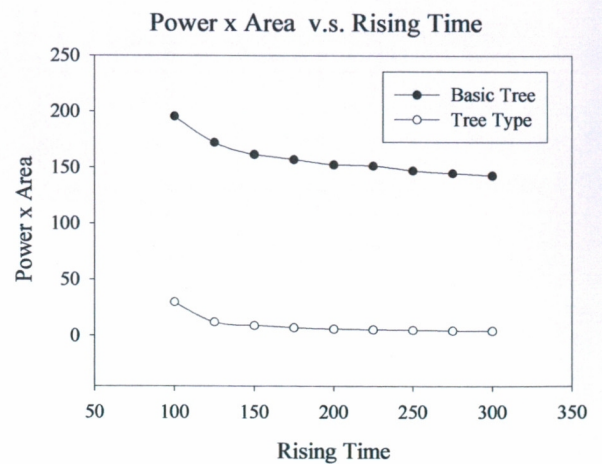
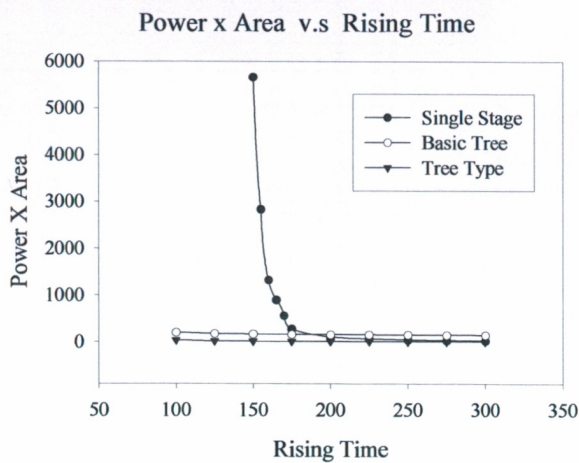
圖二十二

Power x Area	300ps	275ps	250ps	225ps	200ps	175ps	150ps	125ps	100ps
Single	20.1578	30.7370	41.9129	63.9972	103.2776	274.5341	5663.8698	X	X
Basic Tree	142.9076	145.0413	147.2805	151.6579	152.5972	157.1767	161.6027	172.2507	195.6032
Tree	4.3122	4.5257	5.0018	5.4727	5.9916	7.0451	8.9303	12.0880	29.9561

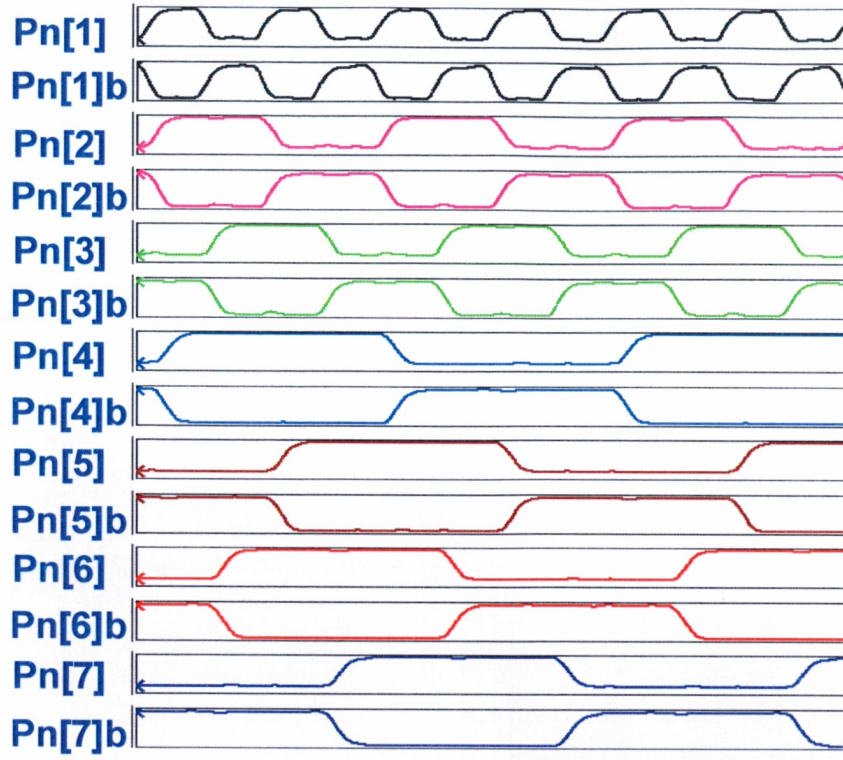
圖二十三

Power x Area	170ps	165ps	160ps	155ps
Single	557.6807	892.9777	1317.8769	2831.4055

圖二十四



圖二十五



圖二十六

圖二十七

