

# 發明專利說明書

PD1060654

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95121403

※ 申請日期： 95.6.15

※IPC 分類： H01L 21/768

## 一、發明名稱：(中文/英文)

Co1G 55/00, 35/00

阻擋銅擴散之障礙層複合材料

COMPOSITE MATERIAL AS BARRIER LAYER IN CU DIFFUSION

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 TA-HSUEH RD., HSINCHU, TAIWAN R.O.C.

國 籍：(中文/英文)

中華民國/R.O.C

## 三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 崔秉鉞/TSUI, BING-YUE

2. 黃誌鋒/HUANG, CHIH-FENG

3. 李佳蓉/LEE, CHIA-JUNG

國 籍：(中文/英文)

1.~3. 中華民國/R.O.C

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

本案未在國外申請

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明關於銅擴散障礙層複合材料或具有該材料之裝置，係由 Ta 與 Pt 所組成，Pt 之摻雜量約在 35 原子數 (at.%) 以下，且於 500°C 以上之高溫下，該材料仍可維持非結晶之特性而可阻擋銅原子擴散並具有與 Ta 等同低之電阻係數。本發明之製法，包括 TaPt 合金材料之選取步驟，及進行該障礙層之沉積步驟，使該合金材料於一蒸鍍系統中，形成於 Cu 導電層與預定之隔離物之間，該預定之隔離物，可為一矽基板，或半導體裝置之閘極，或多重導線之電極等裝置其中之一。

## 六、英文發明摘要：

This invention relates to a composite material as barrier layer in Cu diffusion and to a device comprising the material. The composite material is composed of Ta and Pt and the Pt is in a composition of up to 35 at.%. Under a high temperature above 500°C, the material with the resistivity as low as Ta maintains in a non-crystallized state to block the Cu diffusion. The process for producing the material comprises selecting the material of TaPt alloy and depositing the barrier layer which is formed between the Cu interconnecting wires and the pre-determined spacers by applying an alloy material in the evaporation sputtering system, wherein the spacers is a form of the silicon wafer, the gate of semiconductor device and the electrode of multiple connecting layers.

七、指定代表圖：

(一)本案指定代表圖為：無

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明關於半導體製程中用於阻擋銅擴散之障礙層材料及其製法，特別地，該障礙層材料同時具有阻擋銅擴散能力強、電阻係數低、與介電質及銅之附著性良好、使銅晶粒傾向(111)方向及高溫穩定性佳等性質。

### 【先前技術】

自從 IBM 於 1997 年發表了銅導線技術之後，銅製程便成為全球高階積體電路多層導線技術的主流。然而，銅對矽晶材料以及大多數之介電質材料而言，都是影響性質的污染物，例如矽晶片一旦受到銅原子之滲入，將使少數載子生命週期縮短及元件漏電流增加，再者，若銅原子進入介電質，將使崩潰電場降低及漏電流增加，因此必須使用適當的擴散障礙層以包覆銅導線。

關於包覆銅導線之障礙層，一般必須符合數項基本要求，包括：(1)阻擋銅擴散能力強；(2)電阻係數低；(3)與介電質及銅之附著性良好；(4)使銅晶粒傾向(111)方向；及(5)高溫穩定性佳。

習知銅導線上方的介電質障礙層以  $\text{Si}_3\text{N}_4$  或是  $\text{SiC}$  化合物最為常見，至於下方以及側面的金屬性障礙層，則以 Ta/TaN 堆疊形成障礙層為主流；關於採取 Ta/TaN 堆疊之理由為：Ta<sub>2</sub>N<sub>5</sub> 具有極佳的熱穩定性、不易結晶及良好之阻擋銅擴散能力，卻存在一些缺點，包括：與銅之附著力差，無傾向於使位其上方的銅形成(111)晶向及電阻係數也偏

高等，因此利用 Ta，其和 TaN 相反性質之特性，可藉以彼此截長補短。

然而隨著奈米製程的進一步發展，導線線寬更趨微小化，因而障礙層的厚度亦必須相對降低，上述 Ta/TaN 堆疊形成障礙層之厚度遂難符合要求。因此，新近之發展出更多具有更低電阻係數之障礙層材料便成為研究的重點，例如 S. C. Sun et al. 發表之 Ti、Ta 及 W 等之碳化物系列（"Refractory Metal Carbide-Based Diffusion Barrier for Copper Metallization"，Proc. of IITC, p.397, 2001），J. Schuhmacher et al. 發表之 Ti、Ta 及 W 等之氮化物系列（"TiN, TaN, and WxN as diffusion barrier for Cu on SiO<sub>2</sub>"，in Proc. Adv. Metal Conf., p.759, 2002），以及其他系列之 TaSiN、TiSiN、MoN、WCN、ZrTi、ZrTiN、TaNi 等等，然而很遺憾地，該等已知或研發中之材料仍未發現其中任何一種可以同時兼顧上述指稱之完整的基本要求。

#### 【發明內容】

本發明之主要目的在於提供一種可同時符合前述銅擴散障礙層之材料，特別是適用於奈米製程下之導線線幅要求。

本發明之銅擴散障礙層之材料，除了阻擋導線之銅原子擴散外，更包括半導體元件之閘極裝置，或薄膜電晶體（TFT）金屬電極等運用。

如上述之本發明銅擴散障礙層材料，係至少一 TaPt 薄

膜，其特徵在於該材料係由 Ta 與 Pt 所組成，可於高溫下，例如 500°C 以上仍維持非結晶之特性而可以阻擋銅原子擴散，並具有低的電阻係數。

其中該材料中 Pt 之摻雜量約在 35 原子數 (at.) % 以下，較佳為 15 原子數 (at.) %。

其中該 TaPt 薄膜之厚度可低於 5nm，其與銅導線厚度之比值較佳在 1:10~1:20 之間，例如，在一簡單金屬氧化物半導體 (MOS) 電容裝置之閘極中，TaPt(約 5 至 20 奈米厚)/Cu(約 200 奈米厚)/TaPt(約 5 至 20 奈米厚)。

其中該 TaPt 薄膜，經過 800°C /30min 退火，仍然維持非晶狀態；再者，該 TaPt 薄膜之阻擋銅擴散的能力達 700°C /30min；如經過 650°C /30min 之退火，該 TaPt 薄膜仍可承受測試條件 200°C、60min、2MV/cm 之偏壓溫度測試。

本發明之另一目的在於提供一種如上述之銅擴散障礙層材料之製法，包括 TaPt 合金材料之選取步驟，其中 Ta 之含量不低於 65 原子數 (at.)%；及進行該障礙層之沉積步驟，使該合金材料於一蒸鍍系統中，形成於 Cu 導電層與預定之隔離物之間。

然而 TaPt 薄膜之形成方法並不限定於上述或實施例中所使用的方法，尚包括雙電子槍蒸鍍、濺鍍或 Ta/Pt/Ta/Pt 之多層堆疊等，均可適用。

如上述利用雙電子槍蒸鍍以製作本發明之銅擴散障礙層材料，包括在一具有 Ta 為第一標靶與具有 Pt 為第二標靶之雙電子槍蒸鍍機中，以高的第一功率與低的第二功

率，分別控制該第一標靶與該第二標靶之沉積速率，使其形成於 Cu 導電層與預定之隔離物之間。

如上述利用濺鍍，包括 TaPt 合金材料之選取步驟，其中 Ta 之含量不低於 65 原子數 (at.%)；及進行該障礙層之沉積步驟，使該合金材料於一濺鍍系統中，形成於 Cu 導電層與預定之隔離物之間。

如上述利用共濺鍍以製作本發明之銅擴散障礙層材料，包括在一具有 Ta 為第一標靶與具有 Pt 為第二標靶之雙濺鍍機中，以高的第一功率與低的第二功率，分別控制該第一標靶與該第二標靶之沉積速率，使其形成於 Cu 導電層與預定之隔離物之間。

如上述利用 Ta/Pt/Ta/Pt 之多層堆疊以製作本發明之銅擴散障礙層材料，包括 Ta 與 Pt 堆疊結構之沉積步驟，其中 Ta 在該堆疊層中之含量不低於 65 原子數 (at.%)；及進行該障礙層之沉積步驟，使該堆疊結構於一雙濺鍍系統中，形成於 Cu 導電層與預定之隔離物之間。

其中，上述之該預定之隔離物，可為一矽基板，或半導體裝置之閘極，或多重導線之電極等裝置之一。本發明該銅擴散障礙層之應用亦不限於積體電路之銅導線以及平面顯示器之銅閘極，任何使用銅的場合，若需要擴散障礙層或提高與其它材質之附著力，均適用本發明。

#### 【實施方式】

有關本發明之技術內容及實施手段概以下列之具體實施例描述之。



**【實施例一】 TaPt 薄膜之製作與其特性**

於一矽晶基板上，製作一簡單金屬氧化物半導體 (MOS) 的電容裝置，其構造為主要含 TaPt(約 5 至 20 奈米厚)/Cu(約 200 奈米厚)/TaPt(約 5 至 20 奈米厚)之閘電極裝置，該閘電極氧化物為厚約 60nm 之熱氧化物。

接著將一 TaPt 置於一共濺鍍系統中，其中該 Ta 及 Pt 標靶之濺鍍功率分別地設定為直流 30 瓦及射頻 30 瓦。另外一 Cu 導電層係由濺鍍方式沉積。此合金閘極藉由發射製程 (lift-off process) 加以圖案化。一 TaPt(50nm)/SiO<sub>2</sub>/Si 覆蓋物之樣本亦被製備，以供 TaPt 薄膜之特性比較。

藉由魯氏後散射圖譜 (Rutherford back-scattering spectroscopy, RBS) 測得之 Ta/Pt 原子比例約 85/15。如第 1 圖所示在不同退火溫度之後的 TaPt 薄膜 XRD 頻譜圖，其中較寬廣且弱的訊號代表該薄膜即使經過 800°C 退火處理 30 分鐘後仍會殘留的非經晶部份。該根據先前技術所示之相圖【T. B. Massalski, Binary Alloy Phase Diagrams 2nd ed., American Society for Metals, 1990, p.3133.】該主要之相假定係一  $\sigma$  相。第 2 圖顯示 50 nm 後之 TaPt 薄膜經過 800°C 退火之後的 TEM 顯微剖面圖，僅可發現有少數之奈米級結晶存在。該繞射圖案亦確認了處於近乎完全非晶狀態。第 3 圖顯示在不同退火溫度之後的 TaPt 薄膜電阻率，在此圖中亦同時並列 Ta 薄膜及 TaN 薄膜之電阻率。關於加入了 Pt 之後並未增加電阻率且其在高達 800°C 之下仍顯示相當之穩定性。

經過進行一埃拉附著力試驗 ( Stud-pull adhesion test ) ，其顯示 TaPt 附著至  $\text{SiO}_2$  之強度超過 50 MPa ，而且與單獨之 Ta 附著至  $\text{SiO}_2$  之強度不相上下。因為 Ta 顯示對多孔性碳摻雜氧化物 (CDO) 具有好之附著力，所以相信 TaPt 合金應當具有類似之效果，例如在 K. L. Fang et al., J. Appl. Phys., vol.93, No.9, p.5546, 2003. 之論文中已展現 Cu/TaPt 堆疊之良好附著力。

#### 【實施例二】銅擴散障礙層之性質測試

第 4 圖顯示退火之前與以  $600^\circ\text{C}$  退火經 30 分鐘後之 TaPt(20nm)/Cu(200nm)/TaPt(20nm) 結構之 AES 深度圖形，可以發現並未有銅擴散至 TaPt 障礙層內之現象。第 5 圖顯示經過不同退火溫度後之 TaPt(5nm)/Cu/TaPt(5nm) 金屬氧化物半導體，其電容之高頻下 C-V 特徵。當高於  $400^\circ\text{C}$  以上退火時有些損痕，乃因應力誘發介面狀態所致。經過  $500^\circ\text{C}$ 、 $600^\circ\text{C}$ 、 $650^\circ\text{C}$  及  $700^\circ\text{C}$  之退火步驟，幾乎 C-V 曲線之重疊顯示該銅原子可以被 5 nm 後之 TaPt 障礙層有效地阻擋住。第 6 圖顯示其平帶電壓 ( $V_{fb}$ ) 係為退火溫度之函數。其緊密之分佈與微小之差異確認該 TaPt 障礙層之效能。第 7 圖顯示  $650^\circ\text{C}$  退火樣本之崩潰電壓 (breakdown voltage) 係與在  $400^\circ\text{C}$  退火樣本相同的，而  $700^\circ\text{C}$  退火樣本之崩潰電壓卻相對較低。在矽基板中之最小載子生命週期可用停留時間量測法 (retention time measurement) 加以推估之，然而第 8 圖中顯示幾乎呈現相同之停留時間，亦即到了  $650^\circ\text{C}$  以上，該矽基板仍未被銅所污染。

最後，在 2MV/cm 及 200°C 條件下進行強偏壓溫度應力測試 (strong bias-temperature stress test, BTS)。第 9、10 及 11 圖分別地顯示 600°C, 650°C 及 700°C 退火樣本之 C-V 特徵。對 600°C 及 650°C 退火樣本而言，具有著 5 nm 厚之 TaPt，其進行 30 與 60 分鐘之 BTS 測試將不會導致平帶電壓 ( $V_{fb}$ ) 漂移，但對 700°C 退火樣本，具有著 20 nm 厚之 TaPt，並無法通過該強偏壓溫度應力測試 (BTS)。

第 12 圖中比較經過 500°C 退火 30 分鐘後之 TaPt/Cu/TaPt 與 Ta/Cu/Ta 三明治構造之 XRD 頻譜。在 TaPt 樣本中之該 Cu(111)/Cu(200) 強度比值 (intensity ratios) 是非常接近於 Ta 樣本中之該 Cu(111)/Cu(200) 強度比值，此一結果暗示具有 TaPt 障礙層之該銅導線可靠度相似於具有目前之 Ta/TaN 堆疊障礙層之銅導線可靠度，亦即 TaPt 合金具有作為銅擴散障礙層所需之優異功能。經 700°C 爐膛退火所具之優良的銅障礙能力，其證據顯示在 800°C 退火之後的殘留非結晶物；而該 650°C 退火樣本可以維持 2 MV/cm 與 200°C, 60 min. 之 BTS 測試，而仍保有低的電阻率、良好的附著力、高的 Cu(111) 理路趨向 (texture preference) 等。

因此對下一代銅導線製程而言，TaPt 合金將被建議為最佳之金屬障礙材料。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉本技藝之人士，在不脫離本發明之精神與範圍內，當可做些許之更動與潤飾，因此本發明之

保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

- 第 1 圖 表示在不同退火溫度之後的 TaPt 薄膜 XRD 頻譜圖。
- 第 2 圖 表示 50 nm 之 TaPt 薄膜，經過 800°C 退火之後的 TEM 顯微剖面圖。
- 第 3 圖 表示在不同退火溫度之後的 TaPt 薄膜、Ta 薄膜及 TaN 薄膜之電阻率。
- 第 4 圖 表示退火之前與以 600°C 退火經 30 分鐘後之 TaPt(20nm)/Cu(200nm)/TaPt(20nm) 結構之 AES 深度圖形。
- 第 5 圖 顯示經過不同退火溫度後之 TaPt(5nm)/Cu/TaPt(5nm) 金屬氧化物半導體，其電容之高頻下 C-V 特徵。
- 第 6 圖 顯示其平帶電壓 ( $V_{fb}$ ) 係為退火溫度之函數。
- 第 7 圖 顯示 650°C 退火樣本之崩潰電壓 (breakdown voltage) 係與在 400°C 退火樣本相同。
- 第 8 圖 顯示幾乎呈現相同之停留時間，亦即到了 650°C 以上，該矽基板仍未被銅所污染。
- 第 9 圖 顯示 600°C 退火樣本之 C-V 特徵。
- 第 10 圖 顯示 650°C 退火樣本之 C-V 特徵。
- 第 11 圖 顯示 700°C 退火樣本之 C-V 特徵。
- 第 12 圖 係比較經過 500°C 退火 30 分鐘後之 TaPt/Cu/TaPt 與 Ta/Cu/Ta 三明治構造之 XRD 頻譜。

## 十、申請專利範圍：

1. 一種銅擴散障礙層複合材料，係由 Ta 與 Pt 所組成，其中 Pt 之摻雜量約在 35 原子數 (at.%) 以下，且於 500°C 以上之高溫下，該材料仍可維持非結晶之特性而可阻擋銅原子擴散並具有與 Ta 等同低之電阻係數。
2. 如申請專利範圍第 1 項之障礙層材料，其中該 Pt 之摻雜量約 15 原子數 (at.%)。
3. 一種具有銅擴散障礙層之裝置，包括一層銅導線及至少一 TaPt 薄膜，該薄膜用以阻擋銅原子擴散，其中 Pt 之摻雜量約在 35 原子數 (at.%) 以下。
4. 如申請專利範圍第 3 項之裝置，其中該 TaPt 薄膜之厚度與銅導線厚度之比值低於 1:10，適用於奈米製程下之導線線幅。
5. 如申請專利範圍第 3 或 4 項之裝置，為 MOS 電容裝置之閘極，其中 TaPt/Cu/TaPt 之厚度分別約為 5~20 nm/200 nm/5~20 nm。
6. 如申請專利範圍第 3 項之裝置，其中該 TaPt 薄膜經過 800 °C /30 min 之退火仍可維持非晶狀態。
7. 如申請專利範圍第 3 項之裝置，可應用於包括銅導線，半導體之閘極裝置，或薄膜電晶體 (TFT) 金屬電極等其中之一。
8. 一種製造如上述申請專利範圍第 3 項之具有銅擴散障礙層之裝置之方法，包括 TaPt 合金材料之選取步驟，其中 Ta 之含量不低於 65 原子數 (at.%)，及進行該障礙層之沉

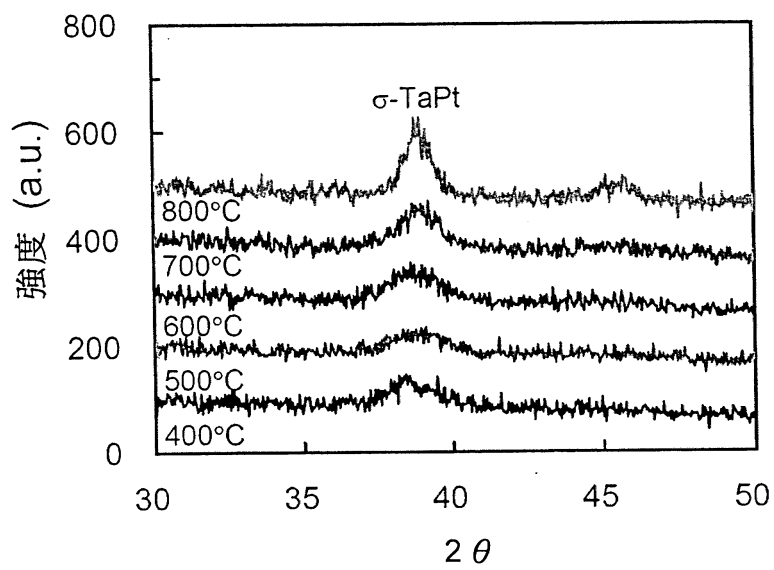
積步驟，使該合金材料於一蒸鍍系統中，形成於 Cu 導電層與預定之隔離物之間。

9. 一種製造如上述申請專利範圍第 3 項之具有銅擴散障礙層之裝置之方法，利用雙電子槍蒸鍍以製作該銅擴散障礙層材料，包括在一具有 Ta 為第一標靶與具有 Pt 為第二標靶之雙電子槍蒸鍍機中，以高的第一功率與低的第二功率，分別控制該第一標靶與該第二標靶之沉積速率，使其形成於 Cu 導電層與預定之隔離物之間。
10. 一種製造如上述申請專利範圍第 3 項之具有銅擴散障礙層之裝置之方法，利用 Ta/Pt/Ta/Pt 之多層堆疊以製作本發明之銅擴散障礙層材料，包括 Ta 與 Pt 堆疊結構之形成步驟，其中 Ta 之在該堆疊層中之含量不低於 65 原子數 (at.%)，及進行該障礙層之沉積步驟，使該堆疊於一雙濺鍍系統中，形成於 Cu 導電層與預定之隔離物之間。
11. 一種製造如上述申請專利範圍第 3 項之具有銅擴散障礙層之裝置之方法，包括 TaPt 合金材料之選取步驟，其中 Ta 之含量不低於 65 原子數 (at.%)，及進行該障礙層之沉積步驟，使該合金材料於一濺鍍系統中，形成於 Cu 導電層與預定之隔離物之間。
12. 一種製造如上述申請專利範圍第 3 項之具有銅擴散障礙層之裝置之方法，利用共濺鍍以製作該銅擴散障礙層材料，包括在一具有 Ta 為第一標靶與具有 Pt 為第二標靶之雙濺鍍機中，以高的第一功率與低的第二功率，分別控制該第一標靶與該第二標靶之沉積速率，使其形成於

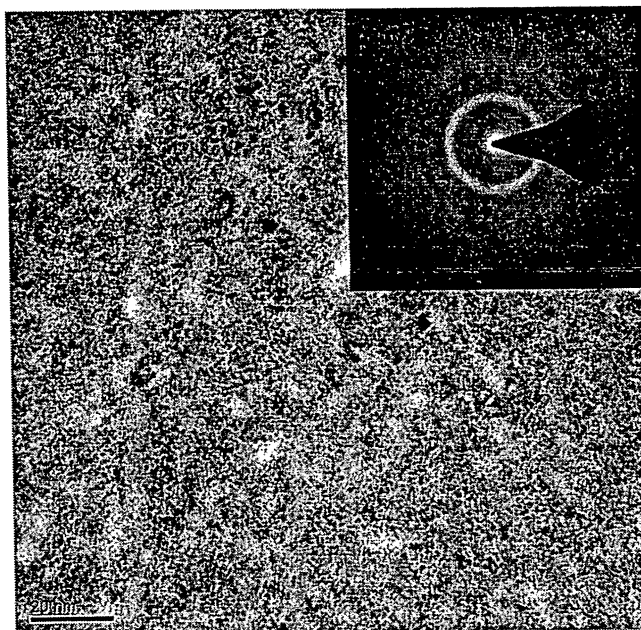
Cu 導電層與預定之隔離物之間。

13. 如申請專利範圍第 8 至 12 項任一項之方法，其中該預定之隔離物，可為一矽基板，或半導體裝置之閘極，或多重導線之電極等裝置其中之一。

十一、圖式：

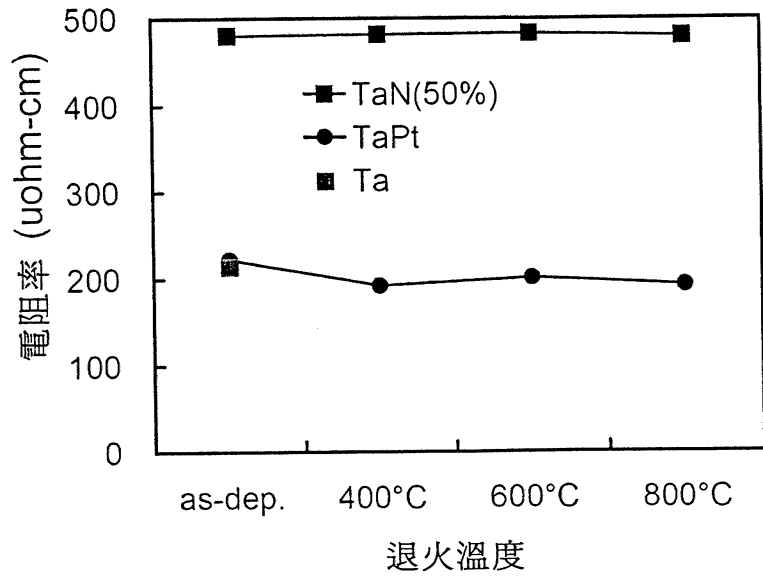


第 1 圖

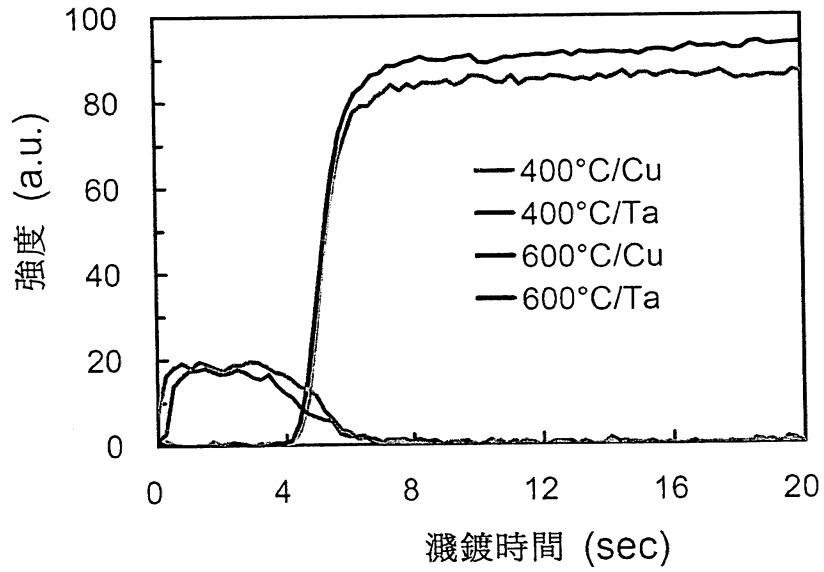


第 2 圖

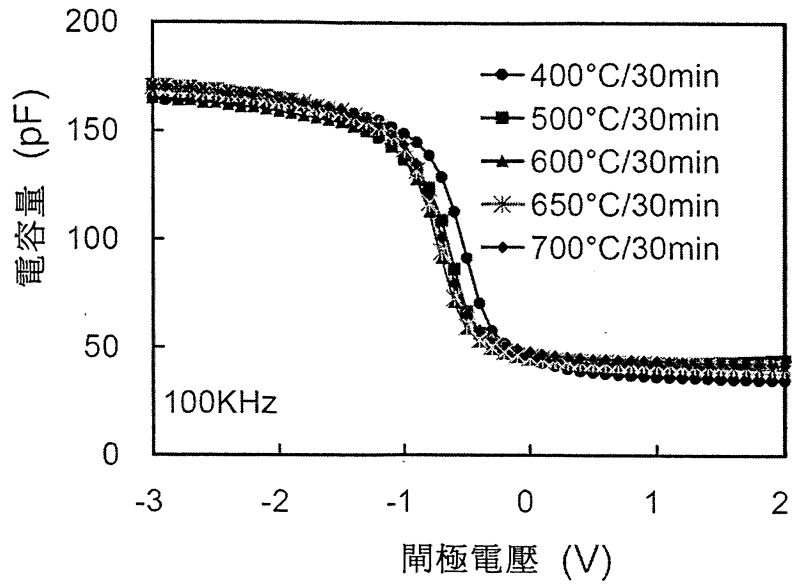




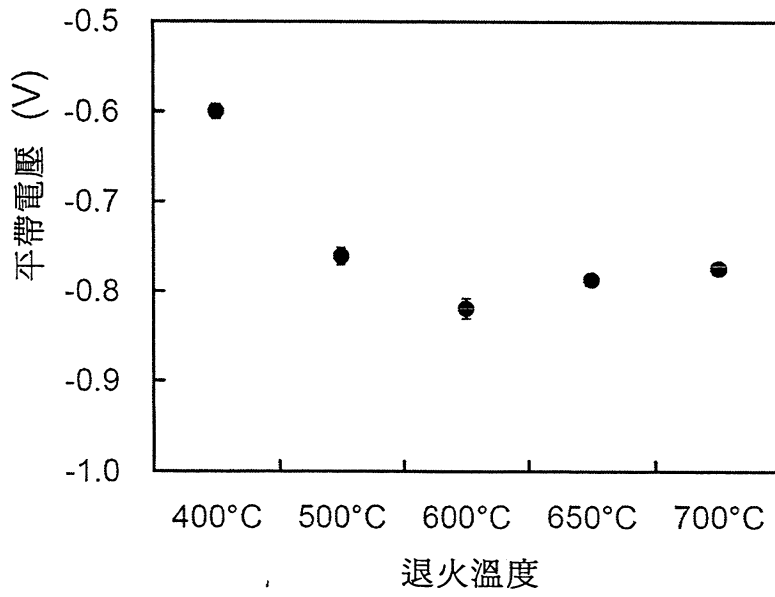
第 3 圖



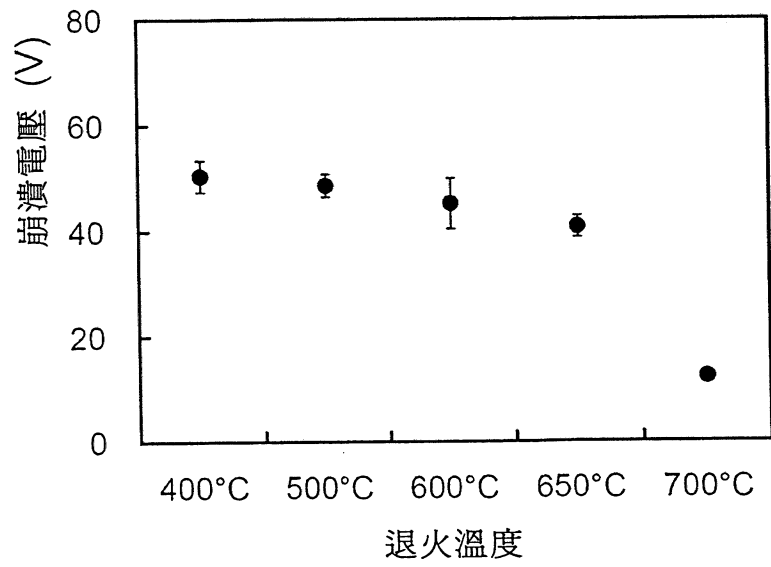
第 4 圖



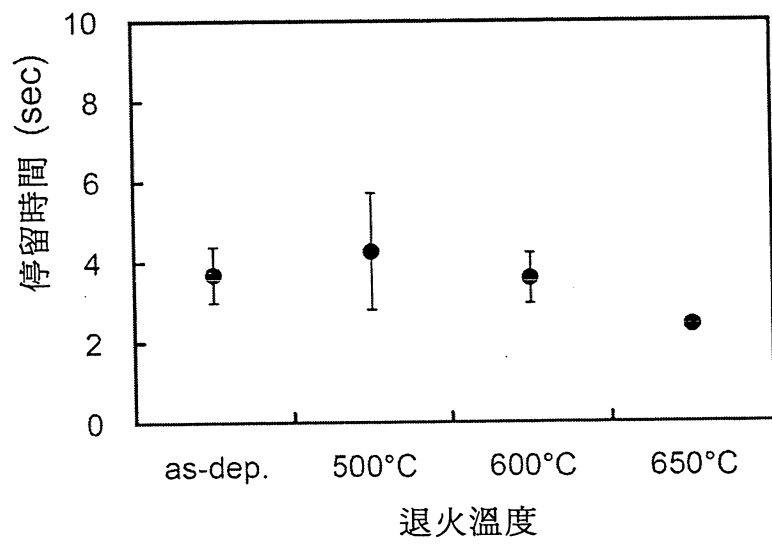
第 5 圖



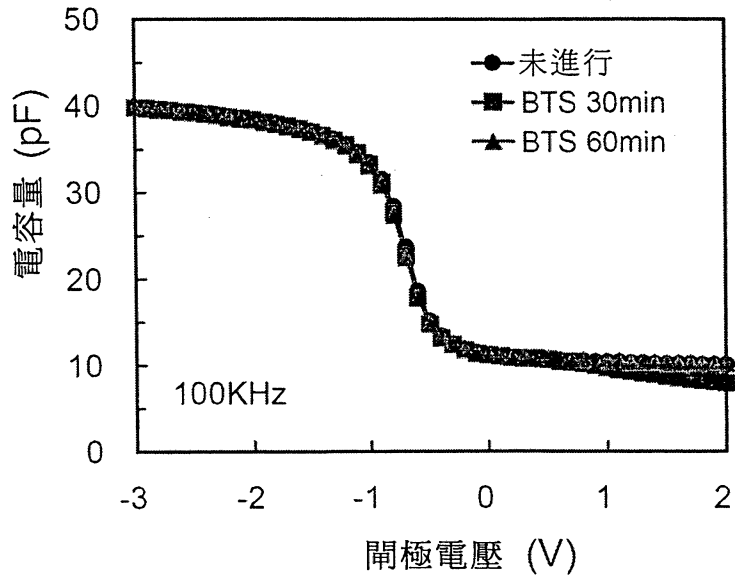
第 6 圖



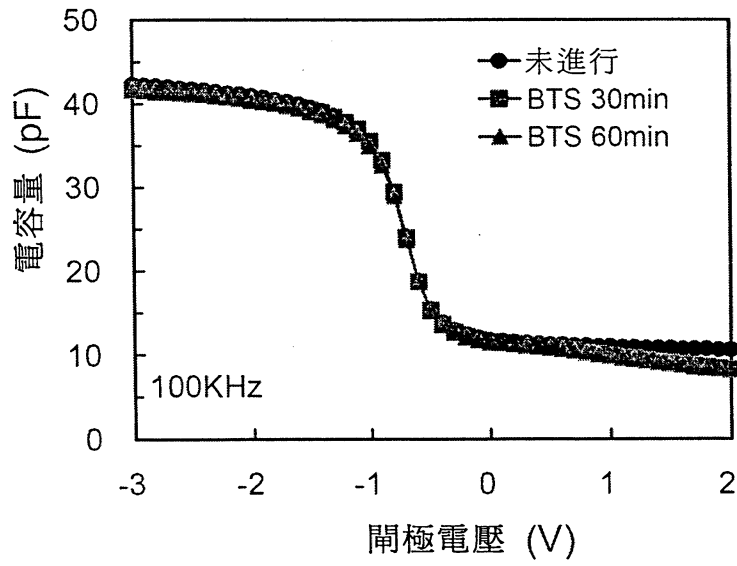
第 7 圖



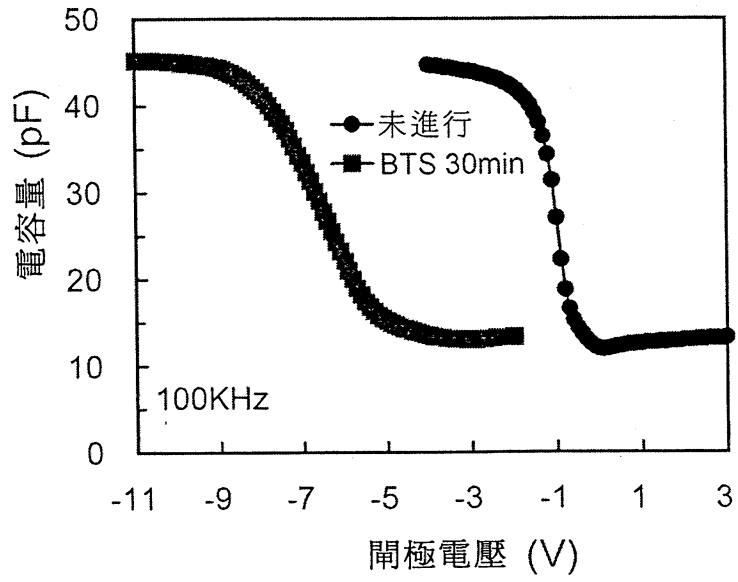
第 8 圖



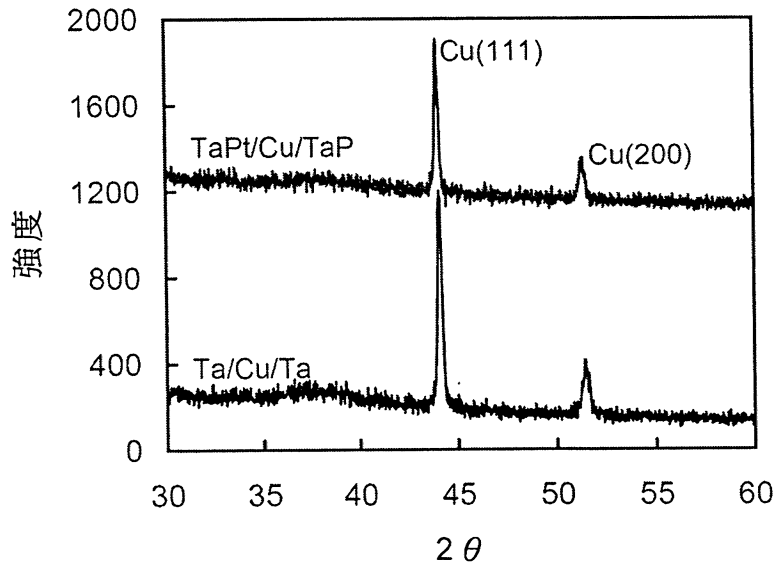
第 9 圖



第 10 圖



第 11 圖



第 12 圖