

# 發明專利說明書

LP615-7

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：A5118536

※申請日期：95.5.25

※IPC 分類：H01L 23/58

一、發明名稱：(中文/英文)

(2006.01)

具有低電壓元件設計之混合電壓輸入/輸出緩衝器

MIXED-VOLTAGE INPUT/OUTPUT BUFFER HAVING LOW-VOLTAGE  
DESIGN

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 柯明道/KER, MING-DOU

2. 陳世倫/CHEN, SHIH-LUN

國 籍：(中文/英文)

中華民國/R.O.C

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

國 籍：(中文/英文)

中華民國/R.O.C

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種具有低電壓元件設計之混合電壓輸入/輸出緩衝器，包含預驅動器、循軌單元、驅動單元、輸入/輸出接墊、浮接阱單元及輸送單元；預驅動器，用以接收第一資料信號及致能信號，及輸出第一及第二資料電壓；循軌單元，用以提供閘極循軌功能；驅動單元，耦接預驅動器及循軌單元，用以產生對應於第一資料電壓之第一緩衝電壓；輸入/輸出接墊，耦接至驅動單元，用以輸出第一緩衝電壓及接收第二資料信號；輸送單元，用以輸出對應於第二資料信號之第二緩衝電壓；以及浮接阱單元，耦接至驅動單元及輸入/輸出接墊，用以防止漏電流發生。

## 六、英文發明摘要：

A mixed-voltage input/output buffer having low-voltage design comprises a pre-driver, a tracking unit, a driving unit, an input/output pad, a floating-well unit and a transporting unit. The pre-driver receives first data signal and enable signal and outputs first and second data voltages. The tracking unit provides Gate-Tracking function. The driving unit couples the pre-driver and the tracking unit for production of a first buffer voltage corresponding to the first data voltage. The input/output pad couples the driving unit to output a first buffer voltage and to receive a second data signal. The output unit is used for outputting a second buffer voltage corresponding to the second data signal. The floating-well unit couples to the driving unit and the input/output pad in order to output first buffer voltage and receive second data signal. The floating-well unit is used for preventing leakage current.

## 七、指定代表圖：

(一)本案指定代表圖為：第 7 圖。

(二)本代表圖之元件符號簡單說明：

71	預驅動器
72	循軌單元
721	開關
722、731	堆疊式電晶體
73	驅動單元
74	接墊
75	浮接阱單元
76	輸送單元
A1	輸入端
A2	控制端
A3、A4	輸出埠
B1、B2、C1、C2	電源輸入端
Din、N1、N2	節點
GND	接地電壓
INV	反相器
MN0~MN4	電晶體
MP0~MP6	電晶體
OE、Dout	信號
VDD	電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種混合電壓輸入/輸出緩衝器，且特別係關於一種具有低電壓元件設計之混合電壓輸入/輸出緩衝器。

### 【先前技術】

現今，電晶體之元件尺寸已朝向奈米領域量化，在奈米規模中，晶片之電源供應電壓已降低；顯然地，縮小元件尺寸不但使得晶片面積更小以節省矽花費，且低供應電壓導致僅耗費低電力，如此一來，晶片設計便快速遷至奈米規模 CMOS 技術之低電壓位準；然而，一些週邊部件及其他積體電路仍然操作在高電壓位準如 3.3 伏特或 5 伏特；換句話說，電子系統需具有操作在不同電壓位準之晶片，爲了使具有不同電壓位準之晶片相容，習知之輸入/輸出緩衝器已不再適用此，且產生一些問題，諸如閘極氧化層之可靠度問題，熱載子衰退及產生所不企望之漏電流途徑。

第 1 圖描繪習知之混合電壓接面三相輸入/輸出緩衝器之電路圖；此輸入/輸出緩衝器遭受漏電流及閘極氧化層可靠度之問題；在接收模式中，此升壓 P 型 MOS 電晶體 T1 及降壓 N 型 MOS 電晶體 T2 之閘極電壓在習知三相緩衝器中，係傳統地藉由電壓 VDD 及接地電壓 GND 所偏壓，並藉由預驅動器 U1 來關閉升壓 P 型 MOS 電晶體 T1 及降壓 N 型 MOS 電晶體 T2；當於接收模式中，位於輸入/輸出接墊

P11 之輸入信號上升至 2 倍電壓 VDD 之值時，在升壓 P 型 MOS 電晶體 T1 之汲極對阱之寄生 PN 接面二極體 D1 將順向偏壓，如此一來，所不企望之漏電流路徑將穿過寄生 PN 接面二極體而發生輸入/輸出接墊 P1 與電源供應電壓 VDD 之間；此外，因升壓 P 型 MOS 電晶體 T1 之閘極電壓偏壓於電壓 VDD，以及位於輸入/輸出接墊 P11 之輸入信號為 2 倍電壓 VDD 之值，故升壓 P 型 MOS 電晶體 T1 之通道將於接收模式中開啓，以導通自輸入/輸出接墊 P11 至電源供應電壓 VDD 之另一所不企望之漏電流路徑；此所不企望之漏電流不但會引起電子系統中之更多電力耗費，並在整個系統中導致可能的失效；爲了避免閘極氧化層可靠度之問題，此遭受閘極氧化層問題之元件在一些混合輸入/輸出緩衝器中，將置換遭受閘極氧化層過載之元件爲厚氧化層元件；然而，在一晶片中，同時使用厚氧化層元件及薄氧化層元件將增加此晶片之製作成本。

第 2 圖描繪另一習知之混合電壓輸入/輸出緩衝器之電路圖；電晶體 107、109 及 110 用以產生偏置電壓來偏壓電晶體 108 之閘極；然而，存在於電壓 VDD 至電壓 VSS 之電晶體 107、109、110 的直流電流路徑，將導致額外的電源耗費；此外，使用堆疊電晶體 101、102 會使驅動能力下降。

第 3 圖描繪又一習知之混合電壓輸入/輸出緩衝器的電路圖，具有兩個堆疊 P 型 MOS 電晶體之升壓路徑具有大量矽面積；此外，藉由使用虛擬二極體式之電晶體 270 及 280

以產生偏置電壓來偏壓 P 型 MOS 電晶體 230 及 260 之基極，基極電壓具有一電壓降落，如基極電壓藉由電晶體 270 箝制電壓 VDD，而基極電壓肇因於虛擬二極體式結構，其電壓僅為電壓值 VDD 減去臨界電壓值  $V_t$ ，此低的本體電壓將導致電晶體 230 及 260 的大量臨界漏電流。

第 4 圖描繪一習知之混合電壓輸入/輸出緩衝器的電路圖；額外的接墊 P41 及額外偏置電壓 V41(電壓 V41 為 5 伏特)以供偏壓 P 型 MOS 電晶體 401 之基極用；此外，P 型 MOS 電晶體 401 為一厚氧化層(高電壓)元件，用以防止閘極氧化層可靠度問題發生，此將導致更多的花費及更大的矽面積，而藉使用高電壓(5 伏特)來偏壓本體，則此電晶體 402 之驅動容量將因基極偏壓效應而衰退。

第 5 圖描繪另一習知之混合電壓輸入/輸出緩衝器的電路圖，此電路使用回饋技術來控制 P 型 MOS 電晶體之基極 242 之電壓與電晶體 232 之閘極電壓；當緩衝器驅動電壓 VDD 為輸出電壓時，此 P 型 MOS 電晶體之本體 242 之電壓為偏壓電壓值 VDD 減去臨界電壓值  $V_t$ ，此將導致大量之次臨界漏電流。

第 6 圖描繪另一習知之電壓輸入/輸出緩衝器的電路圖；此 P 型 MOS 電晶體 321 之本體電壓為偏壓電壓 VDD 減去臨界電壓值  $V_t$ ；此外，當輸入/輸出緩衝器接收一高輸入電壓時，P 型 MOS 電晶體之基極電壓將經由寄生二極體 322 而偏壓，此將進一步導致大量之次臨界漏電流發生。



## 【發明內容】

本發明的目的在於提供一種混合電壓輸入/輸出緩衝器，可應用在奈米製程、由低壓元件構成、避免所不企望之漏電流、避免次臨界漏電流，且無閘極對氧化層可靠度問題。

本發明提出一種混合電壓輸入/輸出緩衝器，包含預驅動器、循軌單元、驅動單元、輸入/輸出接墊、浮接阱單元及輸送單元；預驅動器，用以接收自一外部單元之第一資料信號及致能信號，及輸出第一資料電壓及第二資料電壓；循軌單元，具有一開關元件及複數個電晶體，用以提供閘極循軌功能；該等電晶體用以防止開關元件及驅動單元之漏電流發生；驅動單元，用以產生對應於該第一資料電壓之一第一緩衝電壓；輸入/輸出接墊，耦接至驅動單元，用以輸出第一緩衝電壓至另一外部單元及自一外部單元接收第二資料信號，該驅動單元並具有一阱，用以當做驅動單元內之電晶體之基板；輸送單元，用以輸出對應於該第二資料信號之第二緩衝電壓；以及浮接阱單元，耦接至驅動單元及輸入/輸出接墊，用以防止該驅動單元之阱的漏電流發生。

本發明由於採用循軌單元及浮接阱單元與驅動單元組合之結構以抑制漏電流，可避免閘極氧化層可靠度之問題、避免所不企望之漏電流、避免次臨界漏電流、可採用低壓元件、及適用於奈米製程。

為使本發明之上述和其他目的、特徵和優點能更明顯

易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

現將參照第 7 圖來描繪本發明之觀點，第 7 圖描繪根據本發明實施例之具有低電壓元件設計之混合輸入/輸出緩衝器 700 之電路圖；混合電壓輸入/輸出緩衝器 700 包含：預驅動器 71、循軌單元 72、驅動單元 73、輸入/輸出接墊 74、浮接阱單元 75、及輸送單元 76；預驅動器 71 含資料輸入端 A1、控制端 A2、較高輸出埠 A3 以及較低輸出埠 A4；預驅動器 71 之資料輸入端 A1 自一外部單元(未圖示)接收第一資料信號 Dout、並透過控制端 A2 接收致能信號 OE，預驅動器 71 經由將第一資料信號 Dout 及致能信號 OE 轉換，用於使較高輸出埠 A3 及較低輸出埠 A4 分別輸出第一資料電壓及第二資料電壓，其中第一資料電壓與第一資料信號相對應，第二資料電壓根據輸入/輸出狀態而輸入不同電壓至驅動單元 73。

循軌單元 72 耦接至預驅動器 71，循軌單元 72 含開關元件 721、電晶體 MP1(第八電晶體)、電晶體 MP3(第二電晶體)、及第一堆疊式電晶體 722；循軌單元 72 之開關元件 721 含電晶體 MN2 及電晶體 MP2，循軌單元 72 用以提供閘極循軌功能；第一堆疊式電晶體 722 含電晶體 MN3(第三電晶體)及電晶體 MN4(第四電晶體)，電晶體 MN3 之閘極耦接至電壓 VDD，電晶體 MN4 之閘極耦接至致能信號 OE，第一堆疊式電晶體 722 可依致能信號 OE 之內容調整節

點 N1 之電壓值。

驅動單元 73 耦接於預驅動器 71 及循軌單元 72，驅動單元 73 含電晶體 MP0 及第二堆疊式電晶體 731；電晶體 MP0(第五電晶體)透過節點 N2 耦接至第二堆疊式電晶體 731，驅動單元 73 之第二堆疊式電晶體 731 含電晶體 MN0(第六電晶體)及電晶體 MN1(第七電晶體)，用以產生對應於第一資料電壓之第一緩衝電壓；輸入/輸出接墊 74 耦接至驅動單元 73，用以輸出第一緩衝電壓之另一外部單元(未圖示)及自另一外部單元(未圖示)接收第二資料信號；驅動單元 73 含有 n 阱，用以當作電晶體 MP0 之基板。

浮接阱單元 75 耦接至驅動單元 73 及輸入/輸出接墊 74，浮接阱單元 75 含電晶體 MP4(第十電晶體)及電晶體 MP6(第一電晶體)用以藉由電晶體 MP4 及電晶體 MP6 之開關動作來抑制驅動單元 73 之 n 阱的可能漏電流，輸送單元 76，耦接至驅動單元 73，該輸送單元 76 含電晶體 MP5(第九電晶體)及反相器 INV，用以輸出對應於第二資料信號之第二緩衝電壓。此外，外部單元及另一外部單元分別具有不同工作電壓之晶片組合。

當致能信號位於電壓 VDD(邏輯 1)時，此輸入/輸出緩衝器 700 係操作於傳送模式，位於輸入/輸出接墊 74 之信號根據藉由第一資料信號 Dout 而上升或下降，此預驅動器 71 之較低輸出埠 A4 係直接連接至降壓 N 型 MOS 電晶體 MN1 之閘極，預驅動器 71 之較高輸出埠 A3 係經由循軌單元 72 之開關元件 721 連接至升壓 P 型 MOS 電晶體 MP0 之

閘極，若位於較高輸出埠 A3 之電壓位準為接地電壓 GND 時，此信號可經由電晶體 MN2 而完全傳送至升壓 P 型 MOS 電晶體 MP0 之閘極，即位於輸入/輸出接墊 74 之信號升壓至電壓 VDD，此外，電晶體 MP4 亦導通以偏壓之驅動單元 73 之 n 阱至電壓 VDD；當此位於較低輸出埠 A4 之電壓位準為電壓 VDD 時，電晶體 MP0 之閘極經由電晶體 MP2 充電連接至電壓 VDD，此驅動單元 73 之 n 阱由電晶體 MP4 偏壓至電壓 VDD。

當輸入/輸出緩衝器 700 操作於輸入(接收)模式中，此預驅動器 71 之較高輸出埠 A3 及較低輸出埠 A4 分別保持於電壓 VDD 及接地電壓 GND，用以關閉電晶體 MP0 及電晶體 MN1，節點 Din 在輸入模式中，根據位於輸入/輸出接墊 74 之信號而升壓或降壓，為了防止經由升壓 P 型 MOS 電晶體 MP0 自輸入/輸出接墊 74 至電源供應電壓 VDD 產生所不企望之漏電流，電晶體 MP3 用以循軌位於輸入/輸出接墊 74 之電晶體 MP0 之閘極電壓；位於輸入/輸出接墊 74 之電晶體位準超過  $VDD + V_{tp}$  ( $V_{tp}$  為 P 型 MOS 電晶體之臨界電壓) 時，例如 2 倍電壓 VDD，電晶體 MP3 開啓以充電電晶體 MP0 之閘極至 2 倍電壓 VDD，因此未出現自輸入/輸出接墊 74 流至電源供應電壓 VDD 之漏電流，此外，當位於輸入/輸出接墊 74 之信號為 2 倍電壓 VDD 時，電晶體 MP1 亦導通以保持電晶體 MP2 關閉，用以防止自電晶體 MP0 之閘極經由開關元件 721 至預驅動器 71 之較高輸出埠 A3 之另一漏電流。

電晶體 MN0 及電晶體 MP5 伴隨反相器 INV 用以於輸入模式中，傳送自輸入/輸出接墊 74 至內部節點 Din 之輸入信號，電晶體 MN0 用以限制達到反相器 INV 之閘極輸入信號電壓位準，因電晶體 MN0 之閘極耦接至電源供應電壓 VDD；當輸入/輸出接墊 74 之電壓位準為 2 倍電壓 VDD 時，反相器 INV 之輸入電壓限制為電壓 VDD 減去臨界電壓值  $V_t(VDD - V_t)$ ，而當反相器 INV 之輸出端下拉至接地電壓 GND 時，電晶體 MP5 將反相器 INV 之輸入端升壓至 VDD，位於輸入/輸出接墊 74 之信號可被成功傳送至內部輸入節點 Din。

第 8A 圖描繪根據本發明實施例之混合電壓輸入/輸出緩衝器傳送模式之模擬波形圖；第 8B 圖描繪根據本發明實施例之混合電壓輸入/輸出緩衝器接收模式之模擬波形圖；用以供應 2.5 伏特及採用 2.5 微米 2.5 伏特之 CMOS 製程，由第 8A 圖及第 8B 圖所示，n 阱之電壓無須任何電壓降落，可偏壓至所欲之電壓位準 (2.5 伏特 / 5 伏特)，此混合電壓輸入/輸出緩衝器可正常操作，而無閘極氧化層可靠度、所不企望之漏電流及次臨界之漏電流等之問題。

綜上所述，本發明之混合電壓輸入/輸出緩衝器，由於採浮接阱單元及循軌單元與驅動單元配合之結構，可避免所不企望之漏電流、及避免次臨界之漏電流、且無閘極氧化層可靠度問題而可正確操作以及適用於奈米製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神

和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視附錄之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係習知之混合電壓接面三相輸入/輸出緩衝器之電路圖。

第 2 圖係另一習知之混合電壓輸入/輸出緩衝器之電路圖。

第 3 圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

第 4 圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

第 5 圖係另一習知之混合電壓輸入/輸出緩衝器的電路圖。

第 6 圖係另一習知之電壓輸入/輸出緩衝器的電路圖。

第 7 圖係根據本發明實施例之混合電壓輸入/輸出緩衝器 700 之電路圖。

第 8A 圖係根據本發明實施例之混合電壓輸入/輸出緩衝器傳送模式之模擬波形圖。

第 8B 圖係根據本發明實施例之混合電壓輸入/輸出緩衝器接收模式之模擬波形圖。

【主要元件符號說明】

71、U1	預驅動器
72	循軌單元
73	驅動單元

74、P11、P41	接墊
75	浮接阱單元
76	輸送單元
242	基極
721	開關
722、731	堆疊式電晶體
A1	輸入端
A2	控制端
A3、A4	輸出埠
B1、B2	電源輸入端
C1、C2	電源輸入端
D1	寄生二極體
Din、N1、N2	節點
GND	接地電壓
INV	反相器
T1、T2、101、102	電晶體
107、109、110	電晶體
230、232、260	電晶體
270、280、321	電晶體
322、401、402	電晶體
MN0~MN4	電晶體
MP0~MP6	電晶體
OE、Dout	信號
VDD、VSS、V41	電壓

## 十、申請專利範圍：

1. 一種混合電壓輸入/輸出緩衝器，包含：

一預驅動器，用以接收一來自外部單元之第一資料信號及致能信號，將該第一資料信號及該致能信號共同轉換並輸出一第一資料電壓及第二資料電壓；

一循軌單元，用以接收該第一資料電壓，提供一閘極循軌功能；

一驅動單元，耦接至該預驅動器及循軌單元，該驅動單元經由該循軌單元接收該第一資料電壓，用以藉由該閘極循軌功能來產生一對應於該第一資料電壓之第一緩衝電壓，該驅動單元並接收該第二資料電壓，該第二資料電壓用於輸入/輸出狀態之轉換，該驅動單元含有一阱，該阱用以當作該驅動單元內之一電晶體的基板；

一輸入/輸出接墊，耦接至該驅動單元，用以輸出該第一緩衝電壓至一另一外部單元及自該另一外部單元接收一第二資料信號；以及

一輸送單元，耦接至該輸入/輸出接墊及該驅動單元，用以產生及輸出一對應於該第二資料信號之第二緩衝電壓至該外部單元，該混合電壓輸入/輸出緩衝器之特徵在於：

一浮接阱單元，耦接至該輸入/輸出接墊及該驅動單元，該浮接阱單元包含一第一電晶體，該第一電晶體之一輸出端耦接至該輸入/輸出接墊，該第一電晶體之另一輸出端及其基板接至該驅動單元之該阱，用以當該輸入/



輸出接墊之電壓大於一預定值時，提升該阱之電壓至一預定之高電壓，用以防止該驅動單元之該阱與該輸入/輸出接墊間之漏電流發生。

2.如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該循軌單元進一步包含一開關元件、一第一堆疊式電晶體及一第二電晶體；

而該循軌單元透過該開關元件接收來自該預驅動器之該第一資料電壓並輸入至該第一資料電壓至該驅動單元；

該第二電晶體之一輸出端耦接至該驅動單元，該第二電晶體之另一輸出端耦接至該輸入/輸出接墊，用以提供一閘極循軌功能及防止該輸入/輸出接墊與該驅動單元間之漏電流發生；

該第一堆疊式電晶體含一第三電晶體與一第四電晶體，該第三電晶體為常導通狀態以供電路匹配，該第四電晶體之閘極接收該致能信號，用以使該第一堆疊式電晶體輸出一對應該致能信號之電壓至該浮接阱單元。

3.如申請專利範圍第 2 項之混合電壓輸入/輸出緩衝器，其中該驅動單元進一步包含一第五電晶體及一第二堆疊式電晶體；

該第五電晶體之閘極透過該循軌單元接收該第一資料電壓；

該第二堆疊式電晶體含一第六電晶體及一第七電晶體，該第六電晶體為常導通狀態，用以自該輸入/輸出接

墊傳送該第二資料信號至該輸送單元，該第七電晶體則用以接收來自該預驅動器之該第二資料電壓，並輸出一控制電壓至該循軌單元。

4.如申請專利範圍第3項之混合電壓輸入/輸出緩衝器，其中該循軌單元進一步包含一第八電晶體，該第八電晶體之一輸出端耦接至該輸入/輸出接墊，該第八電晶體之另一輸出端耦接至該開關元件，該第八電晶體藉由接收來自該第七電晶體之該控制電壓，用以防止該開關元件之漏電流。

5.如申請專利範圍第1項之混合電壓輸入/輸出緩衝器，其中該輸送單元進一步包含一反相器及一第九電晶體；

該反相器之一輸出端及一輸入端分別耦接至該第九電晶體之一控制端及一輸出端，該反相器之該輸入端接收該第二資料信號，並利用該第九電晶體之電壓提升功能及反相器之反相功能，以於該反相器之該輸出端提供該第二緩衝電壓至該外部單元。

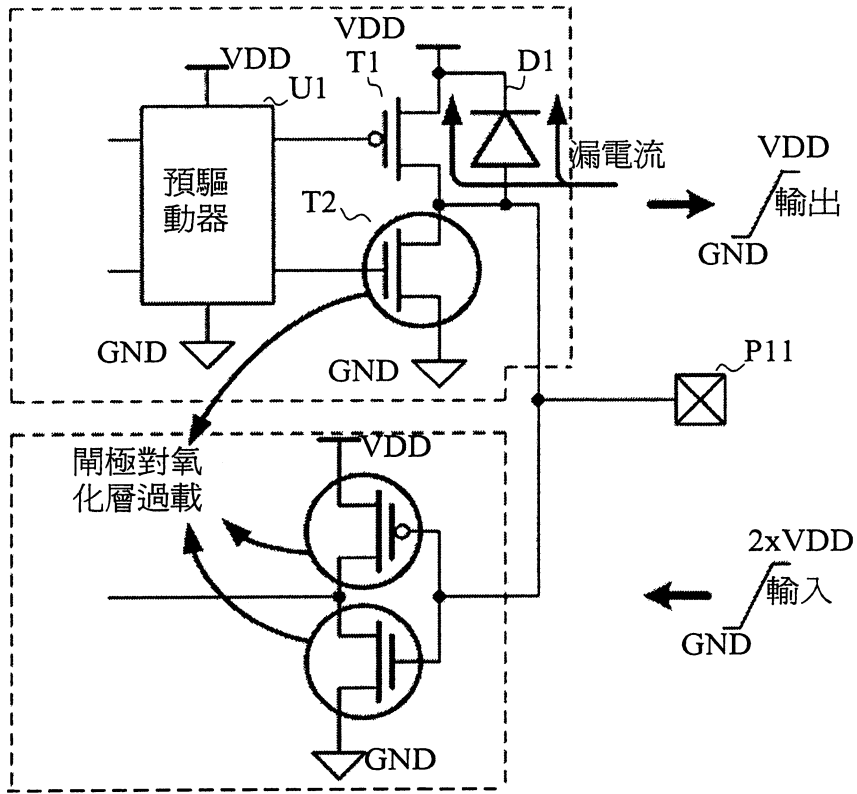
6.如申請專利範圍第2項之混合電壓輸入/輸出緩衝器，其中該浮接阱單元進一步包含一第十電晶體；

該第十電晶體之一輸出端耦接至一電源電壓，該第十電晶體之控制端藉由該第一堆疊式電晶體所輸出之對應電壓的控制，來將該驅動單元之該阱的電壓提升至該電源電壓，用以防止該驅動單元之該阱與該輸入/輸出接墊間之漏電流發生。

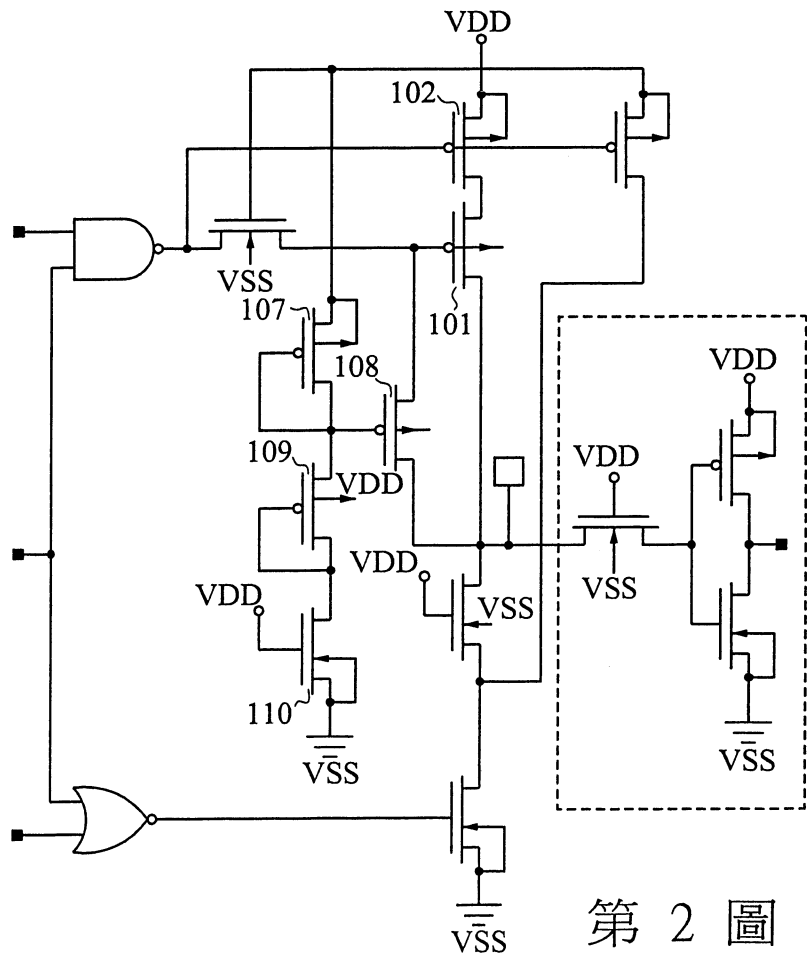
7.如申請專利範圍第1項之混合電壓輸入/輸出緩衝器，其

中該外部單元及該另一外部單元係分別具有不同工作電壓之晶片組合。

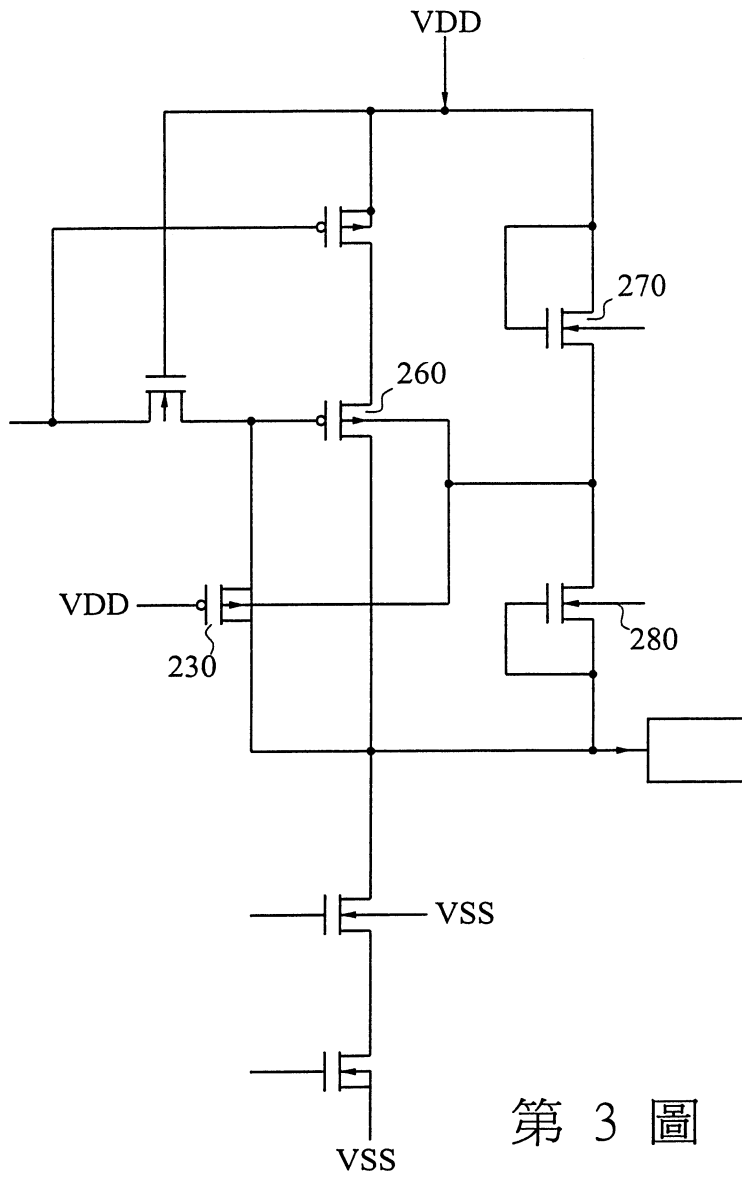
十一、圖式：



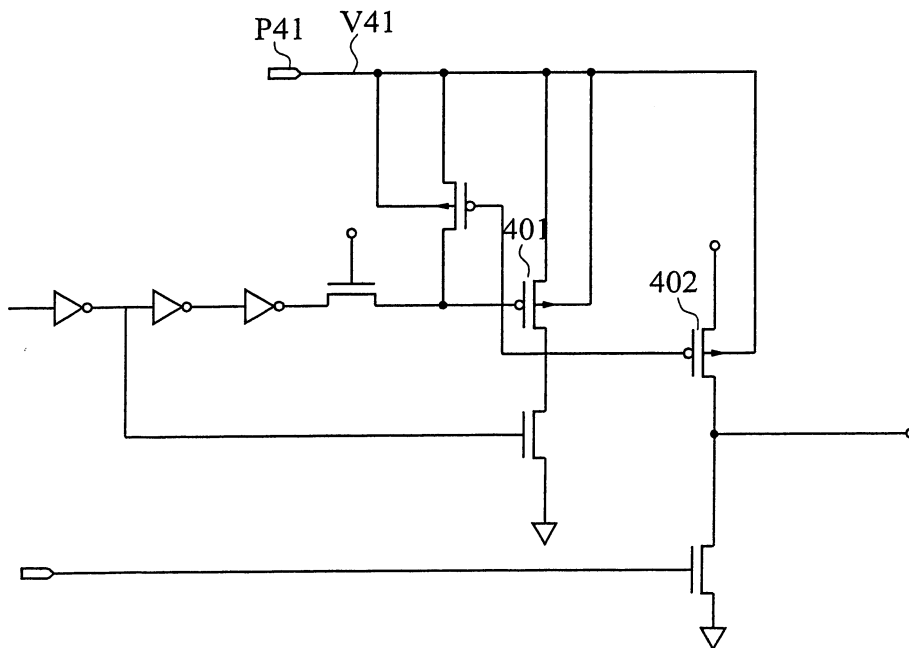
第 1 圖



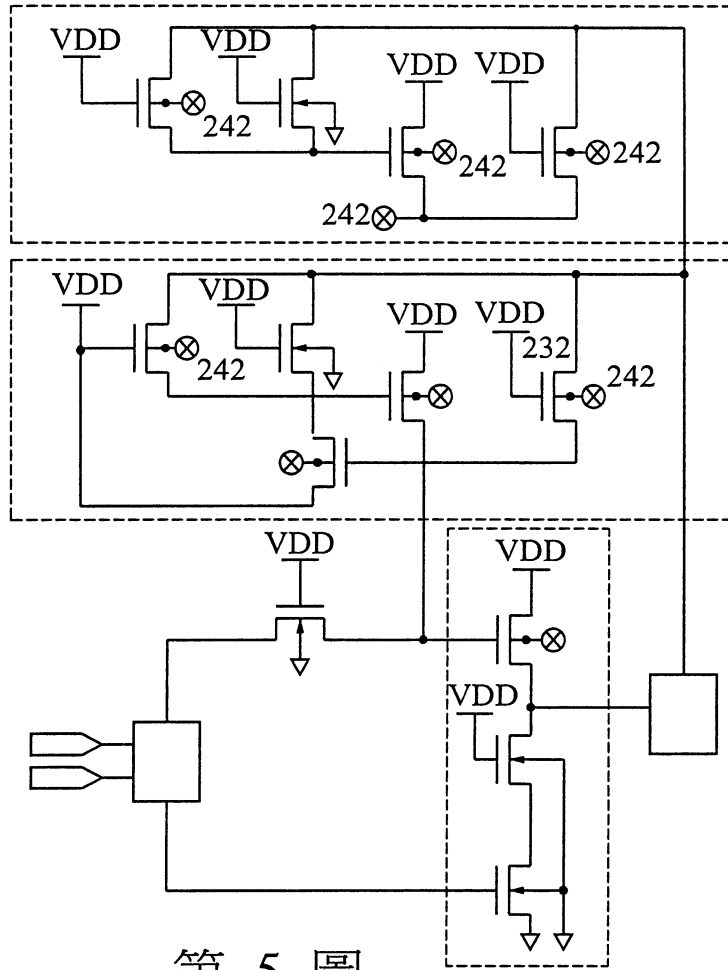
第 2 圖



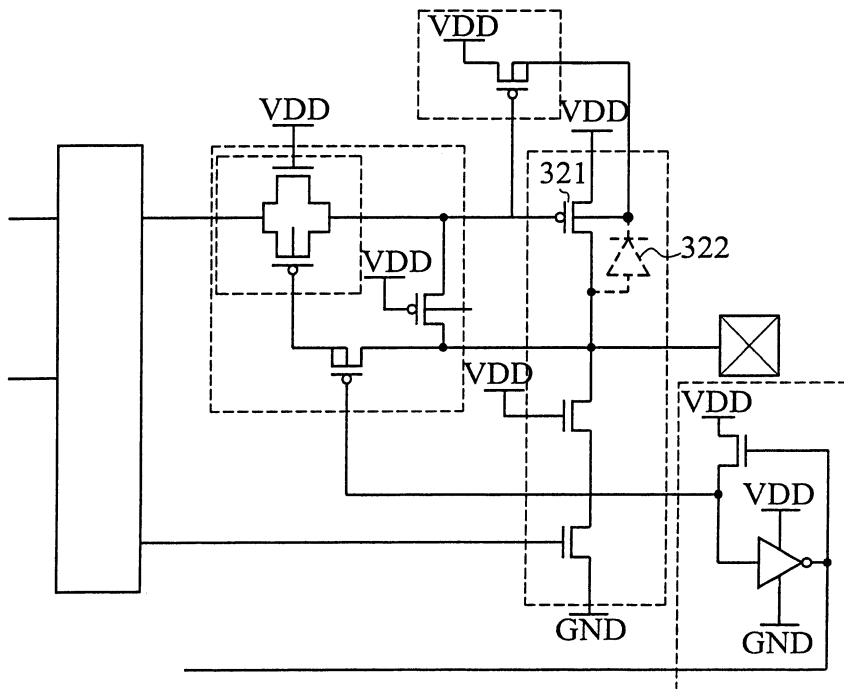
第 3 圖



第 4 圖

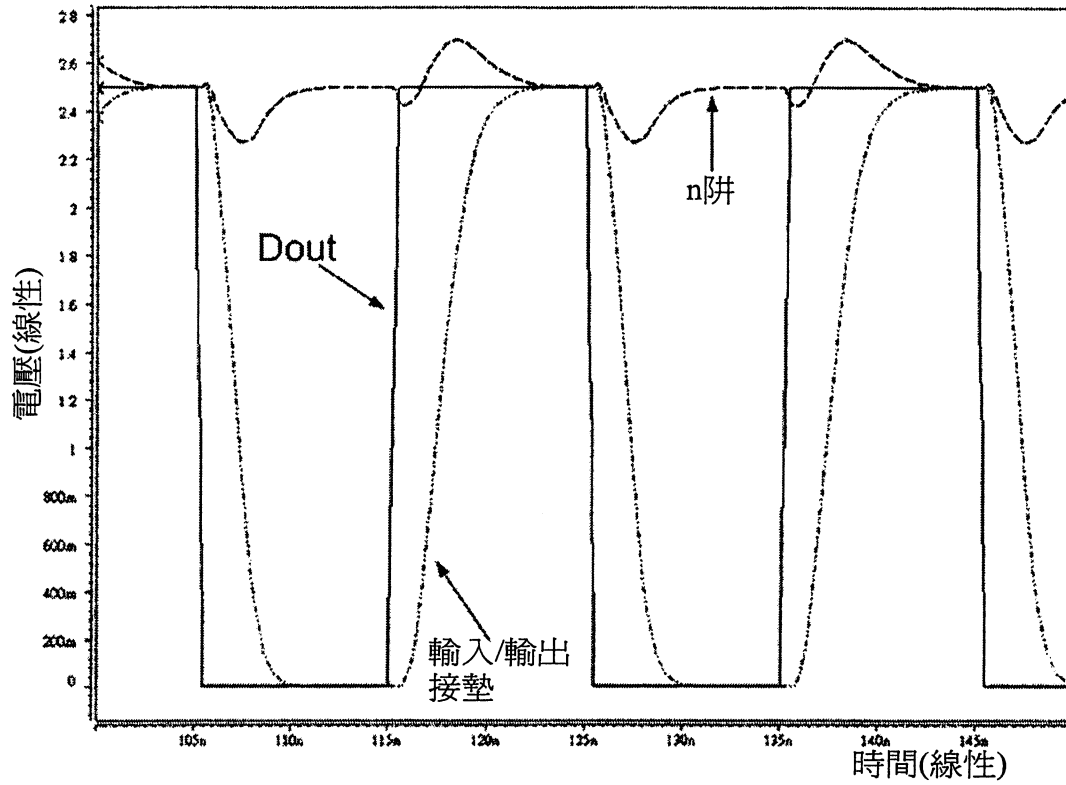


第 5 圖

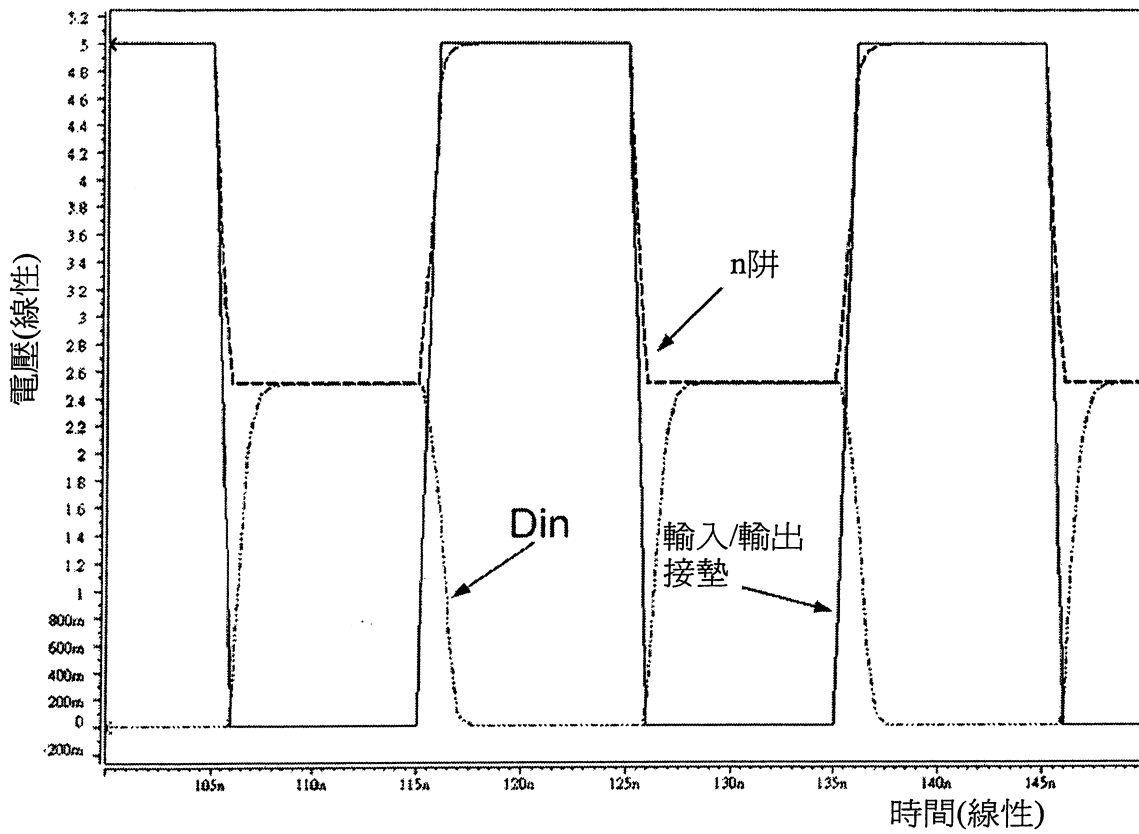


第 6 圖





第 8A 圖



第 8B 圖