

發明專利說明書

200739872

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95111927

※申請日期： 95.4.4

※IPC 分類： H01L 23/60

一、發明名稱：(中文/英文)

具三倍電壓耐受能力之電源線間靜電放電防護電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 1 人)

姓 名：(中文/英文) 1. 柯明道

2. 陳穩義

國 籍：(中文/英文) 1. 中華民國 TW

2. 中華民國 TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種具三倍電壓耐受能力之電源線間靜電放電防護電路，其中之電路元件可安全操作在電壓準位為三倍元件正常工作電壓之情況下，且不會有閘極氧化層的可靠度問題，並利用一靜電放電偵測電路，在靜電放電發生的情況下，可有效利用基極觸發技術來增進本發明整體之靜電放電防護效能，由於本發明僅利用低壓元件即可達到高壓耐受之目的，故應用於混合電壓輸入/輸出介面電路之晶片上，可節省成本並提供高靜電放電防護能力。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第一圖

(二)、本案代表圖之元件代表符號簡單說明：

- | | |
|-----------------------|-----------|
| 10 靜電放電偵測電路 | 12 分壓電路 |
| 122、124、126 P 型金氧半電晶體 | |
| 14 基板驅動電路 | 142 第一電晶體 |
| 144 第二電晶體 | 146 第三電晶體 |
| 16 電阻-電容偵測電路 | 162 第一電阻 |
| 164 電容 | 18 第四電晶體 |
| 20 第五電晶體 | 22 第二電阻 |
| 30 靜電放電防護元件 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種靜電放電防護電路，特別是指一種具三倍電壓耐受能力之電源線間靜電放電防護電路。

【先前技術】

靜電放電防護，顧名思義，係用以保護積體電路不受靜電放電所損，當其應用於混合電壓輸出/輸入介面時，由於此介面上同時存在兩種以上的電源線電壓，在兼顧產品可靠度、操作頻率、晶片面積等考量下，通常會同時使用具有較薄與較厚閘極氧化層的元件來完成。然而，要同時製造較厚氧化層的元件在同一片晶圓上，勢必增加額外的光罩與製程步驟，換言之產品的成本增加，而越多的製程步驟同時會造成良率的下降。若考慮元件的電性，較厚氧化層的元件由於具有較差的元件特性，也容易使得晶片的操作速度受限。因此，若能利用較薄氧化層的元件，經由特殊，可應用在高操作電壓下且不會有可靠度的問題，則製作厚氧化層元件的步驟即可省略。

以現有技術而言，在具高壓耐受能力之靜電放電防護方面約可分為三類，第一類為靜電放電防護元件本身無閘極氧化層結構者，此類元件由於本身並不具有閘極氧化層，故即使操作電壓超過製程限制，亦不會有閘極氧化層可靠度的問題，但若單獨使用做靜電放電防護元件，在靜電放電時之導通速度較慢且導通電壓較高，使其無法有效保護具有薄氧化層之內部電路，而以順偏二極體元件做為靜電放電防護元件時，雖然具有較快速的導通速度，但由於其寄生 pnp 元件的存在與達林頓效應（GTR）的結果，在

高溫操作下具有極大的漏電流；第二類為具有一觸發電路及一主要之靜電放電防護元件靜電放電防護電路，但僅能操作於電源電壓小於兩倍正常元件操作電壓內之環境，習知技術大部份屬於此類，例如以 1.2-V 元件製造，而操作於 2.5-V 電源線電壓下，若電源線電壓超過兩倍正常操作電壓，則元件會有閘極可靠度的問題出現；第三類與第二類同樣為具有觸發電路與主要之靜電放電防護元件之靜電放電架構，但可操作於電源電壓為三倍元件正常操作電路的情況下。

上述第三類之靜電放電防護，如美國專利公告號 5,956,219 之「High Voltage Power Supply Clamp Circuitry For Electrostatic Discharge(ESD) Protection」，其電路複雜，且利用三顆疊接的 PMOS 元件來做為主要的靜電放電路徑會造成較大的導通電阻，而要獲得較好之靜電放電防護能力亦需要耗用較大的晶片面積，並且無法搭配不同的靜電放電防護元件來使用，彈性較小。其他例如使用無閘極氧化層的靜電放電元件，例如：矽控整流器 (silicon-controlled rectifier, SCR) 元件，雖然在高壓操作下沒有閘極氧化層的問題，但這些元件通常具有很慢的導通速度，過高的導通電壓，在沒有外部電路觸發而單獨使用下，無法有效保護晶片電路，現有的觸發電路又無法在電壓為三倍元件操作電壓的情況下操作。

因此，本發明即針對上述習知技術之數項缺失，提出一種具三倍電壓耐受能力之電源線間靜電放電防護電路，以有效克服上述之該等問題。

【發明內容】

本發明之主要目的在提供一種具三倍電壓耐受能力之電源線間靜電放

電防護電路，其係提供一靜電放電偵測電路（ESD detection circuit），在靜電放電發生時，提供基極觸發電流至一靜電放電防護元件（ESD protection element），可增進其導通速度及均勻度。

本發明之另一目的在提供一種具三倍電壓耐受能力之電源線間靜電放電防護電路，其所提供之靜電放電偵測電路可搭配不同之靜電放電防護元件使用，以滿足不同之應用需求。

本發明之另一目的在提供一種具三倍電壓耐受能力之電源線間靜電放電防護電路，其所提供之靜電放電偵測電路應用在混合電壓輸入輸出介面時，不會有閘極可靠度的問題。

為達上述之目的，本發明提供一種具三倍電壓耐受能力之電源線間靜電放電防護電路，其係包括一靜電放電偵測電路及一靜電放電防護元件，此靜電放電偵測電路連接至少一電壓源及接地端，用以偵測電壓源及接地端之間是否發生靜電放電，其中包括有一分壓電路，用以將電壓源之輸入電壓分割為二分壓；一基板驅動電路，用以驅動基板產生一觸發電流；一電阻-電容偵測電路（RC Distinguisher）、一第四電晶體以及一第二電阻；而靜電放電防護元件則在有靜電放電情況下被靜電放電偵測電路經由觸發節點之觸發電流所觸發，將靜電放電之電流快速均勻地導通出去，不會有閘極氧化層可靠度的問題。

以下藉由具體實施例詳加說明，可更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係提供一種具三倍電壓耐受能力之電源線間靜電放電防護電路，其提供一基板觸發電流以使不同之 ESD 防護元件可在 ESD 壓力下執行，此基板觸發電流對於諸如基板觸發式 N 型金氧半電晶體 (substrate-triggered NMOS, STNMOS)、矽控整流器 (Silicon controlled rectifier, SCR) 及場氧化層電晶體 (field oxide device, FOD) 等裝置皆有很大的幫助，可增進該靜電放電防護元件在靜電放電轟擊下之導通速度及均勻度。

如第 1 圖之方塊圖所示，本發明之電源線間靜電放電防護電路包括兩電壓源 VDDh、VDDl、一靜電放電偵測電路 10 及一靜電放電防護元件 30。靜電放電偵測電路 10 中包括一分壓電路 12，其中包含三個 P 型金氧半電晶體 122、124、126，將高電壓源 VDDh 之電壓分為兩分壓；一基板驅動電路 14，包含一第一電晶體 142、第二電晶體 144 及第三電晶體 146，其分別為一 N 型金氧半電晶體及兩 P 型金氧半電晶體，且第一電晶體 142 為深井型 (N-well)；一電阻-電容偵測電路 (RC distinguisher) 16，包含一第一電阻 162 及一由兩金氧半電晶體所組成之電容 164；一第四電晶體 18，其為 N 型金氧半電晶體，可增加靜電放電偵測電路 10 之雜訊邊限 (noise margin)，確保靜電放電防護元件 30 不會被錯誤地觸發；一第五電晶體 20 可增加靜電放電偵測電路之效率及穩定度，此第五電晶體 20 係為 P 型金氧半電晶體；一第二電阻 22，連接至低電壓源 VDDl。在此靜電放電偵測電路 10 中，所有元件皆為 1.2V 之低電壓元件，高電壓源 VDDh 提供 3.3V，低電壓源 VDDl 則為 1.2V 之電壓源供應。在靜電放電偵測電路 10 和靜電放電防護元

件 30 之間有一觸發節點 t (trigger node)。

分壓電路 12 亦可包含六個 P 型金氧半電晶體，如第 2 圖所示，每兩個 P 型金氧半導體為一組，共三組 P 型金氧半導體 121、123、125 構成分壓電路 12，於 P 型金氧半導體 121 與 123 之間有一 a 節點，而在 P 型金氧半導體 123 與 125 之間則有一 b 節點，此兩者為分壓電路 12 之輸出節點。

當高電壓源 VDDh 及低電壓源 VDDl 之電源開啟時，第一電晶體 142 之閘極從分壓電路 12 之 a 節點得到 2.2V 之偏壓，第二電晶體 144 之偏壓為 2.2V 減去第一電晶體 142 之起始電壓，當第二電晶體 144 閘極-源極之偏壓為 0V 時，其維持關閉狀態。第三電晶體 146 之源極電壓與 b 節點相同，為 1.1V ($1/3 \cdot VDDh$)，而閘極電壓則與 e 節點相同，為 VDDl 之 1.2V，而由於源極-閘極之逆向偏壓，使第三電晶體 146 在正常電流操作時亦為關閉狀態。因此，在正常電源開啟時，基板觸發電路 14 係於關閉狀態下做動，不提供觸發節點 t 任何觸發電流。

在此靜電放電偵測電路 10 中，第一電晶體 142 之汲極-閘極電壓為 (3.3-2.2)V，此代表其在正常電路操作狀態下逆向運作，故而若第一電晶體 142 之本體 (bulk) 接地，則第一電晶體 142 之感應通道 (induced channel) 不足以改變閘極與本體間之電場強度；換言之，若第一電晶體 142 之本體接地，則可能發生閘極氧化層可靠度的問題，因此將第一電晶體 142 之本體改為連接向其源極。而為了防止漏電流穿過第一電晶體 142 之 P 型本體到接地之 P 型基板上，如第 3 圖所示，利用 N 型深井 (Deep N-well) 來將 P 型基板上之 0V 偏壓與第一電晶體 142 之本體隔離。透過 Hspice 軟體之分

析可得到靜電放電偵測電路 10 在正常電路操作狀態下每一個節點之電壓，如第 4 圖所標示，第一電晶體 142 之源極電壓與閘極電壓相近，從這些模擬電壓可清楚發現，相連兩點間之電壓並未超過其最大電壓（1.2V 之元件所能承受之 1.32V 電壓），因此，即使電源線間靜電放電防護電路具有 3.3V 之高電壓供應，亦可免除閘極氧化層可靠度的問題。

在電源開啟期間，靜電放電偵測電路 10 必須維持關閉狀態，使靜電放電防護元件 30 不被錯誤的觸發或從基板觸發電路 14 溢出電流，而利用電源訊號上升時間之特性即可達到此設計，此處之電源訊號係為有順序之複數毫秒。因此，只要電阻-電容偵測電路 16 之 RC 時間延遲（RC time delay）遠小於複數毫秒，則在正常電源啟動時，d 節點之電壓可保持與 c 節點之電壓相同，藉以關閉第二電晶體 144 之做動。第 4 圖所示為當高電壓源 VDDh 及低電壓源 VDDl 分別為 3.3V 及 1.2V 時，Hspice 模擬分別顯示靜電放電偵測電路上每一節點之模擬電壓，在此模擬中，高電壓源及低電壓源於 1 毫秒中具有相同的訊號上升時間，模擬結果請同時參考第 1 圖，第二電晶體 144 閘極電壓（即 d 節點電壓）可保持與其源極電壓（即 c 節點電壓）相同，以關閉基板驅動電路 14 之運作，因此，基板驅動電路 14 在正常電源開啟狀態時可安全地保持關閉狀態。

如第 1 圖所示，當高電壓源及接地端受到靜電放電瞬間電壓轟擊，基板驅動電路 14 會盡快提供基板觸發電流到觸發節點 t 中，使靜電放電防護元件 30 可快速被觸發導通，以防止內部電路遭到靜電放電的損壞；由於靜電放電之瞬間電壓具有極短之上升時間（ $\sim ns$ ）與短脈衝時間之特性，分壓

電路 10 無法在短時間內使第一電晶體 142 之閘極電壓上升，因此，做為電容使用之第五電晶體 20 在靜電放電轟擊下，用來啟動第一電晶體 142 之導通。

第一電晶體 142 導通後，當 d 節點電壓因電阻-電容偵測電路 16 之時間延遲 (RC time delay) 而維持低電壓狀態時，c 節點之電壓向上推高。在靜電放電發生瞬間，浮接的 (floating) 低電壓源 VDDl 有一約 0V 之起始電壓，而電阻 22 及 VDDl 電源線上內部電路之寄生電容可使 VDDl 在靜電放電轟擊時維持在低電壓狀態，因此，第二電晶體 144 及第三電晶體 146 在靜電放電轟擊下會被導通啟動，基板驅動電路 14 可快速地利用靜電放電能量啟動，以產生觸發電流來驅動靜電放電防護元件 30。

第 5 圖所示為 Hspice 軟體模擬靜電放電偵測電路在靜電放電轟擊時各節點之電壓，提供一 0 ~5.5V 之上升電壓波形，其電壓波形之上升時間為 10 奈秒(ns)，用以模擬高電壓源 VDDh 在靜電放電轟擊下之瞬間電壓變化；Hspice 模擬結果顯示第一電晶體 142 之閘極電壓 (即 a 節點電壓) 因第五電晶體 20 之電容耦合作用而快速地升高，而第二電晶體 144 之閘極電壓 (即 d 節點電壓) 則因電阻-電容偵測電路 16 之時間延遲而維持在低電壓，基板驅動電路 14 可在 10 奈秒內提供約 35 毫安培(mA)之觸發電流，如第 6 圖所示，藉由調整基板驅動電路之元件尺寸可控制基板觸發電流之大小，以達到不同應用的需求。

靜電放電防護元件 30 可有多種形式，如第 7 圖(a)~(e)所示之數種實施態樣，元件寄生之 n-p-n 電晶體可利用本發明之靜電放電偵測電路加以驅

動，避免晶片損壞。其中第 7(a)圖之靜電放電防護元件為一場氧化層電晶體 (field-oxide device)，該元件不具有閘極氧化層的結構；第 7(b)圖係以一矽控整流器作為靜電放電防護元件；第 7(c)圖為將複數個矽控整流器堆疊整合，以增加握住電壓 (holding voltage) 之準位，矽控整流器的數量愈多，握住電壓就愈高，而位於觸發節點 t 與 p^+ 驅動點之間的二極體可防止靜電放電電流透過金屬線連接，從第一個矽控整流器溢出到最後一個矽控整流器；亦可如第 7(d)圖所示，將不同數目之二極體堆疊在矽控整流器之下面，以提升矽控整流器之握住電壓。第 7(e)圖中靜電放電防護電路之實施態樣係為三個 N 型金氧半電晶體結構所組成之寄生 n-p-n 電晶體，其中最上層和中間之 N 型金氧半電晶體其閘極電壓需較高電壓源 $VDDh$ 之偏壓低，以降低每一 N 型金氧半電晶體之電場強度；最上層之 N 型金氧半電晶體連接到靜電放電防護電路之 a 節點，而中間者之閘極在本實施例中則加偏壓於低電壓源 $VDDl$ 上。

綜上所述，本發明提供一具三倍電壓耐受能力之電源線間靜電放電防護電路，利用僅 1.2V 之低電壓元件應用於 1.2V/3.3V 之混合電壓輸入輸出介面，不具有閘極氧化層可靠度的問題，本發明所提出之靜電放電偵測電路可快速地啟動以提供基板觸發電流，來驅動靜電放電防護元件排放靜電放電電流。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖及第 2 圖為本發明所提供之具三倍電壓承受能力之電源線間靜電放電防護電路。

第 3 圖為本發明利用 Hspice 模擬出在高電壓源為 3.3V 偏壓下各節點電壓之示意圖。

第 4 圖為利用 Hspice 軟體模擬靜電放電偵測電路在電源正常啟動時各節點之電壓之示意圖，該電源正常啟動之電壓上升時間為 1 毫秒。

第 5 圖為本發明利用 Hspice 軟體模擬靜電放電偵測電路在靜電放電轟擊下各節點之電壓之示意圖，其係模擬 0~5.5V 之靜電放電電壓出現在高電壓源上，該電壓之上升時間為 10 奈秒。

第 6 圖為本發明之靜電放電偵測電路如第 5 圖之模擬條件下所產生之基板觸發驅動電流。

第 7 圖為本發明中靜電放電防護元件之不同實施例示意圖。

【主要元件符號說明】

10 靜電放電偵測電路

12 分壓電路

121、122、123、124、125、126 P 型金氧半電晶體

14 基板驅動電路

142 第一電晶體

144 第二電晶體

146 第三電晶體

16 電阻-電容偵測電路

162 第一電阻

164 電容

18 第四電晶體

20 第五電晶體

22 第二電阻

30 靜電放電防護元件

十、申請專利範圍：

1. 一種電源線間靜電放電防護電路，其係具三倍電壓耐受能力，包括：

一靜電放電偵測電路，連接至少一電壓源及接地端，用以偵測該電壓源

及接地端之間是否發生靜電放電，該靜電放電偵測電路係包括：

一分壓電路，包含複數 P 型電晶體，將該電壓源之輸入電壓分割為二分壓；

一基板驅動電路，其與該分壓電路連接，用以驅動基板產生一觸發電流，於該基板驅動電路中包含一第一電晶體、一第二電晶體及一第三電晶體，該第一及第二電晶體間具有一第一節點，而該第三電晶體連接一觸發節點；

一電阻-電容偵測電路（RC Distinguisher），包含一第一電阻及一電容，該第一電阻之一端連接該第一節點，另一端連接該第二電晶體之閘極與該電容，形成一第二節點；

一第四電晶體，透過該觸發節點與該基板驅動電路連接，並透過一第三節點與該電阻-電容偵測電路連接；以及

一第二電阻，其一端連接該第三節點，另一端則與一低電壓源相連；

一靜電放電防護元件，在有靜電放電情況下被該靜電放電偵測電路經由該觸發節點之該觸發電流所觸發導通，將靜電放電之電流快速均勻地排放出去。

2. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該分壓電路中該 P 型電晶體之數目可為多數個。

3. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該分壓

電路係將該電壓源之輸入電壓分為兩個分壓。

4. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該基板驅動電路中之第一電晶體為 N 型金氧半電晶體，第二、第三電晶體皆為 P 型金氧半電晶體。
5. 如申請專利範圍第 4 項所述之電源線間靜電放電防護電路，其中該第一電晶體係為深井型金氧半電晶體。
6. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該電容係由兩 P 型金氧半電晶體所組成。
7. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，當該第一節點與該第二節點之電壓相等時，則該第二電晶體關閉，使該靜電放電偵測電路不觸發該靜電放電防護元件。
8. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，當該第一電晶體啟動時，該第一節點電壓因該電阻-電容偵測電路之時間延遲而維持低電壓狀態時，使該第二節點之電壓向上推高。
9. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，當靜電放電瞬間發生，且該第二及第三電晶體在靜電放電狀態下工作時，該基板驅動電路可快速地利用靜電放電能量啟動，以產生觸發電流從該觸發節點流入該靜電放電防護元件中。
10. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該第一電晶體之本體區域 (bulk region) 係連接至源極。
11. 如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，當該第一電

晶體開啟時，由於該電阻-電容偵測電路之時脈延遲（time delay），使該第一節點之電壓高於該第二節點之電壓，促使該基板驅動電路發出一觸發電流至該靜電放電防護元件中。

12.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，當該第四電晶體開啟時，可增加該靜電放電偵測電路之雜訊邊限（noise margin），確保該靜電放電防護元件不會被錯誤地觸發。

13.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電偵測電路中更包含一第五電晶體，其係設置於該分壓電路及該第一電晶體之間，以做電容使用。

14.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電防護元件可為一不具有閘極氧化層結構之場氧化電晶體。

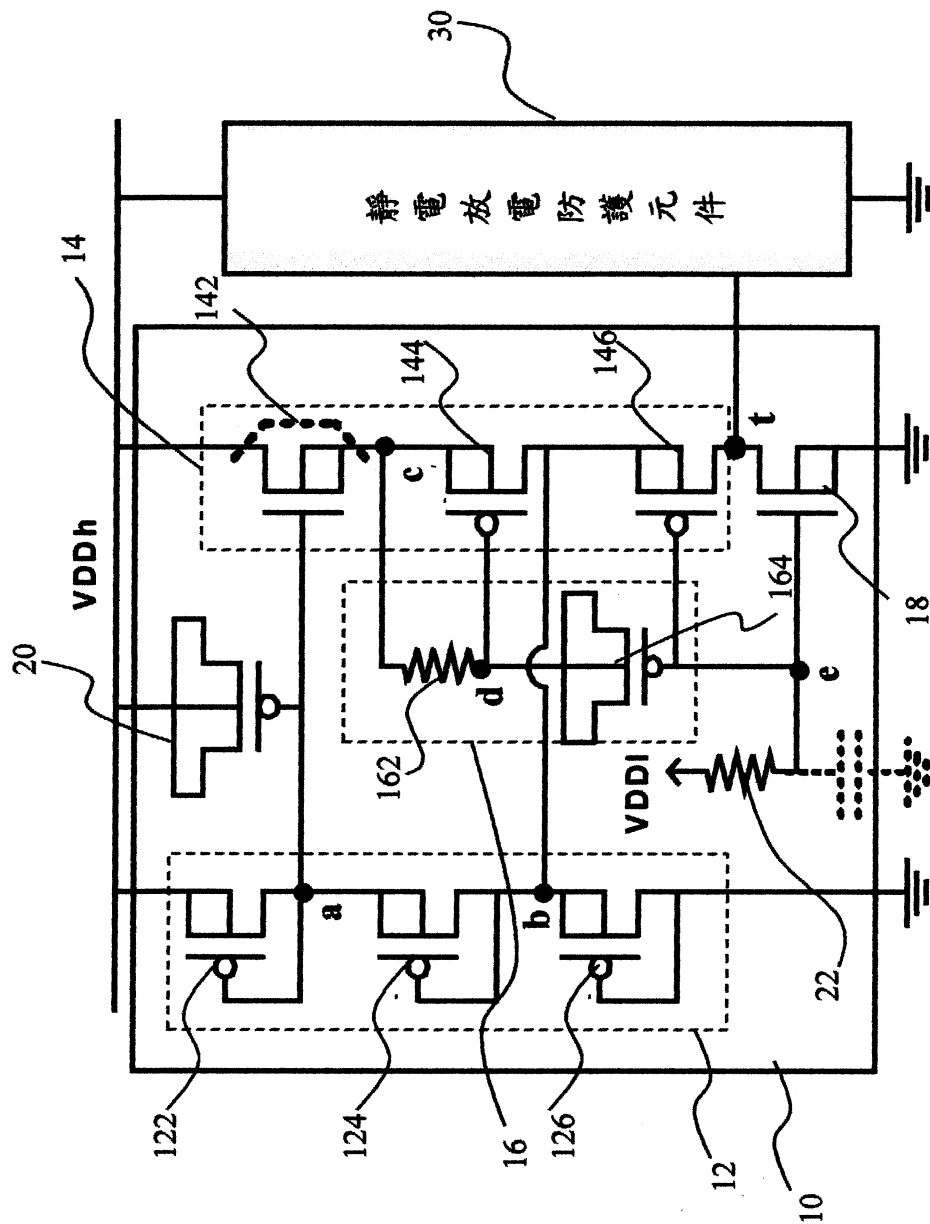
15.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電防護元件可為一矽控整流器。

16.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電防護元件可為複數個矽控整流器推疊而成，且在該觸發節點與該矽控整流器觸發點之間設有二極體。

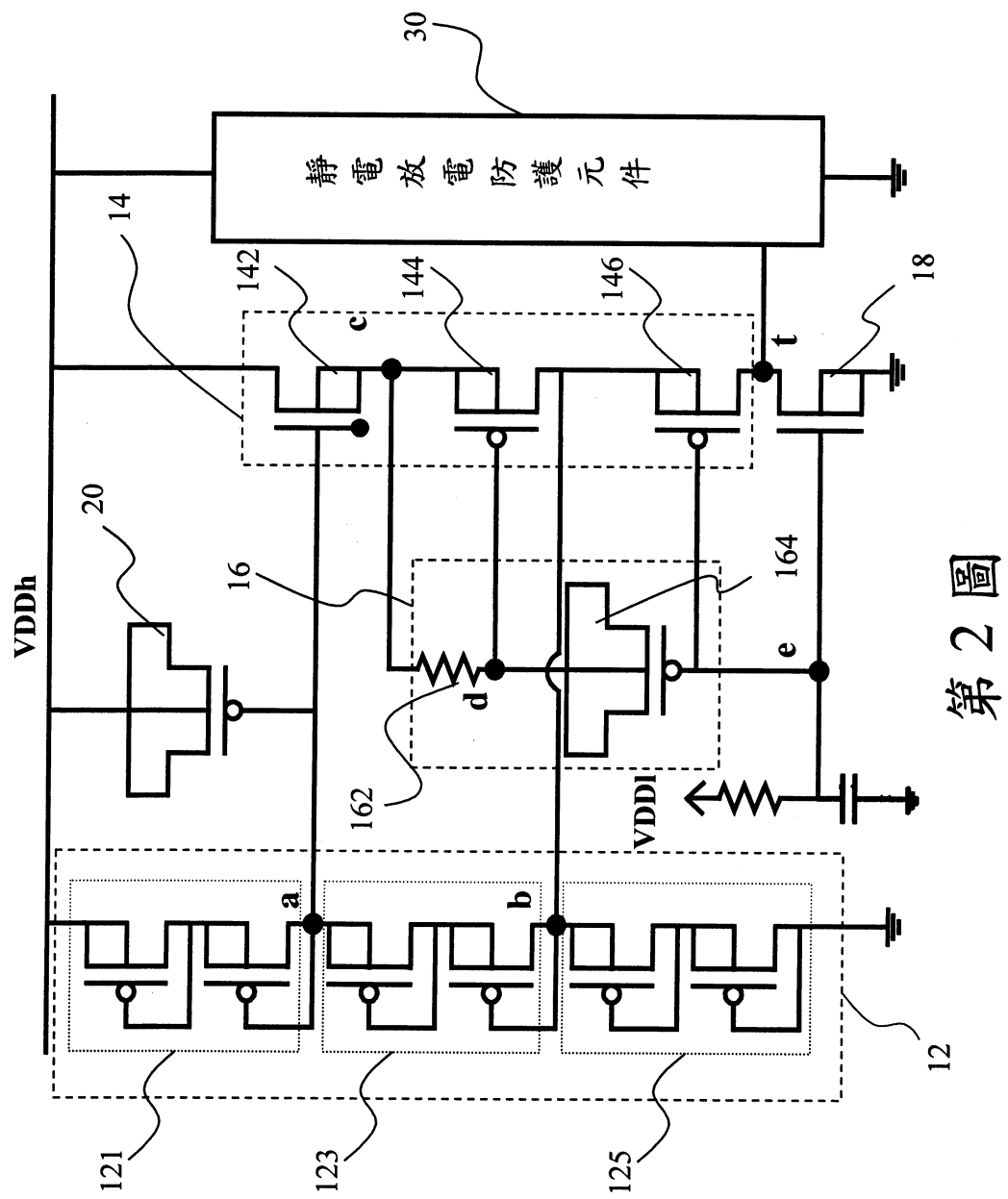
17.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電防護元件係可為一矽控整流器與複數個二極體堆疊而成，而該觸發節點則連接至該矽控整流器之觸發點上。

18.如申請專利範圍第 1 項所述之電源線間靜電放電防護電路，其中該靜電放電防護元件可為三個 N 型金氧半電晶體結構所組成，最上層之該 N 型

金氧半電晶體連接到該分壓電路中之第一分壓節點，而中間之該 N 型金
氧半電晶體之閘極則偏壓於該低電壓源上。



第 1 圖



第 2 圖

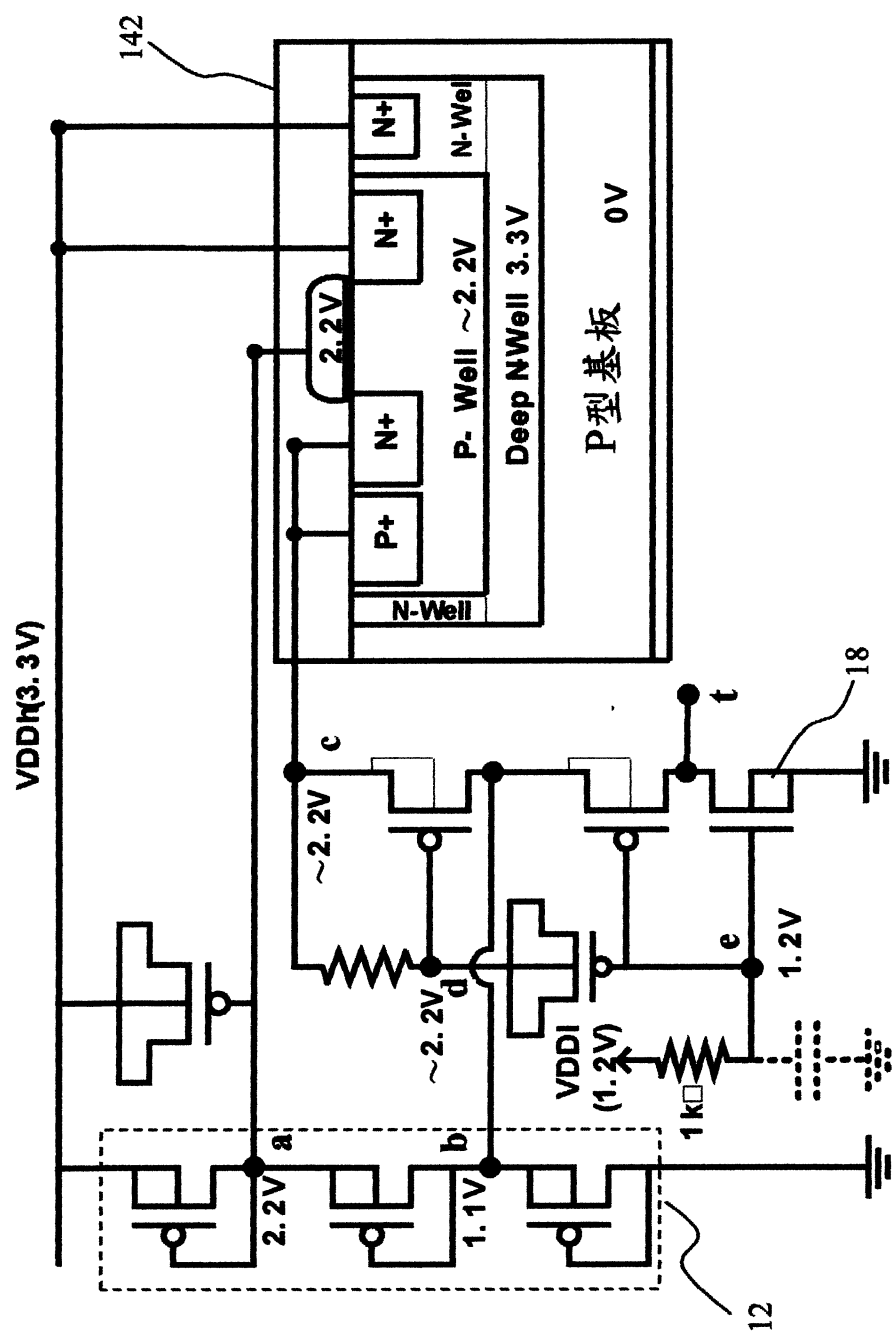
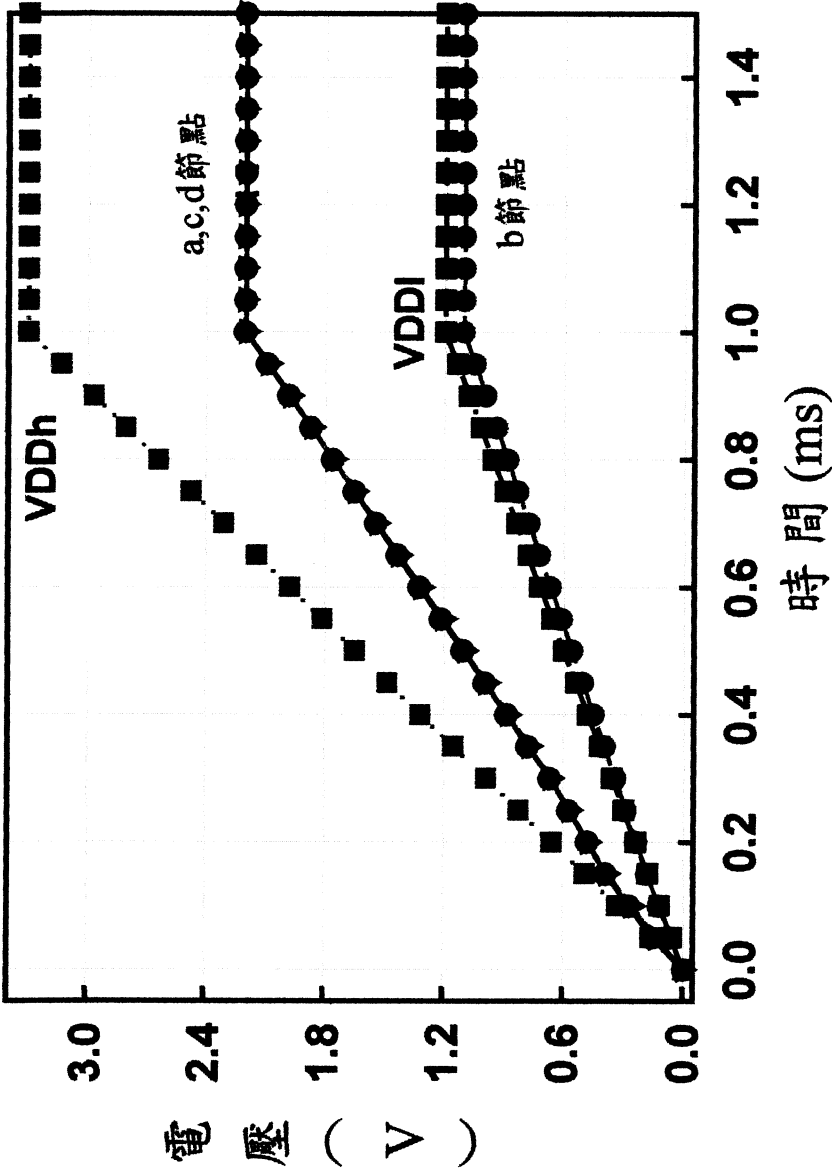
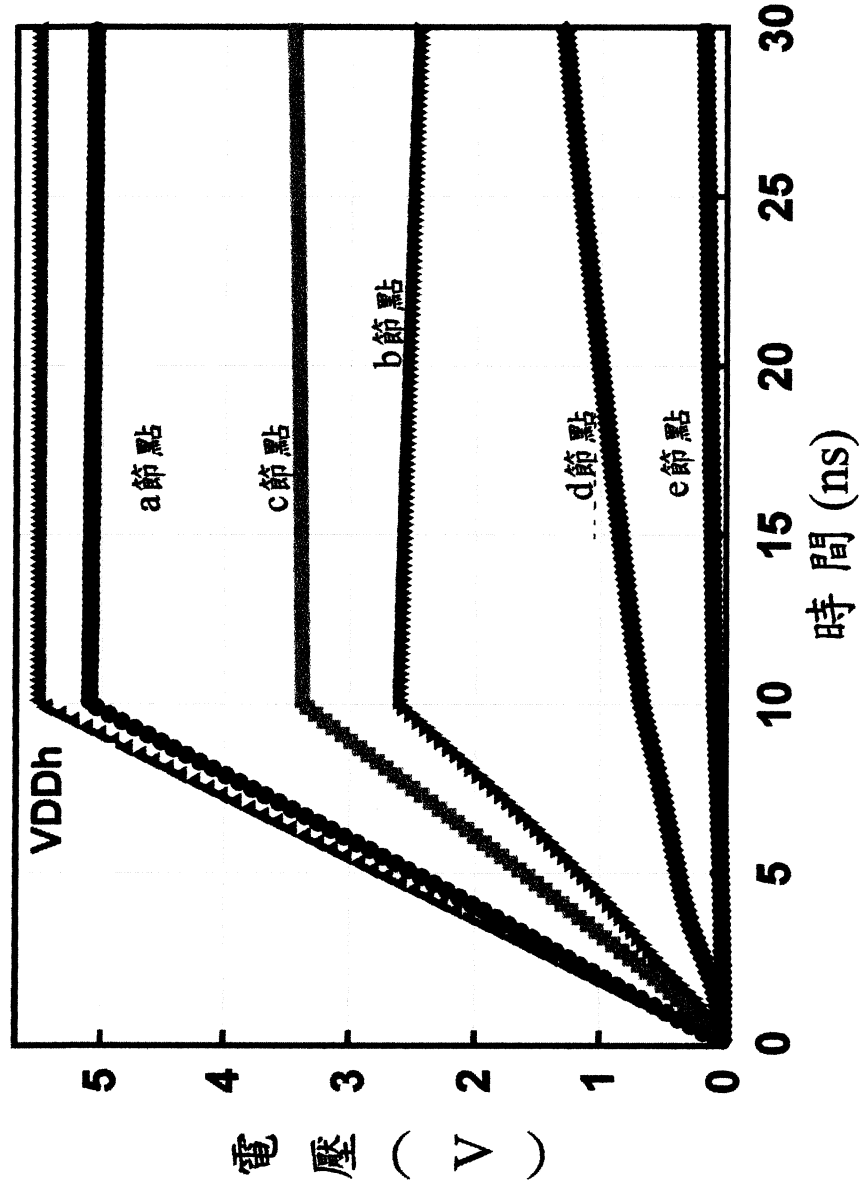


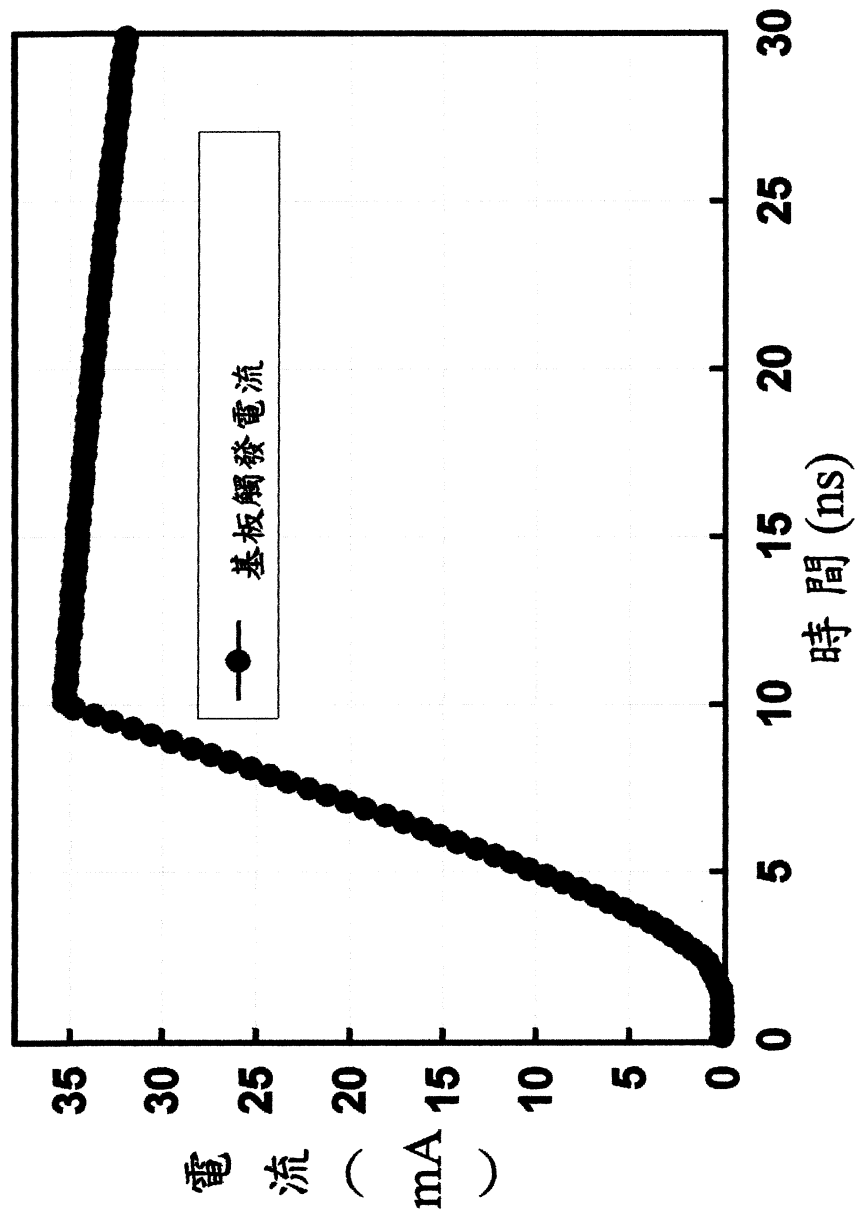
圖
3
第



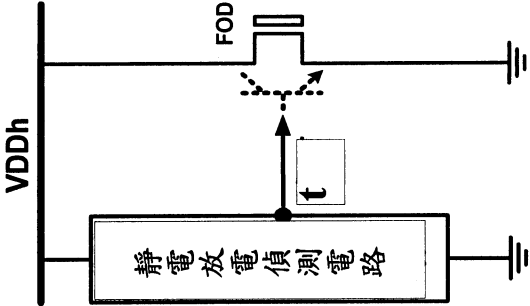
第 4 圖



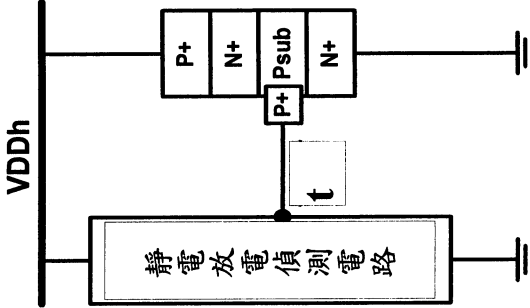
第 5 圖



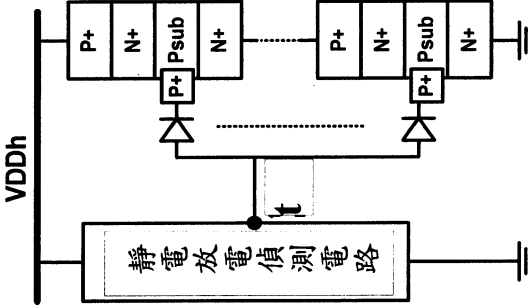
第 6 圖



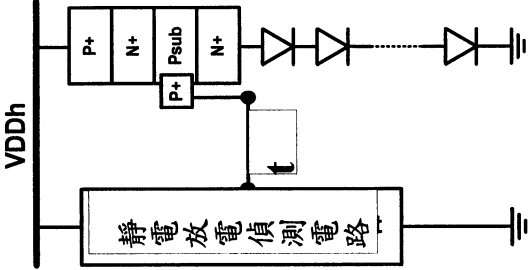
第 7 a 圖



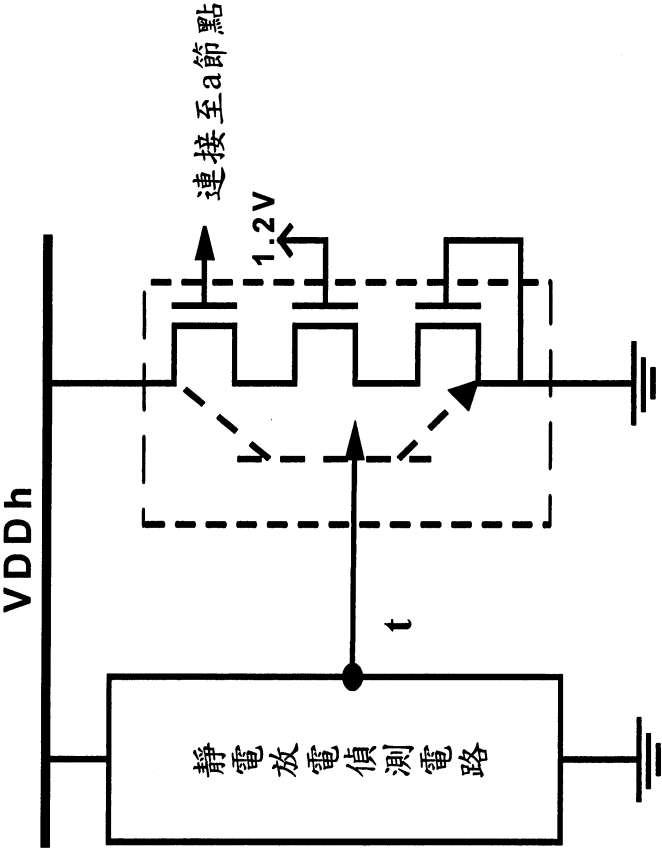
第 7 b 圖



第 7 c 圖



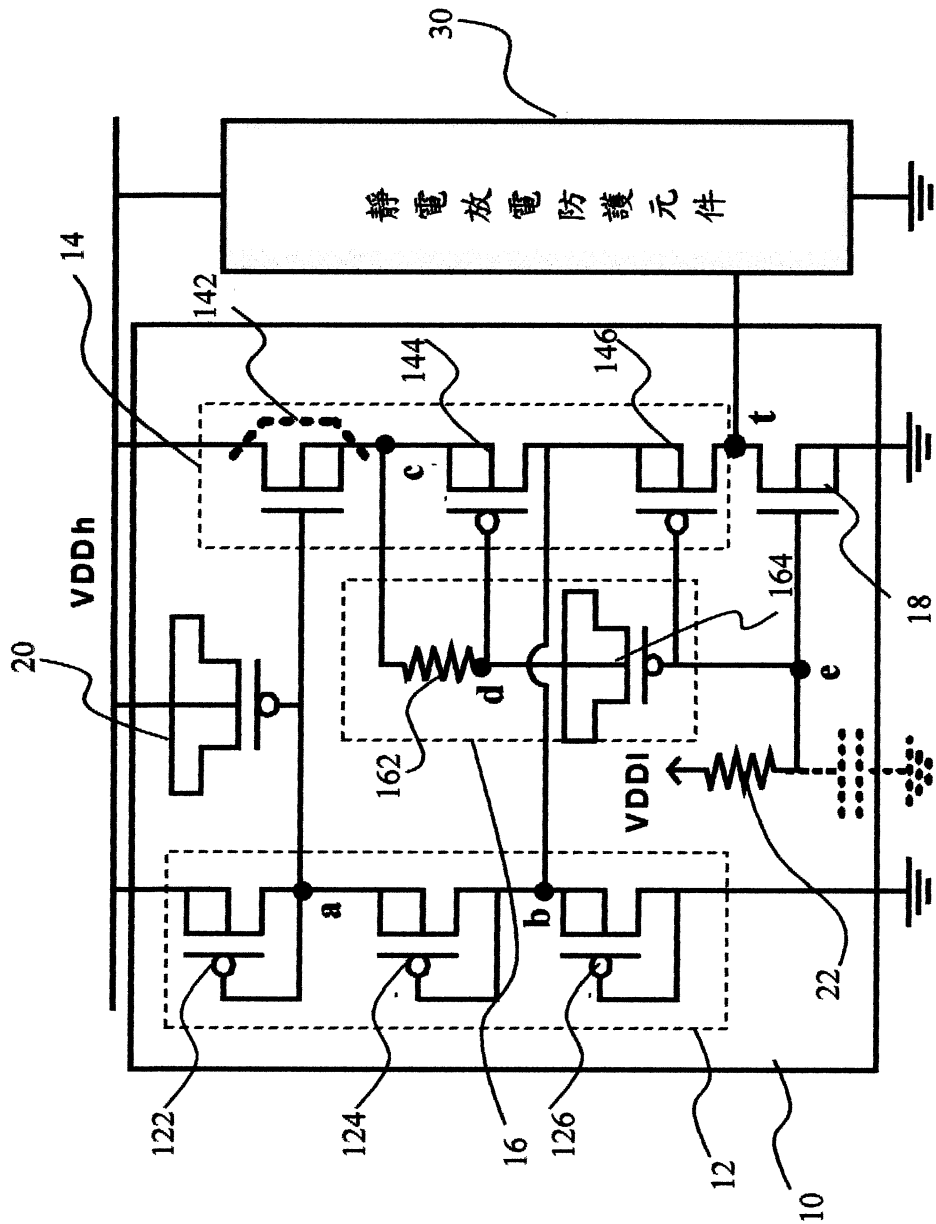
第 7 d 圖



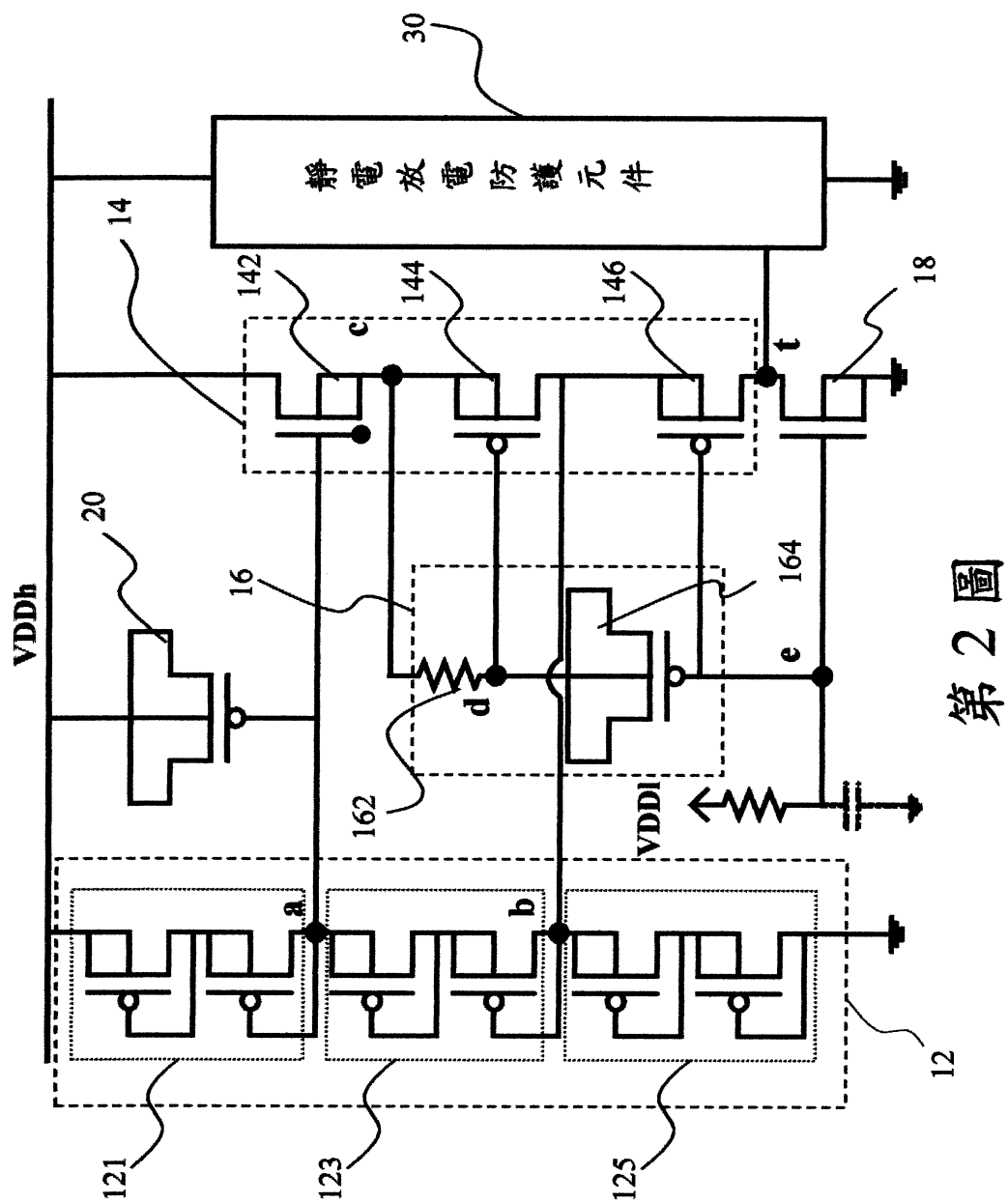
第7e圖

957119M

修正
年月日
95.5.9 補充



第 1 圖



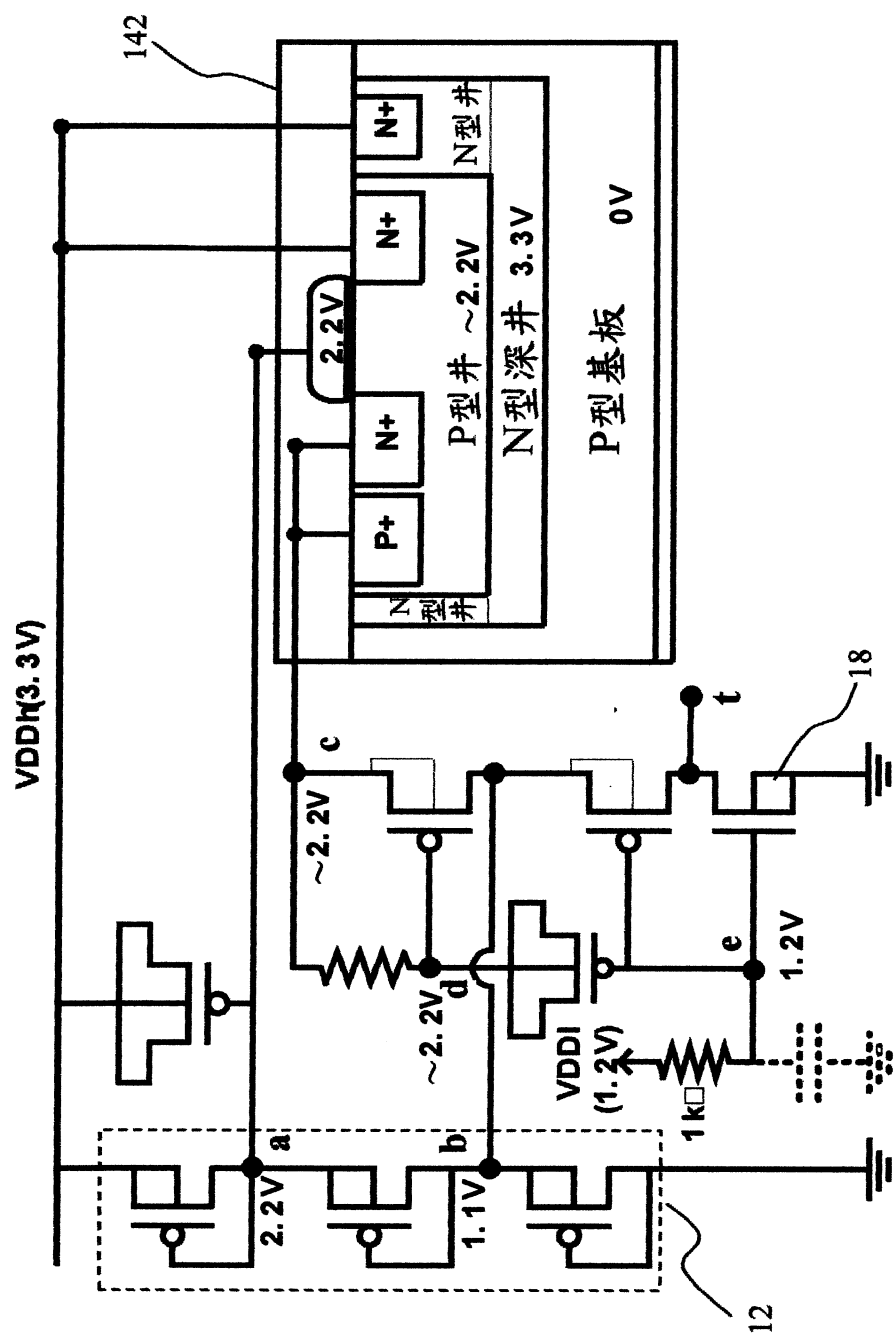
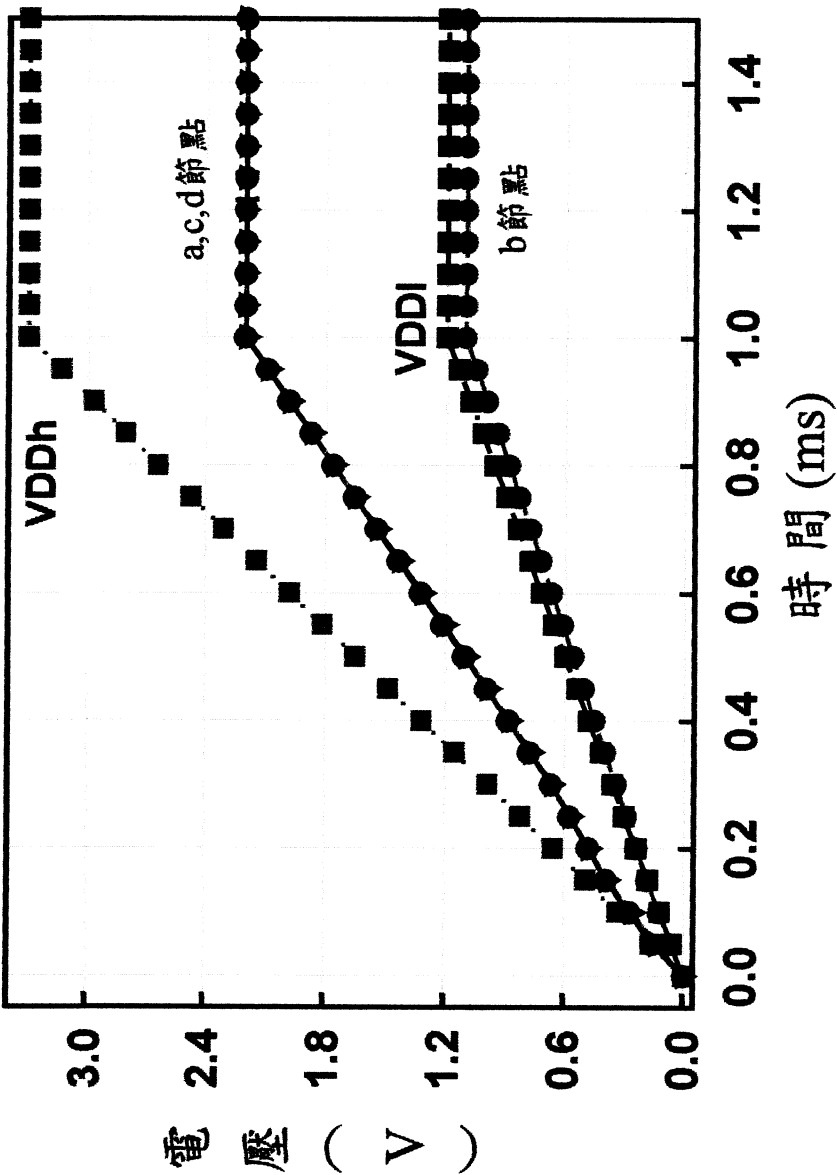
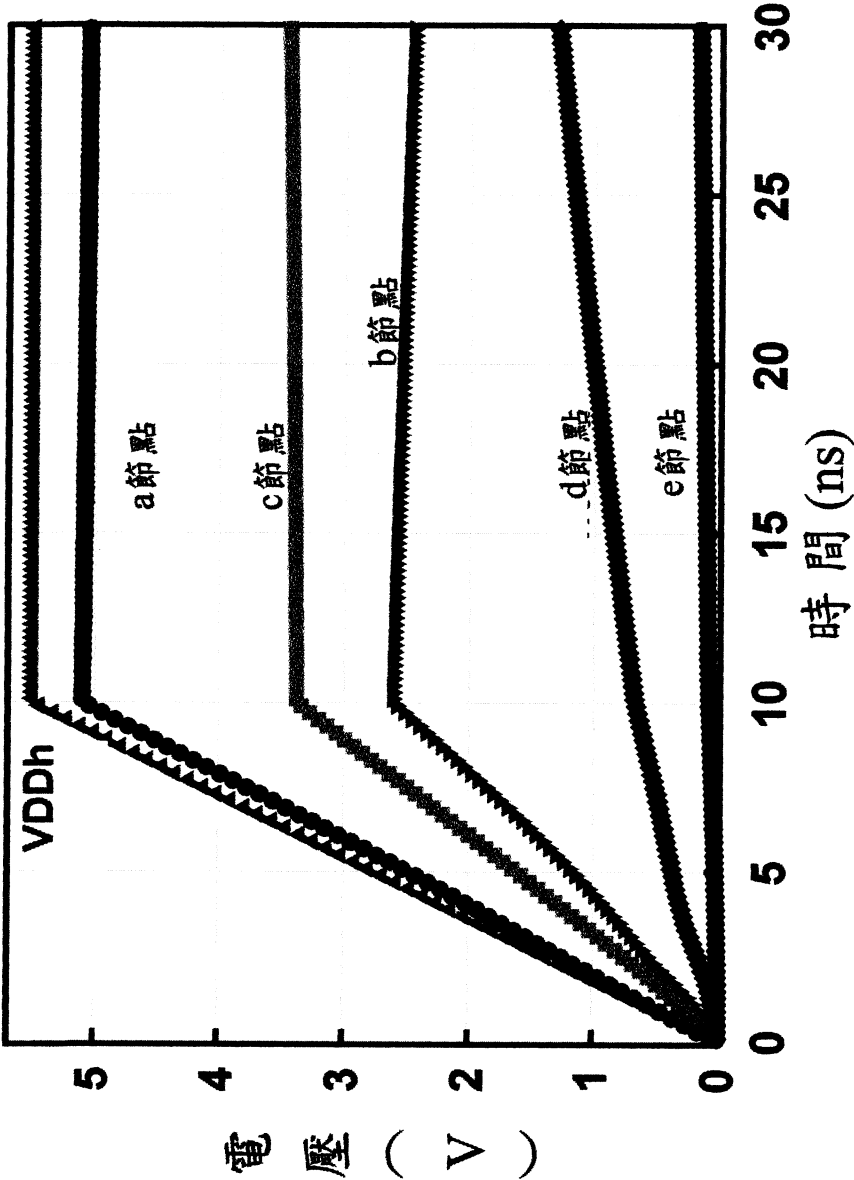


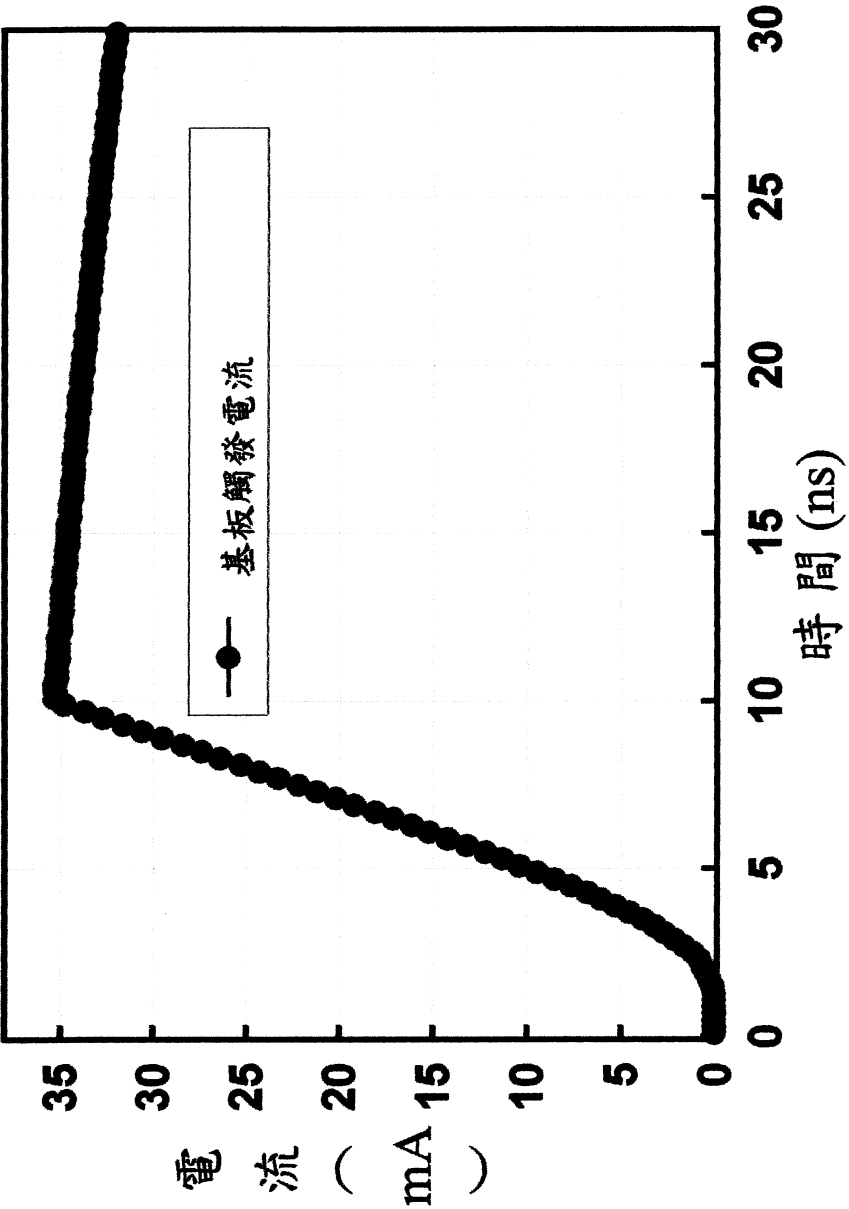
圖 3 第



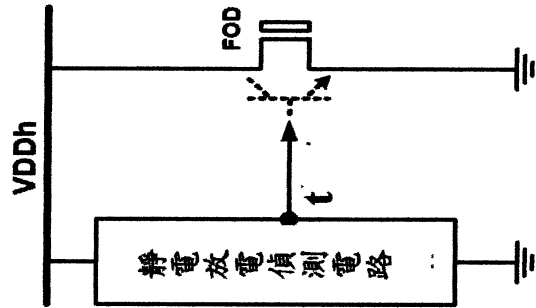
第 4 圖



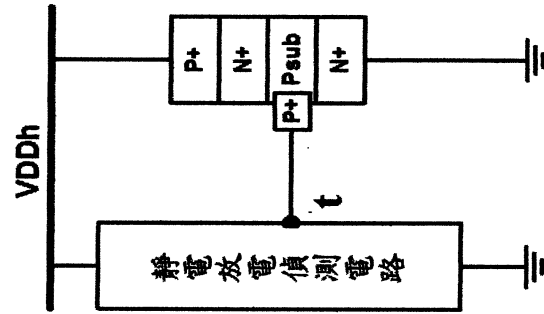
第 5 圖



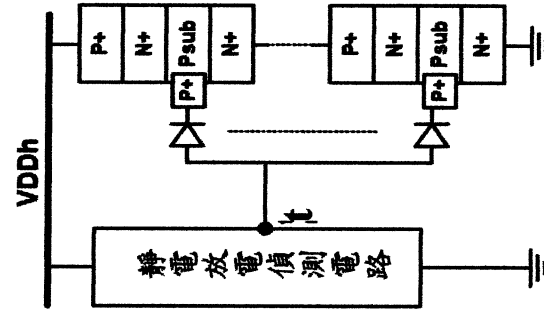
第 6 圖



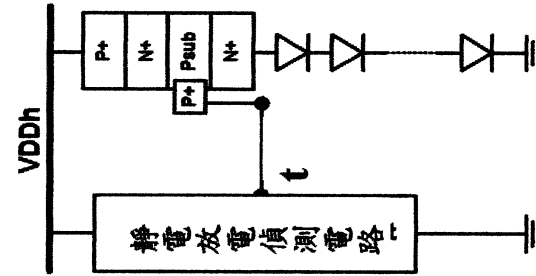
第 7 a 圖



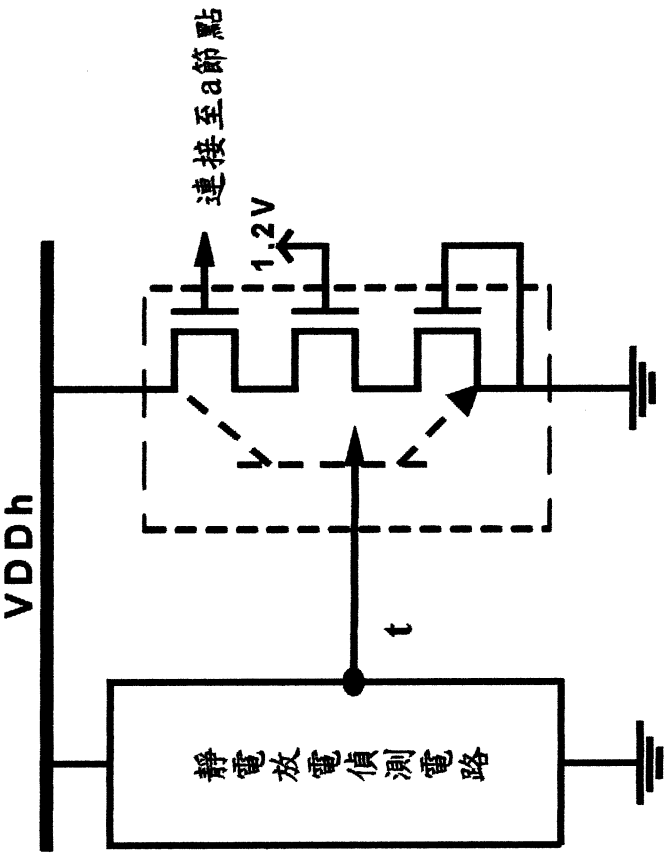
第 7 b 圖



第 7 c 圖

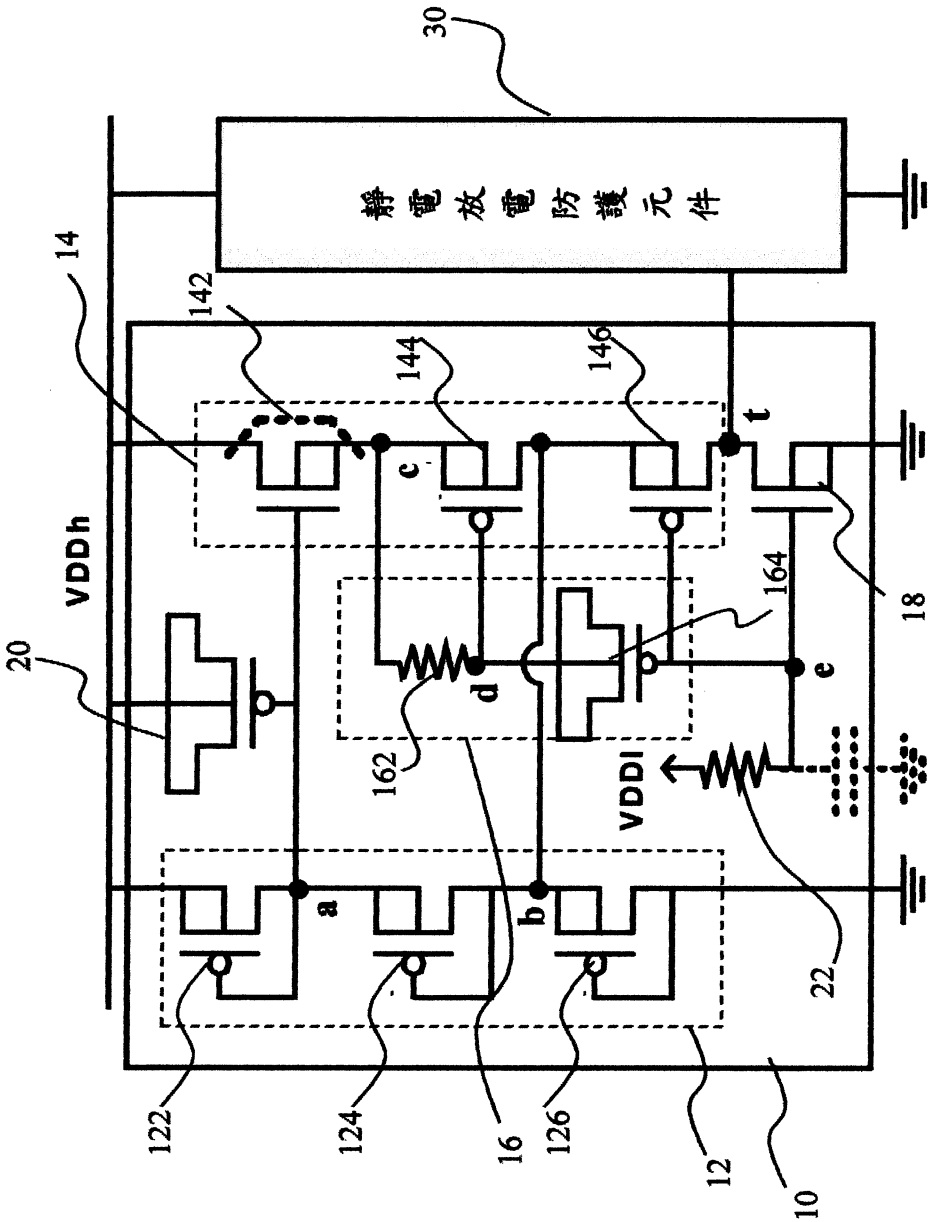


第 7 d 圖

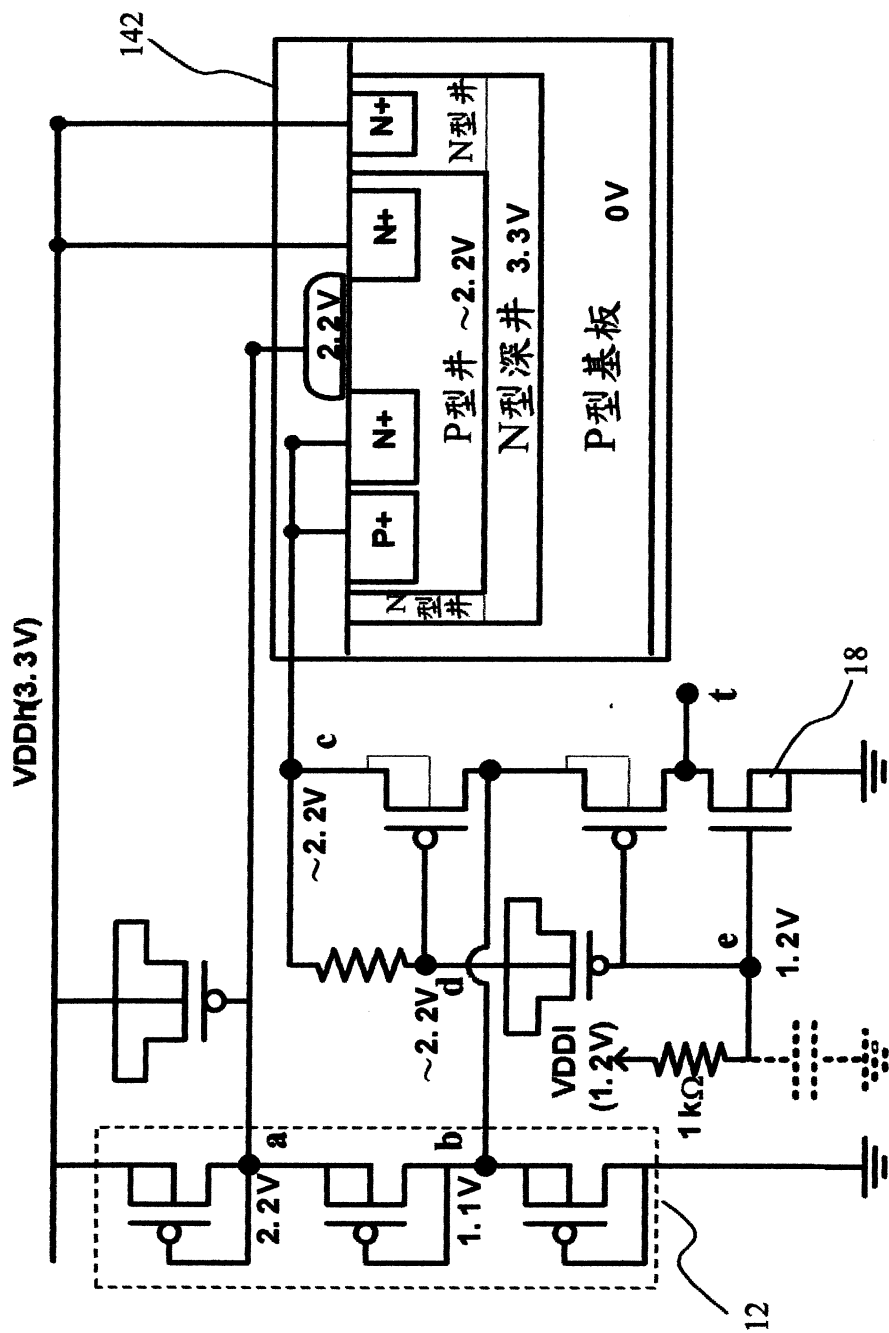


第 7 e 圖

95年6月6日



第 1 圖



第 3 圖