

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95103292

※申請日期：2006.1.27

※IPC 分類：H03F/56

## 一、發明名稱：(中文/英文)

(2006.01)

利用雙重負迴授之超寬頻低雜訊放大器

ULTRA BROAD-BAND LOW NOISE AMPLIFIER UTILIZING DUAL FEEDBACK  
TECHNIQUE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 TA-HSUEH RD., HSINCHU, TAIWAN R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1. 傅昶綜/FU, CHANG-TSUNG

2. 郭建男/KUO, CHIEN-NAN

國籍：(中文/英文)

1.~2. 中華民國/R.O.C

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明關於一種低雜訊之放大器，應用於射頻積體電路設計領域中，特別是超寬頻無線通訊系統之低雜訊放大器，至少包括具有該放大器之架構的核心電路之電晶體，與利用在其晶片上實現的變壓器，而組合成一雙重之負迴授，即“電感性負迴授”與“電容性負迴授”之放大器架構，其中，該電容性負迴授主要作用在中頻及低頻頻段，該電感性負迴授則作用在高頻頻段；結合此具有雙重負迴授路徑之放大電路，因而可在電路之信號輸入端提供非常寬頻且良好的阻抗匹配；本發明之低雜訊之放大器電路架構，可提供寬頻輸入阻抗匹配（broadband impedance match）及寬頻雜訊最佳化（broadband noise optimum）的最佳狀況，除了大幅提昇增益（gain）及增益平坦度（gain flatness）外，在雜訊性能上更有非常大的改善，且其耗電量仍可維持在非常小的程度。

## 六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 4(a)、4(b)圖。

(二)本代表圖之元件符號簡單說明：

$M_1$	第一電晶體
$M_2$	第二電晶體
$L_1$	第一電感
$L_2$	第二電感
$M$	電感性耦合
$C_L$	電容性負載
$V_{DD}, V_{SS}$	直流電壓源

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明關於一種低雜訊之放大器，應用於射頻積體電路設計領域中，特別是超寬頻無線通訊系統之低雜訊放大器。

### 【先前技術】

隨著各類科技的進步，人類所需的資訊傳遞量越來越龐大，包括精細圖文資料、多媒體播放及人機互動等，於是許多需要高資料傳輸速度的科技也因應而生。對於通訊系統而言，資料傳輸速度與系統頻寬的大小有直接關聯性，即在相同的時間內，越寬頻（wideband）的通訊系統越能傳送大量的資訊。再者，由於日漸講求通訊時的行動自由以及簡化設備空間的需求，以無線系統取代有線系統進行通訊及資料傳輸已蔚然成形。

習知無線通訊系統中，處理射頻信號（radio frequency signal）的電路主要包括發射端（transmitter）與接收端（receiver）兩大部分。如第 1 圖所示，透過天線（01）接收到的射頻電波信號進入接收端（02）之後，以低雜訊放大器（03）放大信號及以降頻器（04）改變信號頻率至基頻（baseband），然後，透過類比至數位轉換器（analog-to-digital converter）（05）將此基頻信號由類比形式轉變為數位形式，再進行數位信號處理（06），最後送至應用層（10）；發射信號係反向過程，來自應用層之基頻數位信號經過數位信號處理（06）後，透過數位至類比轉換器（digital-to-analog converter）（05'）將信號由數位形式轉變為類比形式，再

經過升頻器（07）及功率放大器（08）將其轉換成適當頻率及大小的射頻電波信號後發射；降頻器（04）與升頻器（07）係藉由來自一本地震盪器（09）之弦波信號對接收或發射之信號進行降頻或升頻，其中接收端（02）的低雜訊放大器（03）是影響系統性能的關鍵電路之一。對寬頻無線通訊系統而言，該低雜訊放大器（03）必須在所需的頻率範圍內，同時符合有良好的輸入阻抗匹配特性、低雜訊性能、足夠大的增益以及平坦的增益頻率響應等條件；然而以現今技術而言，欲同時要求寬頻輸入阻抗匹配與寬頻低雜訊性能，在設計方向是有所抵觸的。

傳統的低雜訊放大器之電路主要利用單組電感電容共振的原理，其可用頻寬與載波頻率之頻率比率（fractional bandwidth）小於百分之一，屬於窄頻（narrowband）電路。D. K. Shaeffer, T. H. Lee 在“A 1.5-V, 1.5-GHz CMOS low noise amplifier,” (*IEEE J. Solid-State Circuits*, vol.32, no.5, May 1997, pp.745-759) 的文獻中指出，在諸多不同的窄頻低雜訊放大器架構中，如第 9 圖所示，以源極電感性衰退放大電路（inductive source degenerative amplifier）具有最好的低雜訊及低耗電性能，可以在窄頻範圍內提供良好的輸入阻抗匹配及信號放大倍率。

爲了將傳統僅具窄頻特性的電路延伸至寬頻領域，A. Bevilacqua, A. M. Niknejad 在“An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6-GHz Wireless Receivers,” (*IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2259-2268,

Dec 2004.) 的文獻及 A. Ismail, A. A. Abidi 在 “A 3-10-GHz Low-Noise Amplifier with Wideband LC-Ladder Matching Network,” (*IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2269-2277, Dec 2004.) 的文獻中，揭示在源/射極電感性衰退放大電路電晶體之前端加入一多階帶通濾波 (multi-order band-pass filtering) 電路架構，如第 10 圖所示。此技術雖可提供寬頻的輸入阻抗匹配，然而，其低雜訊性能仍將侷限其在偏低頻的窄頻範圍中，再者，過多的電感及電容也會使得電路所需之晶片面積異常龐大。

Robert Hu and M. S. C. Yang 等人在 “Investigation of Different Input-Matching Mechanisms Used in Wide-Band LNA Design,” (*International Journal of Infrared and Millimeter Waves*, vol. 26, no. 2, pp. 221-245, Feb 2005.) 的文獻中曾提出一種同時應用源極電感性衰退及電容性迴授的放大電路，如第 11 圖所示。此電路理論上雖可提供更佳寬頻的輸入阻抗匹配，但實際上受限於電晶體寄生電阻的影響此寬頻特性會大幅縮減。

此外，在變壓器迴授之相關應用方面，D. J. Cassan, J. R. Long 在 “A 1-V transformer-feedback low-noise amplifier for 5-GHz wireless LAN in 0.18um CMOS,” (*IEEE J. Solid-State Circuits*, vol.38, No. 3, March 2003, pp. 427-435) 的文獻及美國專利 US 6,026,296 A 均揭示關於變壓器在低雜訊放大器上的應用研究及成果，如第 12 圖所示，其電路設計是依據單向化 (uni-lateralization) 之原理，故

其設計因而被限制在改善其窄頻特性的部份，而不包括寬頻部份。

綜合上述所論，若能發展一種超寬頻低雜訊放大器之電路架構，以突破窄頻限制而達到寬頻平坦增益、寬頻阻抗匹配甚至寬頻雜訊最佳化，無疑是在此射頻電路領域人士汲汲企求的研發目標。

**【發明內容】**

本發明之首要目的係提供一種新穎的超寬頻低雜訊放大器核心電路與架構，其與習知技術最大的不同點，在於同時利用前述之電容性迴授及串串模式之電感性迴授，並藉由增加一特定電感控制上述兩種負迴授之各別工作頻率範圍，而達到寬頻化，亦即，本發明之超寬頻低雜訊放大器，其具有之核心電路架構，至少包含：

一電感性串串負回授電路，包含一具有電感性元件及一電晶體，該電感性元件必須配合該電晶體放大特性提供一串串模式之電感性負回授路徑；

一電容性並並負回授電路，包含一電容性負載，其兩端點分別連接至該核心電路的輸出端點與接地端點，且該電容性負載與該電晶體之一寄生電容配合該電晶體放大特性形成一並並模式之負回授路徑；以及

一具有電感性之線圈，其兩端點分別連接至該電晶體之汲極與該核心電路的輸出端點；

根據上述之本發明超寬頻低雜訊放大器，其設計概念在於，該具有電感性之線圈可提供一頻率特性，以控制上述兩種負



迴授電路之各別操作頻率範圍，而達到寬頻化之目的。

進一步詳述之，根據上述之本發明放大器設計概念，如第 2 圖所示，其係利用該具有電感性之線圈之頻率特性，而讓該電容性並並負迴授作用在中低頻頻段，且該電感性串串負迴授作用在高頻頻段，因而在整個所需頻段之內，提供超寬頻的輸入阻抗匹配。

根據上述之本發明放大器核心電路架構，該電晶體之電晶體例如為場效應電晶體 (FET) 或是雙極接面電晶體 (BJT)。

第 3 圖所示為根據本發明之設計概念所實現的核心電路範例。來自天線而具有特定電壓與電流關係的射頻信號由電路圖左方信號輸入端 (signal input) 輸入，經過放大後由右方信號輸出端 (signal output) 輸出射頻電壓信號。其中，電感  $L_g$  (又稱閘極線圈) 接於信號輸入端及電晶體之閘極之間，電感  $L_d$  (又稱汲極線圈) 接於電晶體之汲極與電容性負載  $C_L$  之間，電感  $L_s$  (又稱源極線圈) 接於電晶體之源極與接地端之間。

其中，電感  $L_s$  偵測電晶體源極之輸出電流並產生一電壓迴授至信號輸入端，因而形成一串串模式之電感性負迴授路徑，代表本設計概念中之提供一串串模式電感性負回授之電感性元件。電容性負載  $C_L$  則代表設計概念中所提，提供電容性並並負迴授之該電容性負載，其原理在於利用電晶體之閘極與汲極之間具有元件寄生電容與電容性負載，配合電晶體放大特性可形成並並模式之電容性負迴授路徑。

電感  $L_d$  則代表設計概念中，提供一頻率特性以控制上

述兩種負迴授電路之各別操作頻率範圍之該具有電感性之線圈。再者，電感  $L_g$  用以將此兩種負迴授所產生的輸入阻抗進一步匹配至輸入信號源之特性阻抗，以協助同時達成寬頻阻抗匹配及寬頻雜訊最佳化。

在本發明之設計概念當中，利用該電感  $L_d$  可讓該電容性並並負迴授作用在中低頻頻段，且該電感性串串負迴授作用在高頻頻段。結合此具有雙重負迴授路徑之放大電路，因而可在電路之信號輸入端提供非常寬頻且良好的阻抗匹配及最佳化雜訊性能。

根據本發明之設計概念所實現之核心電路，在本案中提出一更有效之實施方式，其特點在於利用以串對串模式連接之單一變壓器，替代第 3 圖中包括  $L_g$ 、 $L_d$ 、 $L_s$  等三個電感。亦即，本發明之另一目的係提供一種新穎的超寬頻低雜訊放大器，特點在於依據上述之設計概念，其具有核心電路架構，至少包含：

一變壓器串串負回授電路，包含兩磁性耦合的第一線圈與第二線圈、及一電晶體，且該第一線圈的兩端點分別連接到該電晶體的閘極與該核心電路的輸入端點，該第二線圈的兩端點分別連接到該電晶體的汲極與該核心電路的輸出端點，其中該兩線圈係電感性耦合成一變壓器，而該兩線圈的耦合配合電晶體放大特性可提供一串串模式之負回授路徑；以及

一電容性並並負回授電路，包含一電容性負載，其兩端點分別連接至該核心電路的輸出端點與接地端點，且該電容性

負載與該電晶體之一寄生電容形成一並並模式之負回授路徑。

第 4 圖所示為根據本發明之利用變壓器串串負迴授之低雜訊放大器之核心電路。第 4(a)圖為單一電晶體實現之架構，第 4(b)圖為利用互補式電晶體實現之架構。來自天線而具有特定電壓與電流關係的射頻信號由電路圖左方信號輸入端 (signal input) 輸入，經過放大後由右方信號輸出端 (signal output) 輸出射頻電壓信號。

其中，電感  $L_1$  (又稱第一線圈) 接於信號輸入端及電晶體之閘極之間，電感  $L_2$  (又稱第二線圈) 接於電晶體之汲極與電容性負載  $C_L$  之間， $L_1$  及  $L_2$  具有電感性耦合而形成變壓器，耦合方向如電感上之圓點標記所示，其耦合電感量為  $M$ 。該變壓器偵測電晶體汲極之輸出電流並產生一電壓迴授至信號輸入端，因而形成一串串模式之負迴授路徑，稱之為“變壓器串串負迴授”。因此，本發明之核心電路係利用單一變壓器同時表現出三個電感特性，包括  $L_1$ 、 $L_2$  及  $M$ ，各別替代第 3 圖中的  $L_g$ 、 $L_d$ 、 $L_s$  等三個獨立電感。亦即，耦合電感量  $M$  代表本設計概念中之提供一串串模式電感性負回授之電感性元件；電感  $L_2$  則代表設計概念中，提供一頻率特性以控制上述兩種負迴授電路之各別操作頻率範圍之該具有電感性之線圈；電感  $L_1$  則用以將輸入阻抗進一步匹配至輸入信號源之特性阻抗。再者，利用電晶體之閘極與汲極之間具有元件寄生電容與電容性負載，配合電晶體放大特性形成並並模式之電容性負迴授路徑。

在第 4(a)圖的電路中，由於電感器對於直流電流而言等效為短路，因此其中之直流電流源可配置在電感  $L_2$  的任何一側。第 5 圖表示具有不同的偏壓設定所做的耦合電容配置。由於耦合電容 (coupling capacitor) 對於射頻信號而言等效為短路，因此耦合電容可配置在信號路徑上的任何一個位置，例如第 5 圖中之  $C_{C1}$  及  $C_{C2}$ 。

本發明之再一目的係提供一種新穎的超寬頻低雜訊放大器，主要包括一第一級放大電路，其特徵在於該第一級放大電路至少包含：

- 一第一電晶體，至少具有一閘極、一汲極以及一源極，該第一源極連接到一接地端點；
- 一第二電晶體，至少具有一閘極、一汲極以及一源極，而該第二電晶體之閘極連接到該第一電晶體之閘極，該第二電晶體之汲極連接到該第一電晶體之汲極，且該第二源極連接到一直流電壓源；
- 一第一線圈與一第二線圈，兩者係以磁性耦合，該第一線圈的兩端點分別連接到該第一電晶體之閘極與該核心電路的信號輸入端點，該第二線圈的兩端點分別連接到該第一電晶體之汲極與該第一級放大電路的信號輸出端點，其中該兩線圈實質地構成一變壓器，且該兩線圈的耦合形成一回授路徑；
- 一電容性負載，其一端連接到該第一級放大電路的信號輸出端點，另一端連接於一接地端點；以及
- 一第三線圈，一端連接到該第一級放大電路的信號輸入端

點，另一端連接到一接地端點。

根據上述之本發明超寬頻低雜訊放大器，更包含一電容器，其兩端點分別連接至該第一放大電路的輸入端點與一接地端點，用以配合該第三線圈壓抑低頻之過大增益量。

如上述之本發明超寬頻低雜訊放大器，另包括第二種態樣，係於上述之第一級放大電路，另外加入一第二級放大電路所構成，該第二級放大電路，至少包含：

一電阻性阻抗；

一第四線圈及一第五線圈；

一第三電晶體，至少具有一閘極、一汲極以及一源極，而其閘極係連接到該第一級放大器電路的輸出端點，且其源極係連接到一接地端點；以及

一第四電晶體，至少具有一閘極、一汲極以及一源極，其源極係經過該第四線圈連接到該第三電晶體之汲極，其閘極係連接到一直流電壓源，其該汲極作為該第二級放大器電路的信號輸出端點，並且透過該阻抗及該第五線圈而連接到一直流電壓源。

根據上述之本發明超寬頻低雜訊放大器，其中該第一電晶體與該第二電晶體，例如係雙極接面電晶體(BJT)或是場效應電晶體(FET)。

根據上述之本發明超寬頻低雜訊放大器，其中該第三電晶體與該第四電晶體，例如係雙極接面電晶體(BJT)或是場效應電晶體(FET)。

根據上述之本發明超寬頻低雜訊放大器，其中直流電壓

源對射頻信號而言可等效為接地端點。此外，亦可利用耦合電容之一端接地或接直流電壓源，因而組成之去耦合電容（decoupling capacitor,  $C_{BP}$ ）替代接地端點或直流電壓源。去耦合電容對射頻信號而言亦等效為接地端點。

第 6 圖係表示本發明之超寬頻低雜訊放大器示意圖，其中核心電路在整體低雜訊放大器電路中係扮演第一級放大的角色，其所需之電容性負載  $C_L$ ，係應用第二級放大電路中，介於第三電晶體閘極與源極之間的寄生電容。

本發明之超寬頻低雜訊放大器之第一級放大電路具有兩個高峰之增益頻率響應，該兩個增益高峰分別出現在低頻頻段及高頻頻段；而本發明之第二級放大電路另在中頻頻段產生一較寬頻之增益高峰。第一級放大電路與第二級放大電路組合後，整體放大器電路增益頻率響應在低、中、高頻頻段呈現良好之高增益量及增益平坦度，達成超寬頻特性。

本發明之第一級放大電路產生兩個高峰之工作原理在於：第一、利用信號輸入端之電感  $L_3$ （又稱第三線圈）壓抑低頻之過大增益量，藉此在低頻頻段形成一增益高峰；第二、本電路利用變壓器之電感  $L_2$  與電容性負載  $C_L$  在高頻共振以在高頻頻段製造另一增益高峰。本發明之第二級放大電路在中頻頻段產生一較寬頻之增益高峰，其原理在於利用電阻  $R_1$ 、電感  $L_5$ （又稱第五線圈）及第四電晶體之寄生電容形成 R-L-C 並聯共振而產生增益高峰。

本發明之超寬頻低雜訊放大器，更包含一電感  $L_4$ （又稱第四線圈），其作用為在高頻頻段提供一輔助性質之增益提

升。

由於本發明之第一級放大電路具有高頻頻段之增益高峰，因而可改善高頻頻段之雜訊性能，與習知技術中之超寬頻低雜訊放大器相較，本發明之超寬頻低雜訊放大器在高頻頻段的雜訊性能有大幅進步。

另一方面，本發明之核心電路利用單一變壓器可同時表現出三個獨立電感（包括  $L_1$ 、 $L_2$  及  $M$ ）的特性，使得在晶片上製作具有同樣性能之電路，只需耗用一個電感所需之晶片面積，而不需耗用三個獨立電感所需之晶片面積，因而整體晶片面積較小，可有效降低製作成本。

#### 【實施方式】

以下詳細地說明本發明之較佳實施例，然而應被理解的是，本發明提供許多可適用的發明觀念，而這些觀念能被體現於更寬廣且多樣的特定具體背景中，所討論的特定具體的實施例僅是說明使用本發明的特定方式之一，而且不會限制本發明的範圍。

本發明提供之利用變壓器串串負迴授之低雜訊放大器，如第 4(a)、4(b)圖所示，其實際工作原理係同時利用以串串模式連接之變壓器串串負迴授，以及藉由電晶體之寄生電容與其另一負載電容所產生的電容性並並負迴授，所形成之雙迴授路徑以達到寬頻化。

第 5 圖表示係以互補式電晶體實現之架構來說明以負迴授放大電路架構作為核心電路，而此核心電路在整體低雜訊放大器電路 (LNA) 中是扮演第一級 (first stage) 放大的角

色，其中，該低雜訊放大器電路是接收端電路的第一級放大電路，主要目的提供來自天線之微弱信號所需要的增益（gain）以提高靈敏度（sensitivity）。整體低雜訊放大器電路如第 6 圖所示，以下分別說明第一級放大器電路及第二級放大器電路之作動原理。

#### [第一級放大器電路]

第 6 圖係表示一種由第一級放大電路及第二級放大電路所構成的完整低雜訊放大器電路示意圖，係利用負回授放大電路作為第一級放大電路的核心電路，其中該低雜訊放大器電路之第一級放大電路至少包含：一第一電晶體  $M_1$ 、一第二電晶體  $M_2$ 、兩磁性耦合的一第一電感  $L_1$  與一第二電感  $L_2$ 、以及一第三電感  $L_3$ 。

該第一電晶體  $M_1$  具有一第一閘極  $G_1$ 、一第一汲極  $D_1$ 、以及一第一源極  $S_1$ ，該第一電晶體  $M_1$  的第一源極  $S_1$  連接到接地電位 GND；該第一電感  $L_1$  的兩端點係分別連接到該第一閘極  $G_1$  及該低雜訊放大器電路的一輸入端點  $IN_1$ ，而該第二電感  $L_2$  的兩端點係分別連接到該第一汲極  $D_1$  與該低雜訊放大器電路的一信號輸出端點  $OUT_1$ ，其中該兩電感  $L_1$ 、 $L_2$  係以磁性耦合的方式構成一變壓器，且其磁性耦合亦形成了一回授路徑；及一第二電晶體  $M_2$ ，具有一第二閘極  $G_2$ 、一第二汲極  $D_2$ 、以及一第二源極  $S_2$ ，該第二閘極  $G_2$  係與該第一閘極  $G_1$  相連接，該第二汲極  $D_2$  係與該第一汲極  $D_1$  相連接，且該第二源極  $S_2$  係連接到電壓 VDD，及一第三電感  $L_3$ ，一端連接到接地電位 GND，另一端連接透過一電容  $C_c$  係連



接至該輸入端點  $IN_1$ ，而該電容  $C_c$  係一耦合電容，由於本電路所處理的信號是高頻射頻信號，大電容值的耦合電容對射頻信號而言係等效於短路，所以一信號來源 (signal input) 可施加於該輸入端點  $IN_1$ ，並透過該電容  $C_c$  而直接進入該負回授放大電路。

上述第一級放大器電路係針對同時具有兩個增益高峰之增益頻率響應而設計。由於電晶體自身之增益頻率響應為低通 (low pass) 型式，本電路首先利用信號輸入端之電感  $L_3$  壓抑低頻之過大增益量，藉此在低頻頻段形成一增益高峰，再利用兩磁性耦合的第一電感  $L_1$  與第二電感  $L_2$  之串對串連接而成之變壓器架構，並以第三電晶體  $M_3$  之第三閘極  $G_3$  與第三源極  $S_3$  之間的寄生電容替代原第 4 圖之負載電容  $C_L$ ，而在高頻共振以製造第二個增益高峰，藉此在放大器電路形成兩個增益高峰之增益頻率響應。

#### [第二級放大器電路]

接著，說明一低雜訊放大器電路之第二級 (second stage) 放大器電路。如第 6 圖所示，該第二級放大器電路包含：一第三電晶體  $M_3$ 、一第四電晶體  $M_4$ 、一第三電感  $L_3$ 、一第四電感  $L_4$ 、及一電阻  $R_1$ 。

其中，第三電晶體  $M_3$  具有一第三閘極  $G_3$  連接到第一級放大器之輸出端點  $OUT_1$ ，且該第三電晶體  $M_3$  的第三源極  $S_3$  係連接到接電地位  $GND$ 。該第四電晶體  $M_4$  係具有一第四閘極  $G_4$ ，該第四電晶體  $M_4$  的第四源極  $S_4$  係透過該第四線圈  $L_4$  連接到該第三電晶體  $M_3$  的第三汲極  $D_3$ ，及該第四電晶體

$M_4$  的該第四閘極  $G_4$  連接到電壓  $VDD$ ，且該第四電晶體的第四汲極  $D_4$  係透過相互串聯的該第五電感  $L_5$  及該電阻  $R_1$  而連接到電壓  $VDD$ ， $R_1$  及  $L_5$  係用以共同提高中間頻段之增益，及該第四電晶體  $M_4$  的該第四汲極  $D_4$  係作為該第二級放大器電路的信號輸出端點。

而第三電晶體  $M_3$  與第四電晶體  $M_4$  之間連接的該第四電感  $L_4$  係在高頻端提供輔助性質的增益提升，再者，第五電感  $L_5$  則提供中頻頻段之增益，使得完整的低雜訊放大器在頻帶內除了具有高增益外，其增益平坦度 (gain flatness) 亦能達到增益變異 (gain variation) 少於 1-dB 以內的水準。

配合第一級放大電路及第二級放大電路，本發明之低雜訊放大器可得到極寬頻的增益響應、及優良的輸入阻抗匹配特性與雜訊匹配特性。在與其他習知寬頻技術比較下，此種低雜訊放大器電路 (包括一第一級放大器電路及一第二級放大器電路) 除了各方面性能大幅提升外，耗電量也更低。且由於單一變壓器可同時表現出三個獨立電感 (包括  $L_1$ 、 $L_2$  及  $M$ ) 的特性，使得在晶片上製作具有同樣性能之電路，只需耗用一個電感所需之晶片面積，而不需耗用三個獨立電感所需之晶片面積，因而整體晶片面積較小，可有效降低製作成本。

前述之電晶體可為場效應電晶體 (Field-effect transistor, FET) 或金屬氧化物半導體場效電晶體 (Metal Oxide Semiconductor Field Effect Transistor, MOSFET)，但該電晶體可使用雙極接面電晶體 (Bipolar-junction

transistor, BJT)取代, 而該雙極接面電晶體的基極(base)、集極(collector)、以及射極(emitter)則分別對應於該場效電晶體之閘極、汲極、以及源極, 亦可獲得相同之功效。

[實施例之模擬結果]

本發明之超寬頻低雜訊放大器為量測在不同頻率下之輸入阻抗及輸出阻抗匹配、射頻功率增益量、雜訊係數的情形下, 還須外加一緩衝級(buffer stage)電路BUFFER, 如第7圖所示, 其中, 在本模擬實驗中, 該緩衝級BUFFER是以源級隨耦(source follower)電路實現寬頻特性。

第8(a)~8(c)圖係分別表示在不同頻率下之輸入阻抗及輸出阻抗匹配、射頻功率增益量(power gain)、雜訊係數(noise figure)的模擬結果圖。

如第8(a)圖所示, 為此電路之輸入端及輸出端阻抗匹配狀況, 分別以 $S_{11}$ (代表輸入反射係數)及 $S_{22}$ (代表輸出反射係數)之反射係數方式表示, 可發現在3.1GHz~10.6GHz如此寬的頻率範圍內均低於-10dB, 為一有效的寬頻匹配結果。

如第8(b)圖所示, 為此電路的功率增益(Power Gain), 在3.1GHz~10.6GHz的頻率範圍內除了有16-dB的高增益外, 其增益變化亦在1-dB以內, 具有非常高的增益平整度。

如第8(c)圖所示, 為此電路的雜訊係數, 除了在頻率範圍內均有很低的雜訊係數外, 其曲線亦與最小可達雜訊係數(minimum noise figure)之曲線幾乎疊合, 表現出非常好的寬頻雜訊匹配特性。

由上述本發明較佳實施例, 可知本發明技術之效果係具

有：

- (1) 同時利用變壓器（第一電感、第二電感）之電感性串負迴授，以及電晶體開極與汲極之間寄生電容之電容性並負迴授，達成寬頻輸入阻抗匹配與寬頻雜訊最佳化；
- (2) 同時利用第二電感與電容性負載之共振，以及第三電感抑制低頻增益，而產生兩個增益高峰之增益頻率響應並提供寬頻低雜訊性能；
- (3) 利用(1)及(2)之兩技術特點，本發明之超寬頻低雜訊放大器電路架構可達成良好的寬頻阻抗匹配、寬頻雜訊匹配、以輔助可達成良好的寬頻增益平坦度；以及
- (4) 利用單一變壓器同時表現出三個獨立電感特性，使得在晶片上製作所需之晶片面積較小，有效降低製作成本。

【圖式簡單說明】

第 1 圖 係表示習知寬頻無線通訊系統之方塊圖。

第 2 圖 係表示核心電路設計概念之方塊圖。

第 3 圖 係表示依據設計概念之初步核心電路範例。

第 4(a) 圖 係表示單一電晶體實現之核心電路架構圖。

第 4(b) 圖 係表示利用兩互補之電晶體實現之核心電路架構圖。

第 5 圖 係不同偏壓設定下的串對串變壓器耦合迴授低雜訊放大器核心電路。

第 6 圖 係表示本發明之變壓器耦合之串對串負迴授電路示意圖。

第 7 圖 係根據第 4 圖之變壓器耦合之串對串負迴授電路圖，外加一緩衝級（buffer stage）電路示意圖。

第 8(a) 圖 係本發明之實施例之電路模擬結果：不同頻率下以反射係數表示輸入及輸出阻抗匹配情形。

第 8(b) 圖 係本發明之實施例之電路模擬結果：不同頻率下的射頻功率增益量（power gain）。

第 8(c) 圖 係本發明之實施例之電路模擬結果：不同頻率下的雜訊係數（noise figure）。

第 9 圖 表示習知窄頻低雜訊放大器架構，係源極電感性衰退放大電路。

第 10 圖 表示習知於源/射極電感性衰退放大電路電晶體之前端加入一多階帶通濾波之電路架構。

第 11 圖 表示習知同時應用源極電感性衰退及電容性迴授的放大電路架構。

第 12 圖 表示習知變壓器在低雜訊放大器上的應用示意。

【主要元件符號說明】

- 01 天線
- 02 接收端
- 03 低雜訊放大器
- 04 降頻器
- 05 類比至數位轉換器
- 05' 數位至類比轉換器
- 06 基頻數位信號處理
- 07 升頻器

- 08 功率放大器
- 09 本地震盪器
- 10 應用層
- 11 發射端
- M<sub>1</sub> 第一電晶體
- G<sub>1</sub> 第一閘極
- D<sub>1</sub> 第一汲極
- S<sub>1</sub> 第一源極
- M<sub>2</sub> 第二電晶體
- G<sub>2</sub> 第二閘極
- D<sub>2</sub> 第二汲極
- S<sub>2</sub> 第二源極
- M<sub>3</sub> 第三電晶體
- G<sub>3</sub> 第三閘極
- D<sub>3</sub> 第三汲極
- S<sub>3</sub> 第三源極
- M<sub>4</sub> 第四電晶體
- G<sub>4</sub> 第四閘極
- D<sub>4</sub> 第四汲極
- S<sub>4</sub> 第四源極
- L<sub>g</sub> 閘極電感 ( 閘極線圈 )
- L<sub>d</sub> 汲極電感 ( 汲極線圈 )
- L<sub>s</sub> 源極電感 ( 源極線圈 )
- L<sub>1</sub> 第一電感 ( 第一線圈 )

$L_2$  第二電感（第二線圈）

$L_3$  第三電感（第三線圈）

$L_4$  第四電感（第四線圈）

$L_5$  第五電感（第五線圈）

$C_c$  耦合電容

$R_1$  電阻

BUFFER 緩衝級電路

VDD 直流電壓源

GND 接地端點

## 十、申請專利範圍：

1. 一種超寬頻低雜訊放大器，其具有核心電路架構，該架構至少包含：

一電感性串串負回授電路，包含一具有電感性元件及一電晶體，該電感性元件配合該電晶體放大特性提供一串串模式之電感性負回授路徑；

一電容性並並負回授電路，包含一電容性負載，其兩端點分別連接至該核心電路的輸出端點與接地端點，且該電容性負載與該電晶體之一寄生電容配合該電晶體放大特性形成一並並模式之負回授路徑；以及

一具有電感性之線圈，其兩端點分別連接至該電晶體之汲極與該核心電路的輸出端點；

其中，該具有電感性之線圈提供一頻率特性，以控制上述兩種負迴授電路之各別操作頻率範圍，而可達到寬頻化之目的。

2. 一種超寬頻低雜訊放大器，其具有核心電路架構，該架構至少包含：

一電感性負回授電路，包含兩磁性耦合的第一線圈與第二線圈、及一電晶體，且該第一線圈的兩端點分別連接到閘極與作為該核心電路的輸入端點，該第二線圈的兩端點分別連接到該電晶體的汲極與作為該核心電路的輸出端點，其中該兩線圈係電感性耦合成一變壓器，而該兩線圈的耦合配合電晶體放大特性可提供一串串模式之負回授路徑；以及



- 一 電容性負回授電路，包含一電容性負載，其兩端點分別連接至該核心電路的輸出端點與接地端點，且該電容性負載與該電晶體之一寄生電容形成一並並模式之負回授路徑。
3. 如申請專利範圍第 1 或 2 項之超寬頻低雜訊放大器，該電感性負回授電路主要作為中頻及低頻頻段之電路。
  4. 如申請專利範圍第 1 或 2 項之超寬頻低雜訊放大器，該電容性負回授電路作為高頻頻段之電路。
  5. 如申請專利範圍第 1 或 2 項之超寬頻低雜訊放大器，該電晶體較佳為雙極接面電晶體 (BJT) 或場效應電晶體 (FET)。
  6. 如申請專利範圍第 1 或 2 項之超寬頻低雜訊放大器，該電晶體係以單一電晶體實現。
  7. 如申請專利範圍第 6 項之超寬頻低雜訊放大器，該電晶體係以互補式電晶體實現。
  8. 如申請專利範圍第 6 項之超寬頻低雜訊放大器，該電感器對於直流電流而言等效為短路，因此其中之電流源可配置在第二電感  $L_2$  的任何一側。
  9. 一種超寬頻低雜訊放大器，主要包括一第一級放大電路，其特徵在於該第一級放大電路至少包含：
    - 一第一電晶體，至少具有一閘極、一汲極以及一源極，該第一源極連接到一接地端點或一直流電壓源；
    - 一第二電晶體，至少具有一閘極、一汲極以及一源極，而該第二電晶體之閘極連接到該第一電晶體之閘極，

該第二電晶體之汲極連接到該第一電晶體之汲極，且該第二源極連接到一直流電壓源或一接地端點；

一第一線圈與一第二線圈，兩者係以磁性耦合，該第一線圈的兩端點分別連接到該第一電晶體之閘極與該低雜訊放大器電路的信號輸入端點，該第二線圈的兩端點分別連接到該第一電晶體之汲極與該第一級放大電路的信號輸出端點，其中該兩線圈實質地構成一變壓器，且該兩線圈的耦合形成一回授路徑；

一電容性負載，一端連接到一接地端點，另一端連接於該第一級放大電路的信號輸出端點；以及

一第三線圈，一端連接到該第一級放大電路的信號輸入端點，另一端連接到一接地端點。

10. 如申請專利範圍第 9 項之超寬頻低雜訊放大器，其中因耦合電容對於射頻信號而言等效為短路，因此耦合電容可配置在信號路徑上的任何一個位置。

11. 一種如申請專利範圍第 9 項之超寬頻低雜訊放大器，係於該第一級放大器電路之後加入一第二級放大器電路所構成，該第二級放大器電路，至少包含：

一電阻性阻抗；

一第四線圈及一第五線圈；

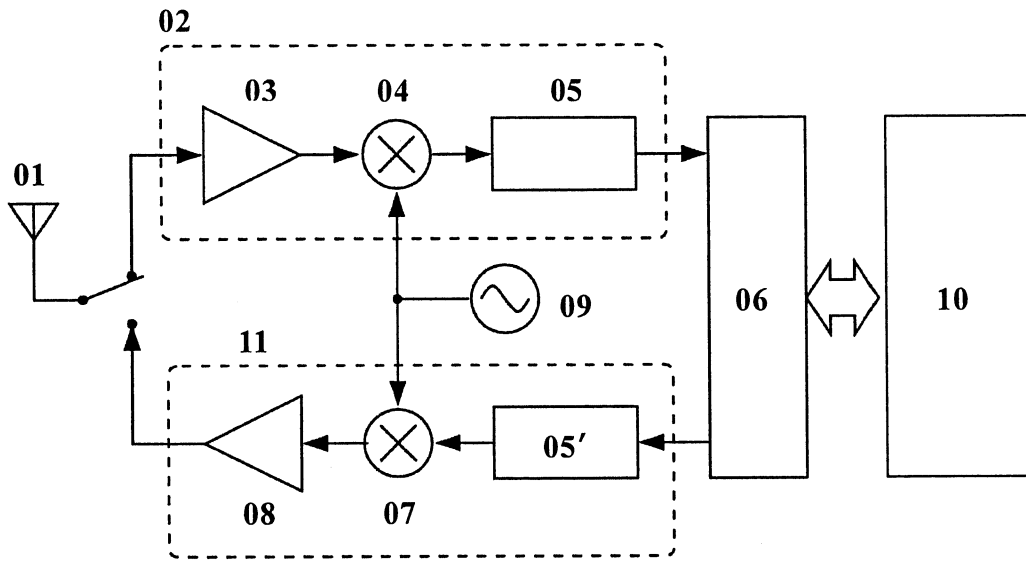
一第三電晶體，至少具有一閘極、一汲極以及一源極，而其閘極係連接到該第一級放大器電路的輸出端點，且其源極係連接到一接地端點；以及

一第四電晶體，至少具有一閘極、一汲極以及一源極，

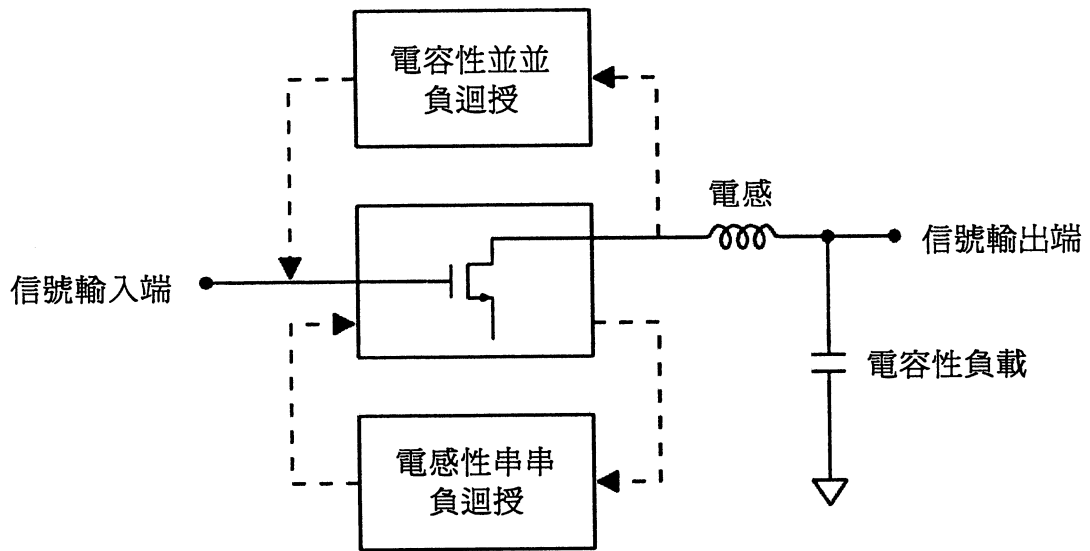
其源極係經過該第四線圈連接到該第三電晶體之汲極，其閘極係連接到一直流電壓源，其該汲極作為該第二級放大器電路的輸出端點，並且透過該阻抗及該第五線圈而連接到直流電壓源。

12. 如申請專利範圍第 9 或 11 項之超寬頻低雜訊放大器，其中該第一電晶體與該第二電晶體較佳為雙極接面電晶體 (BJT) 或是場效應電晶體 (FET)。
13. 如申請專利範圍第 9 或 11 項之超寬頻低雜訊放大器，其中該第三電晶體與該第四電晶體較佳為雙極接面電晶體 (BJT) 或是場效應電晶體 (FET)。
14. 如申請專利範圍第 9 或 11 項之超寬頻低雜訊放大器，其中該直流電壓源對射頻信號而言視同接地端點。
15. 如申請專利範圍第 9 或 11 項之超寬頻低雜訊放大器，其中因去耦合電容對於射頻信號而言等效為接地，該直流電壓源或接地端點可因偏壓需求改以去耦合電容替代。

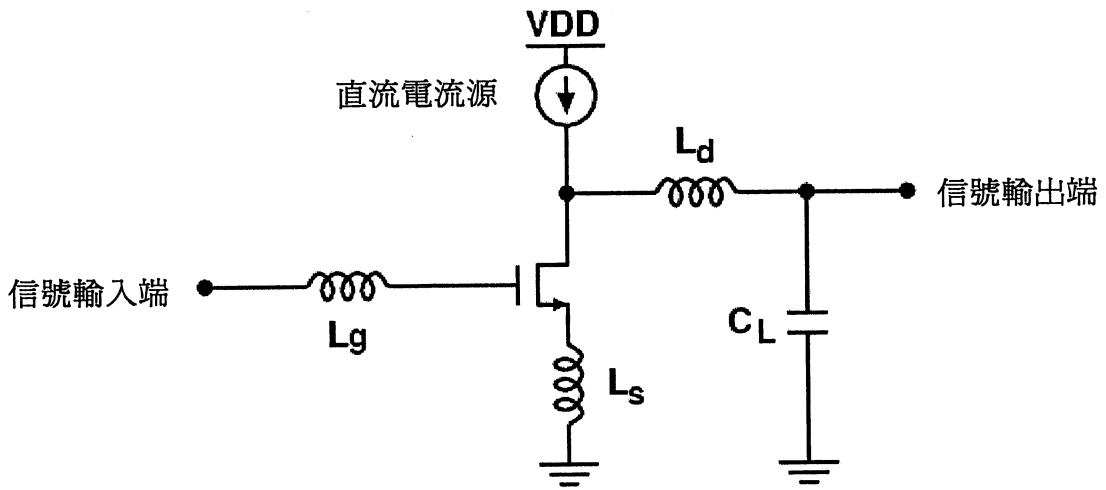
十一、圖式：



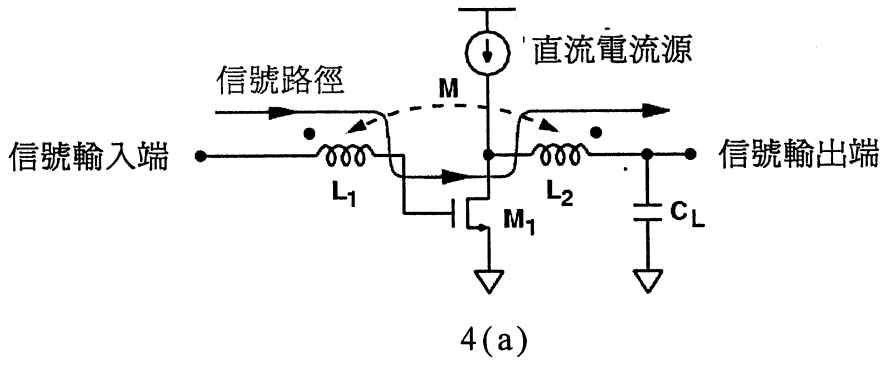
第 1 圖



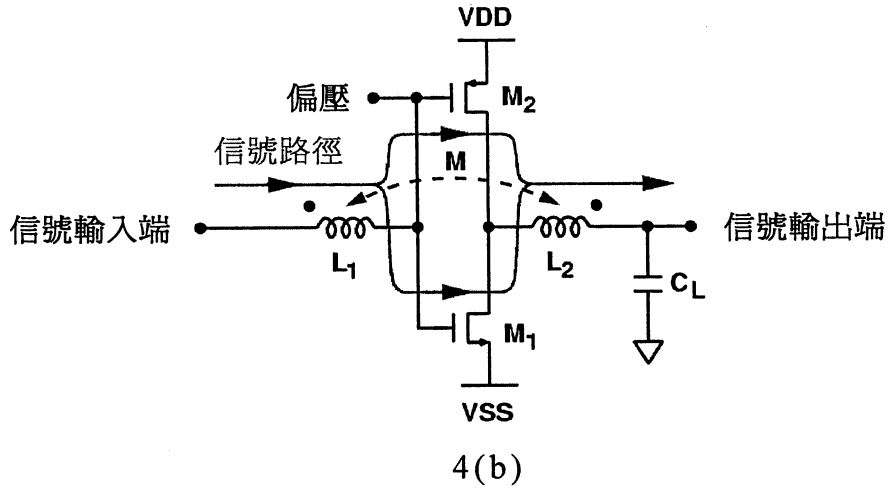
第 2 圖



第 3 圖

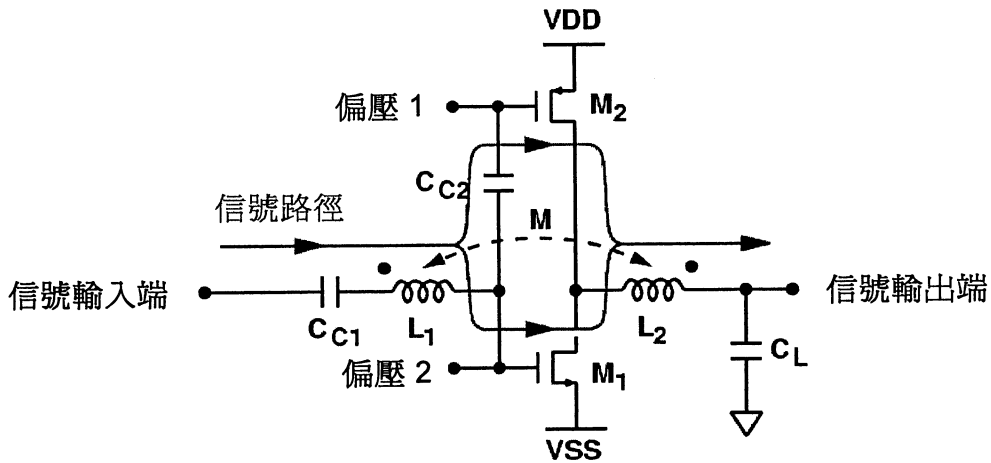


4(a)

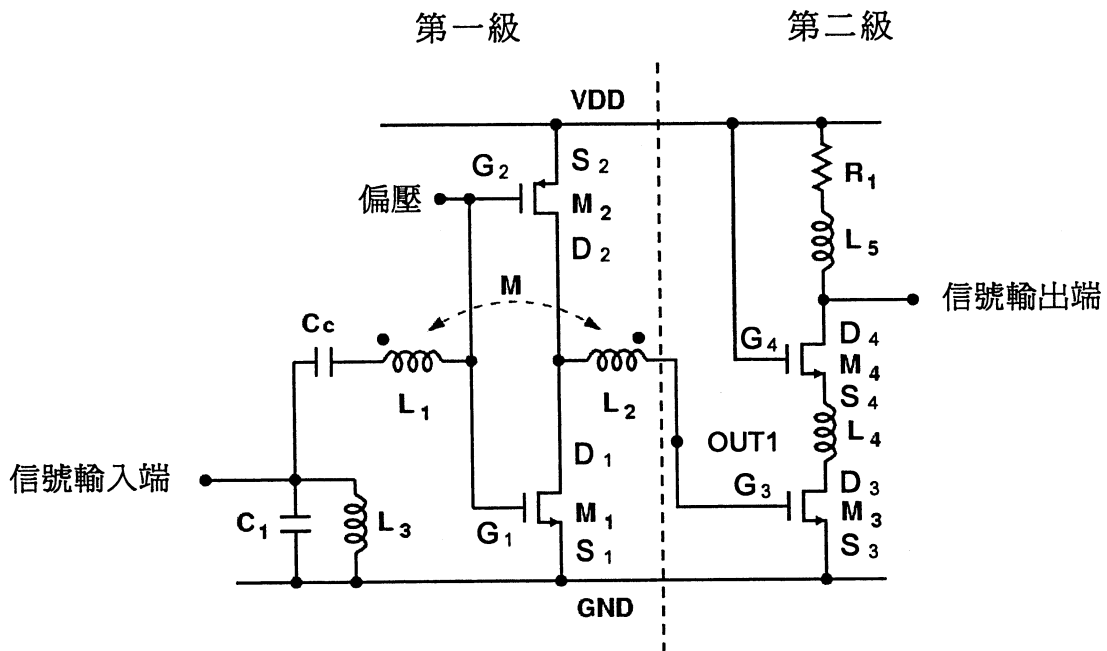


4(b)

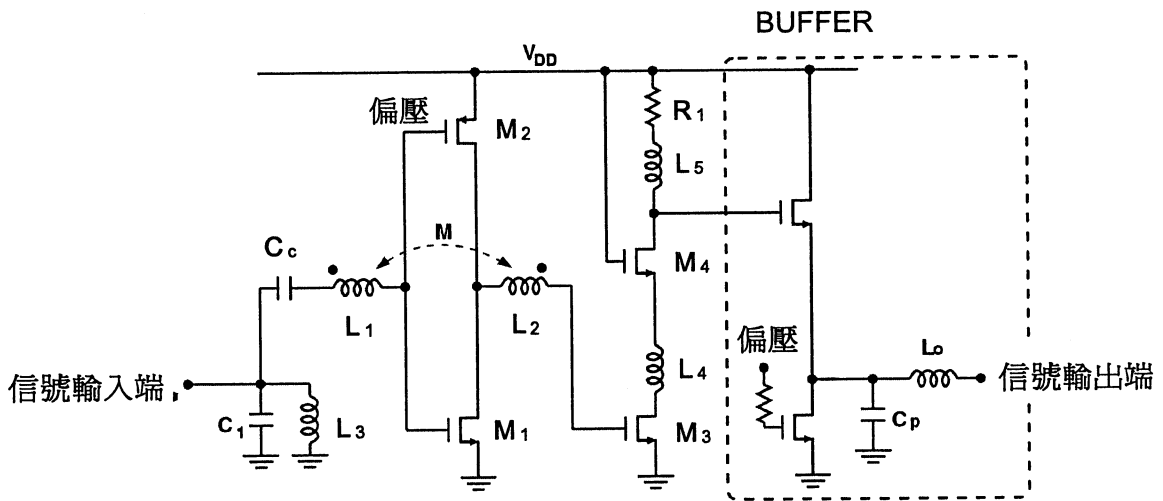
第 4 圖



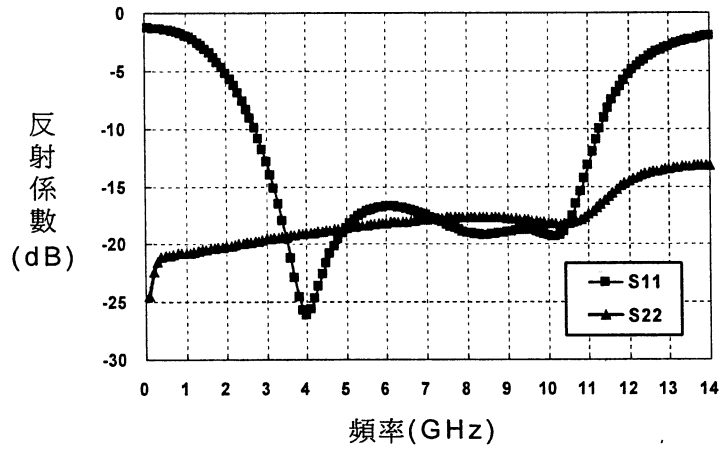
第 5 圖



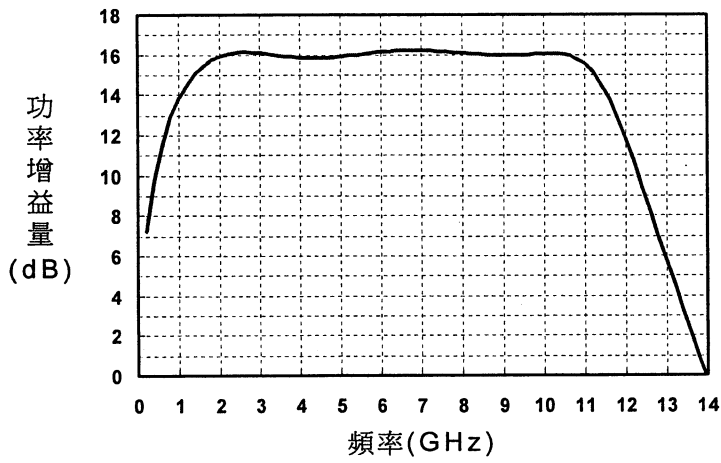
第 6 圖



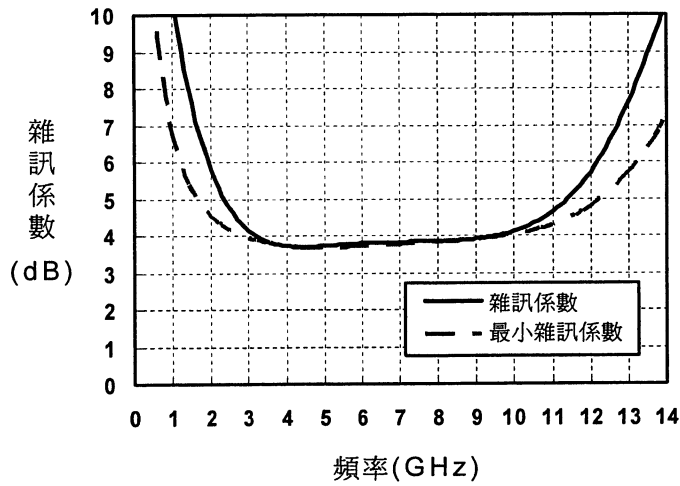
第 7 圖



8(a)



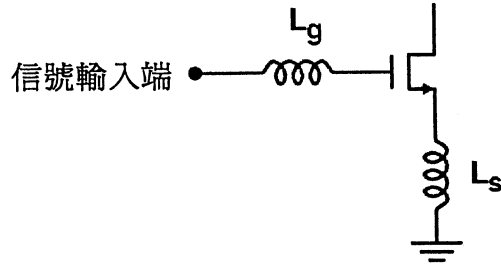
8(b)



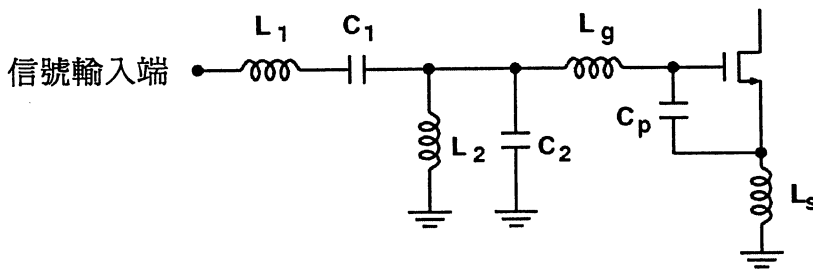
8(c)

第 8(a) ~ 8(c) 圖

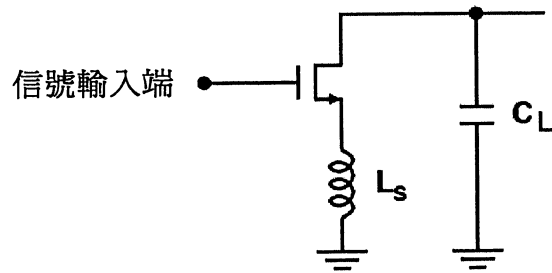




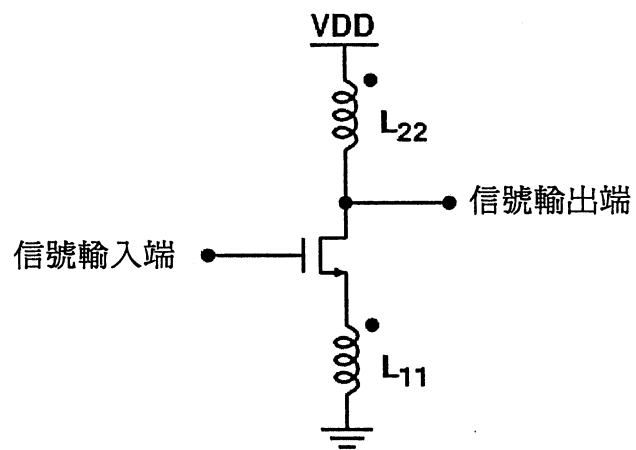
第 9 圖



第 10 圖



第 11 圖



第 12 圖