

發明專利說明書

200717525

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94137829

※申請日期：94.10.28

※IPC 分類：G11C 15/00 (2006.01)

一、發明名稱：(中文/英文)

互斥狀態保持器(XOR-based conditional keeper)及其應用於比對線
(match line)架構

二、申請人：(共 1 人)

姓名或名稱：(中文/英文) 國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

- 1、華重憲
- 2、彭奇偉
- 3、黃威

國 籍：(中文/英文)

- 1、中華民國 TW
- 2、中華民國 TW
- 3、中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：94年5月24日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係提供一種互斥狀態保持器(XOR-based conditional keeper)及其應用於比對線(match line)架構。本發明係以設置於狀態保持器內之互斥閘接收一與內容定址記憶胞(content addressable memory cell, CAM cell)組同步之時序訊號，並配合由浮動節點傳入之浮動訊號，產生一互斥控制訊號且傳入一 P 型電晶體中，以產生一資料訊號用以控制互斥狀態保持器，使此互斥狀態保持器得以在不同狀態下，恰當地執行相對應之作動，以取代單純僅有開與關之兩種模式，更將此互斥狀態保持器應用於內容定址記憶體中動態的比對線架構中，以使此動態比對線可達到兼具高抗雜訊能力、低功率損耗以及高處理速度之特性。同時，本發明中的互斥狀態保持器係可適用於所有動態電路(dynamic circuit)，尤其是高扇入電路(high fan-in circuit)之應用。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第五(a)圖

(二)、本案代表圖之元件代表符號簡單說明：

50 反聯及內容定址記憶胞組

52 電晶體電路開關

54 互斥狀態保持器

541 互斥閘

542 P型電晶體

56 浮動節點

58 反向器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種保持器及其應用於比對線(match line)架構，特別是有關一種互斥狀態保持器(XOR-based conditional keeper)及其應用於比對線架構。

【先前技術】

網際網路的形成是由網狀的網路連接點相互連接而成，其中網路連接點是由路由器(router)所構成，在相互傳遞訊息的過程中，是透過使用共同的協定，也就是 IP(internet protocol)，而內容定址記憶體(content addressable memory, CAM)就是一種特定用途的記憶體，在進行網路傳遞訊息時，可快速且大量地平行搜尋，且在搜尋的過程中，記憶體會同時將所有的數據與搜尋的關鍵字做一比較，最終，搜尋結果就是比對項的地址。為了保證搜尋的快速性，內容定址記憶體通常採用管線結構，每個時序周期都能啟動搜尋，運行速度可以維持在每一個時序周期搜尋一次。然而，與搜尋速度密切相關的是功率的消耗，因此，一個設計完善的內容定址記憶體所消耗的功率，係與其搜尋速度成正比，所以一個有效率的功率管理特性電路設計，在整個維持高速網路傳遞訊息的過程裡，扮演著十分關鍵的重要角色，而在習知的技術中，多為利用動態架構的比對線架構中的保持器來扮演功率管理、決定電路速度以及抗雜序能力的角色，但隨著網路協定由目前的 IPv4 將提昇到 IPv6，所需要進行比較的最多位元欄位亦由 IPv4 的 32 位元增加到 IPv6 的 128 位元，因而，比對線整體的消耗功率也

逐漸變大。一般而言，增加傳統保持器的尺寸雖可以增加對抗雜訊的能力，但卻會使得消耗功率上升，且也會造成電路速度被拖慢的問題。

以下，係將以圖示進一步分析習知動態架構的比對線架構及保持器設計，其中比對線最主要可分為反聯及(NOR)形式比對線、差及(AND)形式比對線兩種，而保持器則可分為回饋保持器(feedback keeper)、弱保持器(weak keeper)兩種。

首先介紹的是有關習知比對線架構的技術，請同時參考第一(a)圖與第一(b)圖所示，其中第一(a)圖係為常見於反聯及形式內容定址記憶體中部分比對線電路架構示意圖，而第一(b)圖係詳細提供單一反聯及內容定址記憶胞之電路架構圖，在第一(a)圖之反聯及比對線的電路架構中，係由串聯之反聯及內容定址記憶胞組 11 連接一電晶體開關 13 與一反向器(inverter)15 而成，每一個反聯及內容定址記憶胞 111 係由一個反聯及內容定址記憶體 112 耦接在一下提 N 型電晶體(pull-down NMOS, Ndn)113 之源極上所構成。

而，單一之反聯及內容定址記憶胞之電路結構係如第一(b)圖所示，記憶體的部分係為以四個 N 型電晶體 171、172、173、174 與兩個反向器 191、192 進行耦接之結構，並將此記憶體耦接在一下提 N 型電晶體 175 之閘極(gate)與源極(source)上，以形成一完整之反聯及內容定址記憶胞。

在差及形式內容定址記憶體部分電路架構示意圖方面，則請同時參考第二(a)圖及第二(b)圖，其中，第二(a)圖係提供差及比對線電路架構，而在第二(b)圖中更詳細表示出單一的差及內容定址記憶胞之電路架構圖。

請先參考第二(a)圖所示，此差及比對線電路架構亦由差及內容定址記憶胞組 20 連接一電晶體電路開關 22 與一反向器 24 而成，惟其中的每一個差及內容定址記憶胞 201 是由一個差及內容定址記憶體 202 耦接在一下提 N 型電晶體 203 之源極上所構成。而上述之差及內容定址記憶胞單體之電路結構係如第二(b)圖所示，記憶體的部分係為以四個 N 型電晶體 211、212、213、214 與兩個反向器 231、232 進行耦接之結構，但此記憶體僅耦接在一下提 N 型電晶體 215 之閘極上，以形成一完整之差及內容定址記憶胞。

藉由上述之說明，可以了解習知最主要的兩種比對線架構，接著將提出有關於習知保持器架構的技術。眾所週知的，無論是反聯及比對線或差及比對線，均多利用一般所習知的回饋保持器，或是弱保持器，首先，請參閱第三(a)圖與第三(b)圖所示，其係利用以反聯及比對線為架構，分別顯示利用回饋保持器以及弱保持器的電路架構示意圖，在第三(a)圖中比對線上係以串聯方式串接反聯及內容定址記憶體組 30，並連接一電晶體電路開關 32，而在此電路的末端係為一回饋保持器 34，其係由一 P 型電晶體所構成，最終並再連接一反向器 36；在第三(b)圖中比對線上亦係為串聯的反聯及內容定址記憶體組 31，連接一電晶體電路開關 33，而在此電路的末端係為一弱保持器 35，其係由一兩個耦接的 P 型電晶體 351、352 所構成，相同地，最終亦連接有一反向器 37。

而在差及比對線的架構中，常見的保持器，除了回饋保持器與弱保持器外，更有以雙 N 型電晶體取代保持器功能之設計，請參閱第四(a)圖、第四(b)圖與第四(c)圖所顯示的電路架構示意圖，在第四(a)圖中比對線上係有串聯的差及內容定址記憶體組 400，並連接一電晶體電路開關 402，而在此電路的末端係為一回饋保持器 404，其係由一 P 型電晶體所構成，最終並再連接一反向器 406；在第四(b)圖中比對線上亦係有串聯的差及內容定址記憶體組 410，連接一電晶體電路開關 412，而在此電路的末端係為一弱保持器 41，其係由一兩個耦接的 P 型電晶體 411、412 所構成，相同地，最終亦連接有一反向器 416；在第四(c)圖中，亦提出以串聯方式連接之差及內容定址記憶體組 420 與一電晶體電路開關 422 連接的比對線架構，而在此電路的末端則以一雙 N 型電晶體 424 來取代習知保持器所提供的功能，最終，再連接一反向器 426。但是，無論是第四(a)圖中之回饋保持器、第四(b)圖中的弱保持器，還是第四(c)圖中的雙 N 型電晶體，由於均無法接收到一個與原始內容定址記憶體組同步的時序訊號，因此，都會發生傳輸延遲(propagation delay)以及功率耗損的問題，當電路在評估階段(evaluation phase)下，若儲存的資料與搜尋的資料不吻合，理論上，下提 N 型電晶體應會將浮動節點(floating node)放電至接地電壓的狀態，但若下提 N 型電晶體無法有效地將浮動節點放電至接地電壓的狀態時，則保持器與下提 N 型電晶體將會同時開啟，但此作動將造成強大的直流電流，引起相當大的雜訊產生，此外，習知的保持器回饋路徑也會使得傳輸延遲的影響更為嚴重。

有鑑於上述習知技術所提出之保持器及其應用於比對線架構，如欲達到具有一定抵抗外界雜訊的能力要求，則勢必面臨到高功率消耗與電路速度遲緩的問題，本發明係特別針對上述之問題，提供一種互斥狀態保持器及其應用於比對線架構，以期能同時在高抗雜訊能力、低功率損耗以及高處理速度三種條件中，取得一個最佳的表現，以有效解決習知技術中的困難。

【發明內容】

本發明之主要目的係在提供一種互斥狀態保持器，其係利用互斥邏輯控制保持器可在不同處理狀態中，適切地執行相對應的作動，取代原始保持器僅能控制開與關兩種作動之執行模式，在提高抗雜訊能力的前提下，仍可兼具低功率損耗、高處理速度的特徵。

本發明之另一目的，係在提供一種互斥狀態保持器及其應用於比對線架構，其係將互斥狀態保持器應用於比對線電路架構上，使此比對線可在不同電路系統狀態中，利用互斥狀態保持器適切地執行可相匹配的作動，取代僅以擴充保持器尺寸設計的方式，以達到在增加抗雜訊能力的同時，亦可保持低的功率損耗以及快速的處理速度。

本發明之再一目的係在提供一種互斥狀態保持器及其應用於比對線架構，其係將互斥狀態保持器應用於比對線的架構中，利用互斥狀態保持器接收與內容定址記憶胞組同步之時脈訊號，以避免傳輸延遲及產生大量雜訊的狀況。

本發明之又一目的係在提供一種互斥狀態保持器，其係可應用於所有

的動態電路(dynamic circuit)中，並具有低功率損耗、高處理速度以及高抗雜訊之功能。

本發明之又一目的係在提供一種互斥狀態保持器及其應用於比對線架構，其係可應用於高扇入電路(high fan-in circuit)中，使在具有低功率損耗、高處理速度的特徵下，更可兼備有高抗雜訊之能力。

為達到上述之目的，根據本發明所提供之一種互斥狀態保持器及其應用於比對線架構，其中，互斥狀態保持器係包含有一互斥閘，其係可接收動態電路的時序訊號與浮動訊號，以產生互斥控制訊號，並藉由一 P 型電晶體接收該互斥控制訊號後，產生資料訊號用以控制此互斥狀態保持器，使其得以動態電路在不同的處理狀態下，提供相對應的作動，以達到高處理速度、低功率消耗以及高抗雜訊的能力；此外，本發明更提出一種將此互斥狀態保持器設置於比對線架構之態樣，其係由複數串聯之內容定址記憶胞組連接至少一電晶體開關以及一互斥狀態保持器，其中由串聯之內容定址記憶胞組產生之時序訊號，經由電晶體開關傳送至互斥狀態保持器中，同時配合浮動節點輸入至互斥狀態保持器之浮動訊號，在互斥狀態保持器內，先由互斥閘產生相對應於動態電路狀態的互斥控制訊號，並輸出至 P 型電晶體中，再藉由此 P 型電晶體輸出對應於互斥控制訊號的資料訊號，使此互斥狀態保持器能在各種電路系統狀態下進行最適切的作動。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

在所有的動態電路中，尤其是高扇入電路架構，由於高扇入電路架構對於雜訊的敏感度相當高，過去常以增加保持器的尺寸來加強抵抗雜訊的能力，但相對的會對功率的消耗以及電路系統的處理速度增加負荷；而在網路通訊中，內容定址記憶體必須有快速且大量比較數據的能力，為一非常重要的關鍵電路，因此，在針對處理速度以及功率的消耗上必須要能通過嚴格的要求；綜合上述電路的架構需求，均以高的抗雜訊能力、快速的處理速度以及低的功率損耗為最主要的設計訴求，而本發明所提供之互斥狀態保持器及其應用於比對線架構係可滿足此三要素之要求。以下係仔細敘述本發明之實施例，並佐以圖示詳加說明。

首先，請參閱第五(a)圖，提供將本發明之互斥狀態保持器應用於動態反聯及比對線電路架構示意圖，此係為本發明的第一實施例，其中，整體的動態反聯及比對線電路系統架構係由 m 個串聯的反聯及內容定址記憶胞組 50 連接至電晶體開關 52，藉由此電晶體開關 52 將串聯的反聯及內容定址記憶胞組 50 所產生的時序訊號同步地傳送到互斥狀態保持器 54 內，並配合接收到的浮動訊號，在此互斥狀態保持器 54 中先產生出互斥控制訊號，而後轉換為資料訊號傳送，由互斥狀態保持器 54 所輸出的資料訊號，更可藉由連接在動態反聯及比對線電路上的反向器 58 以進行傳輸；而更根據本圖，第五(a)圖，所揭露之互斥狀態保持器 54，其包含有一互斥閘 541 及一 P 型電晶體 542，在互斥狀態保持器 54 中的訊號傳輸過程，係藉由互斥閘 541 同時接收來自浮動節點 56 所傳入的浮動訊號，以及來自動態電路中與串聯的反聯及內容定址記憶胞組 50 同步的時序訊號，經由互斥閘 541

依據不同浮動訊號與時序訊號的組合，而產生四種不同的互斥控制訊號並經由 P 型電晶體 542 傳出一相對應的資料訊號。有關於上述四種不同的互斥控制訊號，請參考下列表一所示，其中，在動態電路處於預充電的初階段，則互斥閘 541 接收到的浮動訊號將為低訊號且時序訊號亦為低訊號，則互斥閘 541 會做出開啟互斥狀態保持器 54 以加速預充電流程的判斷處理，立即輸出可及時反應需求的低互斥控制訊號；而在完成預充電且將進入評估階段的期間，由於此動態電路正處於最初的評估階段，互斥閘 541 所接收到的浮動訊號將為高訊號且時序訊號為低訊號，互斥閘 541 會做出避免衝擊表現的判斷處理，立即輸出可及時反應動態電路需求的高互斥控制訊號；而在浮動訊號為高訊號且時序訊號為高訊號時，表示此動態電路可能在進入評估階段的初期，在此時期中只要在互斥閘 541 延遲大於動態電路傳遞延遲的情況下，浮動節點 56 就會逐漸地昇壓至最終正確的電壓值，由於動態電路傳遞延遲的值相當的小，故，此時的互斥閘 541 會做出調節性開啟互斥狀態保持器 54 的低訊號，一方面增加動態電路抗雜訊的能力，另一方面則是等待浮動節點 56 一旦達到最終的目標儲存值後，才會再依照不同的訊號輸入以更改互斥狀態保持器 54 的作動；最終，在浮動節點 56 達到最終的目標儲存值時即表示已完全完成評估階段，因此，儲存於浮動節點 56 係為低訊號且時訊訊號為高訊號，則互斥閘 541 會做出關閉互斥狀態保持器 54 的判斷處理，立即輸出可及時反應動態電路需求的高互斥控制訊號。而在各種不同的動態電路狀態下，互斥閘 541 會輸出不同的互斥控制訊號至 P 型電晶體 542 中，再藉由 P 型電晶體 542 將相對應於這些互

斥控制訊號的資料訊號傳出此互斥狀態保持器 54，並可經由反向器 58 再將訊號進行對外的傳輸。

表一

時序訊號	浮動訊號	互斥控制訊號, 相對應之作動
低	低	低, 加速預充電流程
低	高	高, 避免衝擊表現
高	低	高, 關閉互斥狀態保持器
高	高	低, 增加抗雜訊能力

接著，請參考第五(b)圖，圖中提供本發明中互斥狀態保持器內之其中一種互斥開實施態樣之電路圖，其中，此電路包含三個電晶體組 51、53、55，每一電晶體組係由一 P 型電晶體 511、531、551 與一 N 型電晶體 512、532、552 耦接所構成，在第一電晶體組 51 中，其係與動態電路中的電晶體開關(未顯示於圖中)電連接以接收動態電路中的時序訊號；而第二電晶體組 53 與浮動節點(未顯示於圖中)電連接，以接收來自浮動節點所傳入的浮動訊號，且藉由第二電晶體組 53 與第一電晶體組 51 耦接，可將第一電晶體組 51 的時序訊號傳輸至第二電晶體組 53 中；另外，第三電晶體組 55 與第二電晶體組 53 耦接，除了可以接收到第二電晶體組 53 所接收到的浮動訊號，並可藉由第二電晶體組 53 與第一電晶體組 51 的耦接關係，同時接收到來自動態電路的時序訊號，而產生上述所提及之可隨動態電路狀態變

化而即時改變的互斥控制訊號。

在不同的動態比對線電路狀態下，互斥狀態保持器可產生不同的訊號，以控制相對的作動，而在動態比對線電路中的互斥控制訊號與其他訊號之時序將於第六圖中顯示，請參考第六圖所示，其係揭示出應用互斥狀態保持器的反聯及比對線電路架構的時序圖(timing diagram)，當互斥狀態保持器的反聯及比對線的電路系統在最初的預充電狀態下，互斥狀態保持器將開啟以對浮動節點進行充電，進入評估階段後，若搜尋的資料與儲存值相同，則浮動節點將會保持在高邏輯，並且互斥狀態保持器將會調節性地開啟以增加電路系統對雜訊的抵抗能力，然而，若搜尋的資料與儲存值不符時，則比較電路將會開始對浮動節點進行放電，同時，互斥狀態保持器也將會關閉。由以上的作動描述可得知，應用互斥狀態保持器的動態比對線電路架構，可透過互斥狀態保持器在不同的電路系統狀態下，有效且即時地改變整個電路系統的作動，以達到快速的處理速度，並且節省功率的損耗。

以上提供之實施例係為本發明的主要精神，接著，將提出三個以 64 位的反聯及形式比對線電路系統架構為主體，但分別設置有習知的回饋保持器、習知的弱保持器，以及本發明所揭露之互斥狀態保持器。以下，將介紹此三種具有不同保持器之比對線電路系統架構之各種特性比較。

首先，針對抗雜訊能力(noise tolerance)的比較，雖然在習知的觀念裡，保持器的強度與其尺寸為正比的關係，然，在真實的情況中，相同的保持器尺寸下，實際的保持器強度卻與保持器的架構型態有關。在以廣泛

使用的雜訊單位增益(Unity Noise Gain, UNG)方法進行測試後，請參考第七(a)圖、第七(b)圖以及第七(c)圖，此三圖顯示出以雜訊單位增益為橫軸，縱軸則分別為搜尋時間、功率消耗以及能量消耗的曲線圖，無論在搜尋時間、功率消耗或是能量消耗的比較上，均可以十分明顯地看出互斥狀態保持器具有不受雜訊干擾影響的特性，在雜訊測試所採用的 855 至 885 毫伏特雜訊範圍間，就搜尋時間而言，本發明的互斥狀態保持器可維持在 70 皮秒以下，就功率消耗而言，在此測試範圍中，本發明的互斥狀態保持器可維持在 45 微瓦左右，而就能量的消耗而言，本發明的互斥狀態保持器可維持在 3 飛焦附近，與習知的保持器比較，著實有相當優異的表現。

接續，請參考第八(a)圖、第八(b)圖以及第八(c)圖，此三圖中係為以經由上述的雜訊單位增益方法所得到在 870 毫伏特之數據為例，將三種具有不同保持器的比對線電路系統架構在搜尋時間、功率消耗以及能量消耗的比較結果上，以直條圖顯示出三者的差異性，其中，在搜尋時間的比較上，本發明的互斥狀態保持器較習知的回饋保持器可縮短 22.9% 的延遲，且較習知的弱保持器可縮短 27.7% 的延遲，而在功率消耗的比較上，本發明的互斥狀態保持器較習知的回饋保持器可節省 10.5% 的損耗，且較習知的弱保持器可節省 10.7% 的損耗，在能量消耗的比較上，本發明的互斥狀態保持器較習知的回饋保持器可節省 31% 的損耗，且較習知的弱保持器可節省 34.5% 的損耗。

另外，請參考第九圖所示，係提供以搜尋一位元資料，且發生在搜尋資料與儲存值不符合的情形下，其雜訊強度為 870 毫伏特時之波形圖

(waveform)，互斥狀態保持器與回饋保持器在頂端的面積差異十分微小，而就本測試所使用的 64 位元反聯及形式比對線電路系統架構中，互斥狀態保持器的頂端面積約縮小了 1.45%，而在 32 位元與 128 位元的反聯及形式比對線電路系統架構中，互斥狀態保持器的頂端面積分別約縮小了 2.67% 以及 0.8%，意即本發明的互斥狀態保持器係可以在一定的雜訊影響中，提供比習知保持器為低的功率消耗。

介紹完以動態反聯及形式比對線電路系統架構為主體的各種不同保持器之特性，接著將再繼續介紹以動態差及形式比對線電路系統架構為主體的各種不同保持器之特性，由於上述動態反聯及形式比對線電路系統架構係為寬扇入(wide fan-in)電路，而動態差及形式比對線電路系統架構係為深扇入(deep fan-in)電路，因此，為了消除電荷共享效應(charge sharing effect)，通常會使用保持器的設計，請同時參考第四(a)圖、第四(b)圖、第四(c)圖以及第十圖所示，於動態差及形式比對線電路系統架構中，第四(a)圖與第四(b)圖係提供使用保持器設計之電路系統架構，分別是微習知的回饋保持器 404 以及弱保持器 414，而在第四(c)圖中則提供以雙 N 型電晶體 424 取代保持器之應用，均是為了達到消除電荷共享效應的目的，而在第十圖中，係提供應用本發明之互斥控制保持器 64 之差及形式比對線電路系統之架構示意圖。

眾所週知的，在固定的搜尋時間限制下，若欲以保持器的設計以降低雜訊的干擾，增大保持器的尺寸是不可避免的手段，但增加保持器尺寸勢必使比較電路的尺寸隨之增加，將造成波形圖中的頂端面積增加，且同時

會面臨到更大的功率消耗。為了讓具有不同保持器的動態差及形式比對線電路系統架構的特徵更加容易明瞭，在下一段落裡，將利用與上述相同之雜訊單位增益方法與手段，提出回饋保持器、弱保持器、雙 N 型電晶體以及互斥狀態保持器四種不同保持器之特徵在不同的雜訊干擾下的比較。

在進行雜訊單位增益方法時，所使用的係為 8 位元的差及形式比對線電路系統架構，最終的測試結果請參考第十一(a)圖、第十一(b)圖以及第十一(c)圖所示，係以雜訊單位增益為橫軸，縱軸則分別為搜尋時間、功率消耗以及能量消耗的曲線圖，與在動態反聯及形式比對線電路系統架構的測試結果相同，係為以應用互斥狀態保持器的比對線電路系統架構之搜尋時間為最短，由第十一(a)圖所提供的數據可知，其搜尋時間約在 40 皮秒，且具有最低的功率與能量消耗，實際的數據係可由第十一(b)圖及第十一(c)圖得知，其功率消耗不超過 16.5 微瓦、能量消耗大約在 0.65 飛焦左右。

同時，選擇以 810 微伏特的固定雜訊為比較條件，將四種不同保持器的特徵做比較，請參考第十二(a)圖、第十二(b)圖以及第十二(c)圖，可得知互斥狀態保持器在搜尋時間的表現上，可較回饋保持器縮短了約 19.2% 的搜尋時間、而較弱保持器縮短了約 27.1% 的搜尋時間、且較雙 N 型電晶體縮短了約 16.3% 的搜尋時間；在功率消耗的比較上，互斥狀態保持器約分別較回饋保持器、弱保持器、雙 N 型電晶體節省了 3.5%、8.5%、8.9% 的功率；最後，在能量消耗的比較上，則互斥狀態保持器可提供較回饋保持器、弱保持器、雙 N 型電晶體節省 22.1%、33.3%、23.8% 的能量。

然而，與動態反聯及形式比對線電路系統架構不同，在動態差及形式

比對線電路系統架構中，唯有在搜尋的資料與儲存的值完全相符時，比較電路才會將浮動節點放電至接地電壓。因此，在第十三圖係提供在搜尋 8 位元資料，且為在搜尋資料與儲存值相符合的情形下，雜訊強度為 810 毫伏特時之波形圖，互斥狀態保持器的頂端面積與回饋保持器、弱保持器及雙 N 型電晶體相比，約節省 1.8%、1.0%與 2.5%，在上述的比較結果中，係由固定尺寸的比較電路與增加尺寸的保持器或是雙 N 型電晶體所推演而得的。以上，係藉由雜訊單位增益的方法，證實了互斥狀態保持器在一定的雜訊強度下，其優秀的特性不單只表現在傳遞延遲的能力上，更充分顯露於節省功率的功能。

下一步，將以一固定的搜尋時間來檢視保持器的功率消耗，一般為了縮短搜尋時間，必須增加比較電路的尺寸設計，因此，更多的雜訊與更大的功率消耗將視為理所當然的負擔。故，在固定保持器與雙 N 型電晶體的尺寸前提之下，增加比較電路的設計尺寸，請參考第十四圖所示之功率消耗對搜尋時間的曲線圖，其中所測試的仍是為 8 位元的動態差及形式比對線電路系統架構，基於相同的搜尋時間下，互斥狀態保持器係具有最短的搜尋時間，舉例說明，在 54.5 皮秒的搜尋時間上，相對於習知的保持器與雙 N 型電晶體，互斥狀態保持器係可節省約 20.6%、11.3%的功率，更甚者，在雜訊為 810 毫伏特的情形下，採用互斥狀態保持器的動態差及形式比對線電路系統架構係較利用傳統保持器具有更良好的表現，且在雜訊為 784、786 毫伏特的情形下，採用互斥狀態保持器的動態差及形式比對線電路系統架構係較利用雙 N 型電晶體有更良好的表現。

至此，有關於本發明所提出的互斥狀態保持器及其應用於比對線架構的特徵與能力已說明完畢。因此，可歸納出本發明具有以下優點：第一，本發明所提出的互斥狀態保持器在無須藉由增加保持器尺寸的前提下，在電路的應用上更加具有設計的彈性；第二，本發明的互斥狀態保持器因具有隨不同電路系統狀態而改變的控制能力，有別於習知的保持器僅能以開關兩種控制模式，不但可有效提高比對線在進行處理時之抗雜訊功能，同時亦可兼顧高的處理速度與低的功率損耗；第三，本發明的互斥狀態保持器應用於比對線中，由於可及時獲得與電路系統中內容定址記憶胞組同步的時序訊號，不只可消除傳遞延遲的顧慮，更可有效地降低功率的損耗；最後，本發明之互斥狀態保持器除了可應用於比對線的電路架構外，更因為其係具備有高度抗雜訊的能力，適合應用於所有動態電路中，尤其更是相當適用於雜訊敏感度極高的高扇入電路。

而以下將提出本發明之另一實施例，係以利用台灣積體電路製造股份有限公司(TSMC)中 0.13 微米技術之互補金氧半導體(complementary metal-oxide semiconductor, CMOS)製程，完成一可實現的差及比對線封包過濾(packet filter, PF)式之蜂巢式數位封包數據系統(cellular digital packet data, CDPD)，藉由此系統以比較本發明之互斥狀態保持器與習知保持器在實際網際網路封包技術上應用之特徵差異性。

請參考第十五圖所示，提供一比較應用不同保持器的差及比對線封包過濾式之蜂巢式數位封包數據(PF-CDPD)系統 70 中，由於已知可將一個 256 字元數 x128 位元數的三元內容定址記憶體(ternary CAM, TCAM)拆解為兩

個 256 字元數 x64 位元數的三元內容定址記憶體次陣列(sub-array)72 組合，因此，本圖中係提供由此三元內容定址記憶體次陣列組 74 以重複 8 階(8-stage)的形式，且每一階是由 8 位元扇入電路組成的架構，並應用本發明之互斥狀態器以構成第一三元內容定址記憶體架構；而在第二三元內容定址記憶體架構(未顯示於圖中)中，係為每一比對線的次陣列中以 11 階的封包過濾式之蜂巢式數位封包數據系統，其中，在此封包過濾式之蜂巢式數位封包數據系統之第一階是由一 4 位元扇入電路組成，而其餘各階則由 6 位元的扇入電路組成，且所有封包過濾式之蜂巢式數位封包數據電路中所應用的保持器均為習知保持器的架構；最後，在第三三元內容定址記憶體架構(未顯示於圖中)中，係為每一比對線的次陣列中以 8 階的封包過濾式之蜂巢式數位封包數據系統，其中，每一階則由 8 位元的扇入電路組成，且所有封包過濾式之蜂巢式數位封包數據電路中所應用的保持器均為習知保持器的架構。

利用以上三種三元內容定址記憶體架構所形成之封包過濾式之蜂巢式數位封包數據電路系統，在搜尋過程中進行搜尋時間、功率消耗的比較，並且，搜尋時間將定義為只有在資料符合時，自比對線之預充電訊號為高訊號至比對線輸出訊號為高訊號所需的時間。請參考第十六圖，此圖係提供上述三種的三元內容定址記憶體架構所形成之封包過濾式之蜂巢式數位封包數據電路系統之波形圖，且曲線(a)為比對線預放電電壓曲線、曲線(b)為第一系統電壓曲線、曲線(c)為第二系統電壓曲線以及曲線(d)為第三系統電壓曲線，其中，利用互斥保持器之第一系統，可較第二系統節省約

37.8%的搜尋時間，而可較第三系統節省約 31.9%的搜尋時間；而在功率的消耗上，第一系統與第二系統以及第三系統比較時，分別可節省下 15.6%與 18.2%的功率。可使得應用互斥狀態保持器的系統可具有較為快速的處理速度及有效節省功率消耗的原因，第一，由於互斥狀態保持器可在比對線進入評估階段的初期提供一關閉保持器的操作窗口，因此，可有效地縮短搜尋的時間；第二，因為在相同的搜尋時間條件下，互斥狀態保持器所需的比較電路尺寸較習知保持器所需的比較電路尺寸為小，故，較小的比較電路尺寸可有效地節省空間，更可降低包含有比對線電容、搜尋線電容之切換電容；第三，電荷共享效應亦可因為互斥狀態保持器的應用，而有效地減弱其造成的影響。

另外，本發明亦提供一種將互至狀態器應用於比對線中的架構，在藉由 0.13 微米之互補金氧半導體製程的製作手法應用，所獲得之比對線在一定的雜訊干擾前提下，如於 870 毫伏特的雜訊中，可有效地縮短搜尋時間並降低功率的消耗，而更證明在 64 位元的反聯及比對線架構中，與擴大尺寸的習知保持器及習知的弱保持器比較，可減少 31%與 34.5%的能量損耗，且更節省下 1.45%的內容定址記憶體字元架構；而同時也在差及比對線架構的應用中，進行與習知保持器、弱保持器與雙 N 型電晶體的比較，具有互斥狀態保持器的差及比對線不但具有 1.0-1.8%的能量消耗降低量，在雜訊容忍測試的表現上，明顯地優於使用其他保持器之比對線表現，同時，在相同的搜尋時間條件下，本發明亦可提供最低的面積成本。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者

能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

【圖式簡單說明】

第一(a)圖為習知反聯及形式內容定址記憶體中部分比對線電路架構示意圖。

第一(b)圖為習知反聯及內容定址記憶體單一細胞電路架構圖。

第二(a)圖為習知差及形式內容定址記憶體中部分比對線電路架構示意圖。

第二(b)圖為習知差及內容定址記憶體單一細胞電路架構圖。

第三(a)圖為習知反聯及內容定址記憶體之回饋保持器比對線電路架構示意圖。

第三(b)圖為習知反聯及內容定址記憶體之弱保持器比對線電路架構示意圖。

第四(a)圖為習知差及內容定址記憶體之回饋保持器比對線電路架構示意圖。

第四(b)圖為習知差及內容定址記憶體之弱保持器比對線電路架構示意圖。

第四(c)圖為習知差及內容定址記憶體之雙N型電晶體比對線電路架構示意圖。

第五(a)圖為本發明之互斥狀態保持器應用於動態反聯及內容定址記憶體比對線電路架構示意圖。

第五(b)圖為本發明互斥狀態保持器之其中一種內部電路圖。

第六圖為本發明之互斥狀態保持器應用於動態反聯及內容定址記憶體比對線電路時序圖。

第七(a)圖至第七(c)圖為應用互斥狀態保持器、回饋保持器以及弱保持器之動態反聯及內容定址記憶體比對線電路架構分別進行雜訊單位增益對搜尋時間、功率消耗以及能量消耗之測試結果曲線圖。

第八(a)圖至第八(c)圖為應用互斥狀態保持器、回饋保持器以及弱保持器之動態反聯及內容定址記憶體比對線電路架構分別進行雜訊單位增益對搜尋時間、功率消耗以及能量消耗之測試結果直條圖。

第九圖為應用互斥狀態保持器、回饋保持器以及弱保持器之動態反聯及內容定址記憶體比對線電路架構在固定雜訊(870 毫伏特)下之波形圖。

第十圖為本發明之互斥狀態保持器應用於動態差及內容定址記憶體比對線電路架構示意圖。

第十一(a)圖至第十一(c)圖為應用互斥狀態保持器、回饋保持器、弱保持器以及雙 N 形電晶體之動態差及內容定址記憶體比對線電路架構分別進行雜訊單位增益對搜尋時間、功率消耗以及能量消耗之測試結果曲線圖。

第十二(a)圖至第十二(c)圖為應用互斥狀態保持器、回饋保持器、弱保持器以及雙 N 形電晶體之動態差及內容定址記憶體比對線電路架構分別進行雜訊單位增益對搜尋時間、功率消耗以及能量消耗之測試結果直條圖。

第十三圖應用互斥狀態保持器、回饋保持器以及弱保持器之動態差及內容定址記憶體比對線電路架構在固定雜訊(810 毫伏特)下之波形圖。

第十四圖為回饋保持器、雙 N 型電晶體、互斥狀態保持器比對線電路架構

之消耗功率對搜尋時間曲線圖。

第十五圖為本發明應用於 256x128 位元之三元內容定址記憶體電路架構示意圖。

第十六圖為本發明應用於 256x128 位元之三元內容定址記憶體電路架構之波形圖。

【主要元件符號說明】

- 11 反聯及內容定址記憶胞組
- 111 反聯及內容定址記憶胞
- 112 反聯及內容定址記憶體
- 113 下提 N 型電晶體
- 13 電晶體開關
- 15 反向器
- 171、172、173、174 N 型電晶體
- 175 下提 N 型電晶體
- 191、192 反向器
- 20 差及內容定址記憶胞組
- 201 差及內容定址記憶胞
- 202 差及內容定址記憶體
- 203 下提 N 型電晶體
- 22 電晶體開關
- 24 反向器
- 211、212、213、214 N 型電晶體

- 215 下提 N 型電晶體
- 231、232 反向器
- 30 反聯及內容定址記憶胞組
- 32 電晶體電路開關
- 34 回饋保持器
- 36 反向器
- 31 反聯及內容定址記憶胞組
- 33 電晶體電路開關
- 35 弱保持器
- 351、352 P 型電晶體
- 37 反向器
- 400 差及內容定址記憶胞組
- 402 電晶體電路開關
- 404 回饋保持器
- 406 反向器
- 410 差及內容定址記憶胞組
- 412 電晶體電路開關
- 41 弱保持器
- 411、412 P 型電晶體
- 416 反向器
- 420 差及內容定址記憶胞組

- 422 電晶體電路開關
- 424 雙N型電晶體
- 426 反向器
- 50 反聯及內容定址記憶胞組
- 52 電晶體電路開關
- 54 互斥狀態保持器
- 541 互斥開
- 542 P型電晶體
- 56 浮動節點
- 58 反向器
- 51、53、55 電晶體組
- 511、531、551 P型電晶體
- 512、532、552 N型電晶體
- 60 差及內容定址記憶胞組
- 62 電晶體開關
- 64 互斥狀態保持器
- 641 互斥開
- 642 P型電晶體
- 66 浮動節點
- 68 反向器
- 70 差及比對線封包過濾式之蜂巢式數位封包數據系統

72 256 字元數 x64 位元數的三元內容定址記憶體次陣列

74 三元內容定址記憶體次陣列組

摘要

本文中提出了一個為高扇入的動態電路而設計的抗雜訊互斥狀態保持器，此電路藉著狀態保持器而可以大幅提高雜訊免疫能力。在某些條件下，狀態保持器將關閉，以降低功率消耗並且提高元件速度。同時，控制開關訊號的時間斟酌與雜訊免疫能力對於速度與功率消耗也在本文中提出。本論文中，使用高扇入的動態電路驗證狀態保持器對於雜訊免疫的能力，結合時脈閘控的分散式功率閘控設計也同時在本文中進行驗證。本文所有的模擬結果均使用台灣積體電路製造股份有限公司 100 奈米的互補金氧半導體製程技術。在相同的單位增益直流雜訊標準下，比起傳統的電路設計，本文提出的新電路設計可以節省超過 20% 的功率消耗以及提高 20% 的電路速度。使用相同的電路速度可以提高超過 25% 的雜訊免疫能力。

簡介

在高效能的微處理器與數位訊號處理器中，高扇入的動態電路，例如：乘法器與比較器中，都被大量的使用。雖然高速高扇入的動態電路對於各類的雜訊都非常敏感，但是電路依然需要正常工作。同時因為製程的進步，漏電電流、耦合雜訊與電壓源的波動雜訊都將提高動態電路的軟錯誤率。本文

將使用單位增益直流雜訊量表來表現動態電路的所有輸入端對於混合式直流雜訊的抵抗能力。

在第一圖中，一個加上多個雜訊源的多對一的多工器，不穩定的電壓源會在預充電期間影響實際輸出電壓值，漏電電流與耦合雜訊會將浮接節點進行放電。在奈米製程技術中，漏電電流會和製程參數變化有很大的關係。第一圖動態電路中的保持器，在評估模式後，依然可以正確地維持浮接節點所儲存的電壓值。

電晶體的漏電電流與金屬線路間的耦合雜訊影響都因為奈米製程的電晶體臨界電壓與兩金屬線間的最小間距的降低而大幅增加。上述兩個因素也減低動態電路的雜訊干擾範圍。傳統上，增加保持器的面積可以解決大部分的問題同時達成所需的雜訊干擾範圍，卻會造成元件速度降低與動態功率消耗增加的問題。本文將會提出一個在不損及功率消耗與元件速度下提高雜訊免疫能力新的互斥狀態保持器電路架構。

本文餘下的段落結構如下。第二段將會介紹不損及功率消耗與元件速度下提高雜訊免疫能力新的互斥狀態保持器電路架構，電路設計考量也會在此段落中提出，結合時脈閘控的分散式功率閘控設計將會在第三段提出，而於第四對中，將會討論狀態保持器對混合直流雜訊的敏感度，最後總結本文。

互斥狀態保持器

英特爾在[4]中提出的一個狀態保持器電路架構裡包含緩衝電路、固定面積的靜態保持器以及一個可提供較好的雜訊免疫能力的增大尺寸的狀態保持器。如[3]中所提及的，使用英特爾所提的狀態保持器之動態電路效能是與需要繁複設計的緩衝電路延遲有很大的關係。

本文提出的互斥狀態保持器主要想法是避免使用延遲的時序訊號去控制。表一列出本文提出的控制訊號與其相對應的保持器狀態並說明如下。

當時序訊號與浮接節點均為邏輯 0 時，動態電路會位於預充電過程的開端，同時開啟條件式保持器以加速預充電過程。

當時脈訊號為邏輯 0 而浮接節點為邏輯 1 時可完成預充電過程，同時互斥閘開始進行評估的過程。因此，狀態保持器應該關閉以提高電路速度與降低功率消耗。

當時序訊號與浮接節點均為邏輯 1 時，動態電路不是在評估過程的開端就是在評估過程的結尾以儲存邏輯 1 於浮接節點。當位於評估過程的開端時，只要互斥閘的速度低於動態電路則浮接節點最終都能夠在正確的邏輯值穩定下來。因為動態電路速度較快，狀態保持器將在評估過程的開端微微開啟，同時依據浮接節點的穩態邏輯值來開或關狀態

保持器。

當時序訊號為邏輯 1 而浮接節點為邏輯 0 時，完成評估過程且儲存邏輯 0 於浮接節點中，因此狀態保持器為關閉的。

由我們所需的控制訊號推算可知，互斥閘是本文所需要的邏輯運算閘。第二圖為以互斥閘與反互斥狀態的保持器，本文所使用的互斥閘與反互斥閘如第三圖所示。互斥狀態保持器的時脈圖如第四圖所示。

本文採用第四圖中互斥閘的原因，為使用較少的電晶體以及可產生軌對軌的輸出。另外，亦有不同的四顆電晶體互斥閘在文獻中提及，然而大多數的互斥閘偵測均基於電晶體的開關感應，所以互斥閘沒有辦法有全幅訊號的輸出，這個缺點減低了狀態保持器的雜訊免疫能力。

本文使用一個具有引腳結構的 64 扇入動態互斥閘電路以做效能比較。雖然各種不同設定的保持器效能普遍正比於保持器的面積大小，但是實際上不同設定相同面積大小的保持器效能是不同的。對於雜訊容忍度比較，保持器的面積大小不會是重點，重點是保持器對於直流雜訊的抵抗能力。單位增益直流雜訊量表將用於評鑑雜訊抵抗的能力。

與傳統增加保持器尺寸的做法相比，本文提出的保持器在單位增益直流雜訊於 295 毫伏時可以

節省 24% 的功率消耗以及提高 25% 的電路速度。在同樣的電路速度狀態下，本文提出的保持器可以提高 34% 的直流雜訊免疫能力。

反互斥閘是另外一個可用於本文提出的保持器，此反互斥閘的輸入為時脈訊號與輸出而不是時脈訊號與浮接節點，同時，其邏輯功能與互斥閘相同，不過與互斥閘相比，反互斥閘無法即時監控浮接節點而使得單位增益直流雜訊量表的效能降低。

採用本文所提保持器之 8 位元反聯及動態電路會比傳統保持器多出 6% 的面積大小，而 64 位元反聯及動態電路會比傳統保持器多出 1.5% 的面積大小。

如第五圖所示，在使用相同的單位增益直流雜訊量表，互斥狀態保持器的電路速度會比傳統的保持器快。

分散式功率閘控

傳統式功率閘控技術重視功率閘控裝置的面積大小，該裝置於主動模式運作時就如同寄生電阻一般。然而將單一巨大功率閘控裝置放於虛擬接地與實際接地之間是不可能的，因此有三個主要的原因必須將功率閘控裝置分散式放置。

1. 避免虛擬接地與實際接地之間，存在極長的路徑

2. 減少功率閘控裝置佔用過多的面積
3. 將功率閘控裝置整合進入本地裝置

由於引腳是由時序訊號控制，因此，時脈閘控技術與功率閘控裝置將分散式的結合在一起。休眠訊號與時序訊號這兩個訊號控制著動態電路叢集，如同第七圖所顯示。當休眠訊號為邏輯 1 時，在此叢集的動態電路運作於主動模式，當休眠訊號為邏輯 0 時，時序訊號由閘所控制，而在此叢集的動態電路也同時分散式功率閘控。

狀態保持器的敏感度

在同樣的雜訊免疫能力，英特爾提出的狀態保持器會由轉換窗口來決定元件速度與功率消耗。如第八圖與第九圖所示，當轉換窗口的速度高於動態電路速度時，元件速度與功率消耗正比於雜訊免疫能力的增進。

靜態保持器與狀態保持器的面積比同樣影響英特爾提出之狀態保持器的效能。有兩種方式可以決定實際元件面積：一種是固定靜態保持器，另一種是固定靜態保持器與狀態保持器的面積比。前者需要知道固定的轉換窗口時間，雜訊免疫的能力隨著增加狀態保持器的面積。後者根據所需的雜訊免疫能力使用可變化的轉換窗口。

本文提出的狀態保持器不用延遲電路所產生的

轉換窗口，而且不與轉換窗口的長度有關。更有甚者，本文提出的狀態保持器不需要一個小型的靜態保持器，因此對於保持器面積的考量非常簡化。

討論與結論

本文對高扇入電路驗證雜訊免疫能力增進動態電路設計技術，比較傳統保持器與狀態保持器在尺寸增大的效能上，本文提出互斥狀態保持器可以比傳統增大保持器尺寸的方法中，更可在單位增益直流雜訊於 295 微伏下，節省 24% 的功率消耗以及提高 25% 的電路速度。對於具有引腳的 64 扇入的反聯及動態電路，在同樣的電路速度狀態下，本文提出的保持器可以提高 34% 的直流雜訊免疫能力，對有著不同扇入之動態電路有著相同的趨勢。本文所有的模擬結果均使用台灣積體電路製造股份有限公司 100 奈米的互補金氧半導體製程技術。

分散式功率閘控技術應用在動態電路也在本文中得到了驗證，由於動態電路的特性，時序閘控和分散式功率閘控可以結合以進一步降低待機時的功率消耗。

Noise-Tolerant XOR-Based Conditional Keeper for High Fan-in Dynamic Circuits

Chung-Hsien Hua and Wei Hwang

Institute of Electronics
National Chiao-Tung University
Hsin-Chu 300, Taiwan
{cshua, hwang}@eic.nctu.edu.tw

Chih-Kai Chen

Department of Electrical Engineering
Stanford University
Stanford, California, USA
chihkai@stanford.edu

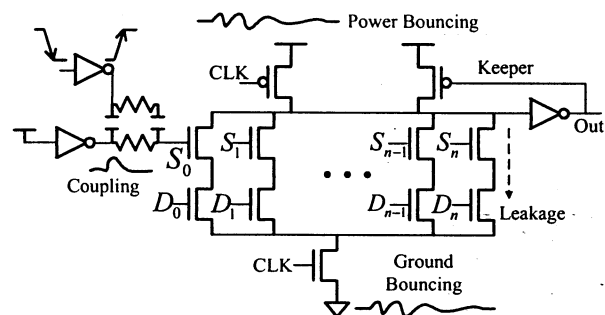
Abstract—Noise-tolerant XOR-based conditional keeper for high fan-in dynamic circuits is presented in this paper. Noise immunity is enhanced by conditionally turning on the conditional keepers. The conditional keeper is turned off at some critical moments to reduce the delay and power consumption. The timing of control signals and their effects on noise immunity, power and delay are also examined. High fan-in dynamic circuits are used to demonstrate the effectiveness of the conditional keeper on noise immunity. Distributed power gating combined with clock gating design is also examined. All the simulation results are based on TSMC 100nm CMOS technology. Compared to conventional techniques, under the same unity-gain DC noise criteria, more than 20% power reduction and 20% delay reduction are achieved. Under the same delay criteria, more than 1.25X noise immunity improvement is attained.

I. INTRODUCTION

High fan-in dynamic circuits are widely used in high performance microprocessors and DSP circuits, such as high fan-in multiplexer or comparator circuits. Although high speed high fan-in dynamic circuits are especially susceptible to all kinds of noises, they must be guaranteed to function correctly. With the advance of technology, leakage current, coupling noise and power/ ground fluctuation noise are increasing the soft-error rate of dynamic circuits. A figure of merit called Unity-Gain DC Noise Margin (UGDN) is used to measure the ability to resist lumped DC noises applied to all input terminals of dynamic circuits.

Shown in Fig. 1 is an N to 1 multiplexer circuit with the presence of vital noise sources. Power or ground bouncing affects the voltage level during the pre-charge period; leakage current and coupling noises discharge the floating nodes. The leakage currents in nano-scale technology are strongly related to process parameter variations [1]. Therefore, for dynamic circuits, keepers as shown in Fig. 1

Figure 1. High fan-in dynamic multiplexer circuit with conventional keeper and the presence of noise sources



are necessary to maintain the correct voltage level stored on the floating node after evaluation mode.

With the scaling of the threshold voltage and the minimum distance between adjacent wires, leakage current of transistors and coupling noises between wires are both getting worse. These two factors reduce the noise margin of dynamic circuits. Conventionally, upsizing the keeper solves most of the problems and restores the required noise margin [2] [3]. However, this causes the propagation delay and dynamic power consumption penalties for enhancing the noise margin. In this paper, we present a new XOR-based conditional keeper to improve noise immunity without significantly sacrificing the delay and power consumption.

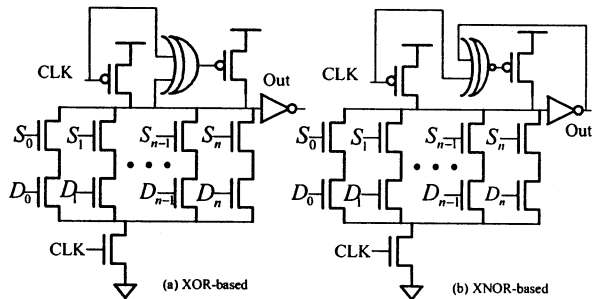
The rest of this paper is organized as follows. Section 2 will demonstrate the enhanced noise immunity of the XOR-based conditional keeper without dramatically increasing the propagation delay and power consumption. Meanwhile, circuit design considerations will be shown. Distributed power gating technique combined with clock gating will be presented in section 3. The sensitivity of the conditional keeper to lumped DC noise will be discussed in section 4. Finally, we will discuss the advantages for the proposed conditional keepers and then conclude this paper.

The work is supported by National Science Council, R.O.C., under the project NSC 92-2220-E-009-011 and TSMC grant. The authors would like to thank MIRC SOC Research Center in NCTU for support of this research.

TABLE I. CONTROL SIGNALS AND THEIR CORRESPONDING KEEPER STATUS

CLK	Floating Node	Proposed control signal on gate of keeper
Low	Low	Low, to speed up the process of pre-charge
Low	High	High, to avoid the impact on performance at the very beginning of evaluation
High	Low	High, keeper should be off
High	High	Low, keeper should be activated to enhance the capability of noise immunity

Figure 2. Proposed conditional keeper with an (a) XOR (b) XNOR gate



II. XOR-BASED CONDITIONAL KEEPER

The conditional keeper proposed by Intel in [4] contains a buffer chain, a size-fixed static keeper, and an up-sizing conditional keeper for larger noise immunity. As shown in [3], the performance of dynamic circuits with Intel's conditional keeper strongly depends on the buffer chain delay which requires tedious design.

The main idea of the proposed XOR-based conditional keeper is to avoid using delayed clock signal. The new control signals and their corresponding keeper status are shown in Table I and described as follows:

When clock signal and the floating node are both low, the dynamic circuit is in the beginning of the pre-charge period and we should turn on the conditional keeper to speed up the pre-charge process.

When clock signal is low and the floating node is high, the pre-charge process is completed and the gate is ready for evaluation. Therefore, the conditional keeper should be turned off to avoid the impact on the delay and power consumption.

When clock signal and the floating node are both high, the dynamic circuit either is at the beginning of the evaluation process or stores state HIGH on the floating node at the end of the evaluation process. If it is at the beginning of the evaluation process, the floating node will be

Figure 3. Schematics of the (a) XOR (b) XNOR gate using in the proposed conditional keeper

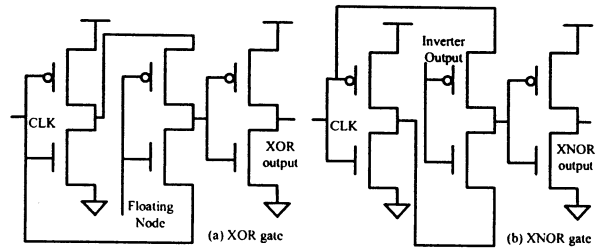
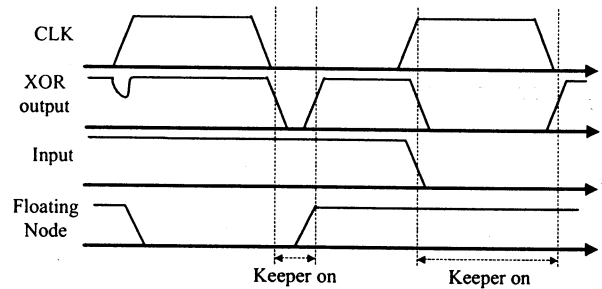


Figure 4. Timing diagram for XOR-based conditional keeper



eventually at the correct voltage level as long as the delay of the XOR gate is larger than the propagation delay of dynamic circuits. Since the delay time of dynamic circuits is shorter, the conditional keeper is slightly turned on at the beginning of the evaluation process and is fully turned on or off according to the final value stored on the floating node.

When clock signal is high and the floating node is low, the evaluation mode is finished and the final value stored on the floating node is low. Therefore, the conditional keeper should be fully turned off.

According to the desired control signals, an XOR gate is what we need for generating these signals. Shown in Fig. 2 are the XOR-based and XNOR-based conditional keepers. The XOR and XNOR gates we use are shown in Fig. 3. The timing diagram for the XOR-based conditional keeper is shown in Fig. 4.

The reason why we choose this XOR gate is that it requires fewer transistors and generates rail to rail output. There are still other 4 transistor XOR gates appeared in publications. However, most of those XOR gates are pass-transistor-based, so the gates cannot have full swing output. This disadvantage degrades the noise immunity of conditional keepers.

A 64 fan-in dynamic NOR circuit with footer is adopted for the performance comparison. Although the keeper strength is generally proportional to the size of keeper, among different configurations, the actual strength of keepers with the same

Figure 5. Delay versus Unity-Gain DC Noise margin for three different keepers

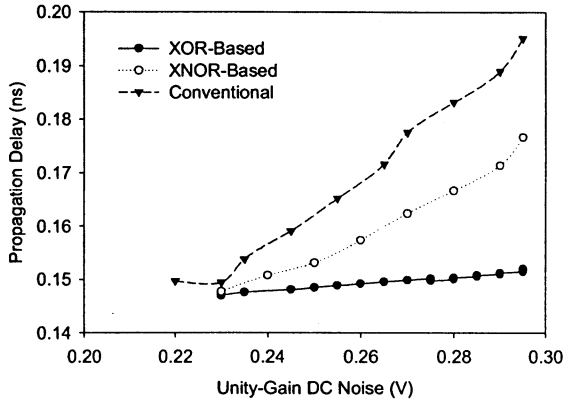
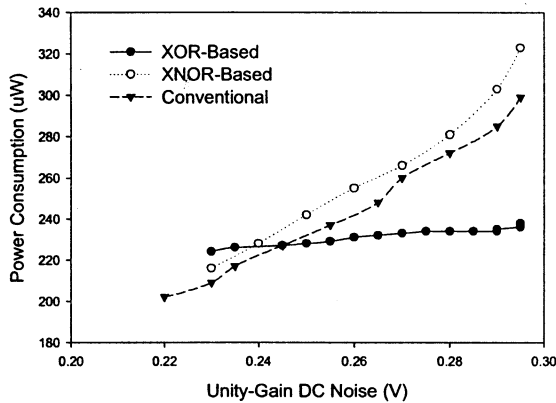


Figure 6. Power consumption versus Unity-Gain DC Noise margin for three different keepers

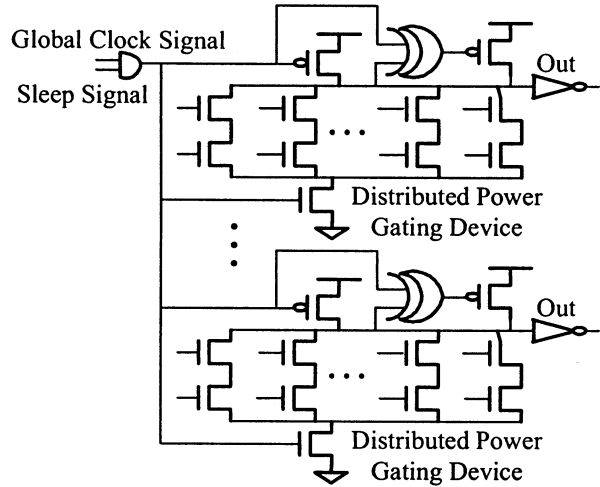


size varies. For the noise tolerance comparison, what we concern about is not the actual size of the keeper device but the ability to resist DC noises. This ability is testified by the widely used Unity-Gain DC Noise margin.

25% delay reduction and 24% power saving, compared to conventional keeper up-sizing, are achieved in the proposed keeper when the Unity-Gain DC Noise margin is at 295mV. Additionally, 1.34X DC noise immunity enhancement is obtained under the same propagation delay criteria.

Another alternative of our conditional keeper is using XNOR gate. The inputs of this XNOR gate are clock and output instead of clock and the floating node. The logic function will be the same as the XOR-based conditional keeper. However, compared to XOR-based conditional keepers, the inability to real-time monitor the changes of the

Figure 7. Distributed power gating and clock gating



floating node degrades Unity-Gain DC Noise margin. Simulation results are shown in Fig. 5 and Fig. 6.

In an 8-bit wide NOR dynamic circuit, adopting this technique increases about 6% of area overhead compared to conventional keeper technique. In a 64-bit wide NOR dynamic circuit, the area overhead is about 1.5% compared to the conventional keeper technique.

From Fig. 5, we know that circuits with XOR-based conditional keepers are faster than circuits with conventional keepers under the same Unity-Gain DC Noise constraint.

III. DISTRIBUTED POWER GATING

Traditional power gating technique cares about the total size of the power gating devices. These devices act like a parasitic resistance during active mode operation [5] [6]. However, it's impossible to insert one single big power gating device between virtual ground and real ground. Therefore, the power gating devices must be inserted in a distributed way for two main reasons.

- 1) to avoid long path from virtual ground to real ground
- 2) to reduce area overhead of power gating devices
- 3) to integrate power gating devices into local circuits

Since the footer is controlled by clock signal, clock gating technique and power gating devices can be merged in a distributed way. A cluster of dynamic circuits is controlled by two signals, Sleep Signal and CLK as shown in Fig. 7. When Sleep Signal is high, the circuits within this cluster are in active mode. When Sleep Signal is low, the clock signal is gated and all the circuits within this cluster are power gated in a distributed way at the same time.

Figure 8. Sensitivity comparison on noise margin immunity and propagation delay

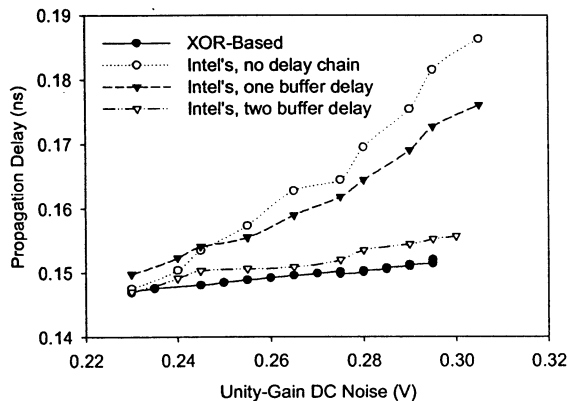
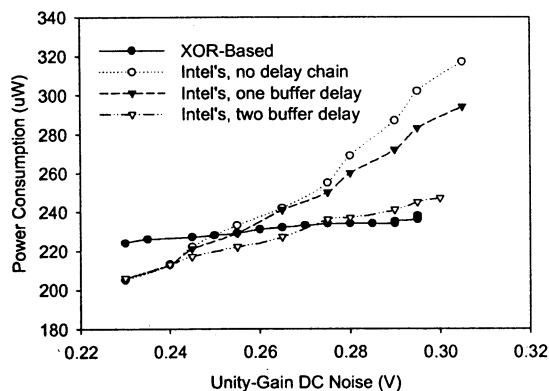


Figure 9. Sensitivity comparison on noise immunity and power consumption



IV. SENSITIVITY OF CONDITIONAL KEEPERS

For Intel's conditional keeper [3], the width of the transition window directly affects the propagation delay and power consumption under the same noise immunity

capability. As shown in Fig. 8 and Fig. 9, when transition window is smaller than the propagation delay of dynamic circuits, the delay and power consumption increase in proportion to noise immunity enhancement.

The size ratio between the static keeper and the conditional one also affects the performance of Intel's conditional keeper. There are two ways to decide the actual sizes of these devices: one is to fix the size of static keeper; the other is to fix the ratio between the static and conditional

keepers. The first method requests a fixed transition window. The noise immunity is improved by increasing the size of conditional keeper. The second method requires a variable transition window according to the desired noise immunity.

The proposed conditional keeper does not require a delay chain to create a transition window and is not sensitive to the width of transition window. Our proposed conditional keeper does not require a small static keeper, either. Therefore, problems regarding keeper sizing are simplified.

V. DISCUSSIONS AND CONCLUSIONS

Noise immunity enhanced dynamic circuit design techniques are examined in this paper for high fan-in circuits. The performance of conventional keeper up-sizing is compared to conditional keeper up-sizing techniques. We proposed an XOR-based conditional keeper to reduce the propagation delay and power consumption while keeping the noise immunity capability. It shows 25% delay reduction and 24% power consumption reduction compared to conventional keeper up-sizing when the unity-gain DC noise level is at 295mV. In addition, 1.34X DC noise immunity enhancement is achieved under the same propagation delay criteria in a 64 fan-in NOR dynamic circuit with footer. Dynamic circuits with different fan-in numbers show the same tendency. All the simulation results are based on TSMC 100nm CMOS technology.

Distributed power gating technique applied to dynamic circuits is also examined in this paper. Due to the nature of dynamic circuits, clock gating and distributed power gating can be combined to further suppress standby power consumption.

REFERENCES

- [1] Kaushik Roy, Saibal Mukhopadhyay, and Hamid Mahmoodi-Meimand, "Leakage Current Mechanism and Leakage Reduction Technique in Deep-Submicrometer CMOS Circuits," in *Proceedings of the IEEE*, vol. 91, Issue 2, pp. 305-327, Feb. 2003.
- [2] Wei Hwang, Rajiv V. Joshi and Walter H. Henkels, "A 500-MHz, 32-Word x 64-Bit, Eight-Port Self-Resetting CMOS Register File," *IEEE Journal of Solid-State Circuits*, Vol. 34, Issue 1, pp. 56-67, Jan. 1999.
- [3] Wei Hwang, George Diedrich Gristede, Pia Sanda, Shao Y. Wang, and David F. Heidel, "Implementation of a Self-Resetting CMOS 64-Bit Parallel Adder with Enhanced Testability," *IEEE Journal of Solid-State Circuits*, Vol. 34, Issue 8, pp. 1108-1117 Aug. 1999.
- [4] A. Alvandpour, R. K. Krishnamurthy, K. Soumyanath and S. Y. Borkar, "A sub-130-nm conditional keeper technique," *IEEE Journal of Solid-State Circuits*, Vol. 37, Issue 5, pp. 633-638, May 2002.
- [5] Chung-Hsien Hua and Wei Hwang, "A Power Gating Structure with Concurrent Data Retention and Intermediate Modes in 100nm CMOS Technology," presented at the 15th VLSI/CAD Symposium, Kenting, Taiwan, Aug. 10-13, 2004.
- [6] P. Babighian, L. Benini and E. Macii, "Sizing and Characterization of Leakage-Control Cells for Layout-Aware Distributed Power-Gating," in *Proceedings of Design, Automation and Test in Europe Conference and Exhibition 2004*, Vol. 1, Feb. 16-20, 2004, pp. 720-721.

十、申請專利範圍：

1. 一種互斥狀態保持器(XOR-based conditional keeper)，其係與複數內容定址記憶體(content addressable memory, CAM)細胞及至少一電晶體開關電連接，該互斥狀態保持器係包括：

一互斥閘(XOR gate)，係分別與該電晶體開關及一浮動節點(floating node)電連接，該互斥閘係接收該電晶體開關所輸入與該等內容定址記憶胞同步之一時序訊號，並經由該浮動節點傳入一浮動訊號，以產生一互斥控制訊號；以及

一 P 型電晶體，係電連接於該互斥閘並接收該互斥控制訊號，以產生一資料訊號。

2. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，該互斥閘之電路架構包括：

一第一電晶體組，其係與該電晶體開關電連接，可用以接收該時序訊號；

一第二電晶體組，其係與該浮動節點電連接，以傳輸該浮動訊號，且該第二電晶體組與該第一電晶體組耦接，係可傳輸該時序訊號；以及

一第三電晶體組，其與該第二電晶體組耦接，以接收該時序訊號與浮動訊號，並產生該互斥控制訊號。

3. 如申請專利範圍第 2 項所述之互斥狀態保持器，其中，該第一電晶體組、第二電晶體組以及第三電晶體組係分別由一 P 型電晶體與一 N 型電晶體所構成。

4. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，輸入該互斥閘之該時序訊號為低訊號，且該浮動訊號為低訊號，則該互斥閘輸出該互斥控

制訊號係使該 P 型電晶體輸出之該資料訊號可加快預充電(pre-charge)流程速度。

5. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，輸入該互斥閘之該時序訊號為低訊號，且該浮動訊號為高訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可在最初期之評估階段(evaluation)避免衝擊(impact)產生。

6. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，輸入該互斥閘之該時序訊號為高訊號，且該浮動訊號為低訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可關閉該互斥狀態保持器。

7. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，輸入該互斥閘之該時序訊號為高訊號，且該浮動訊號為高訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可加強抗雜訊(noise immunity)之能力。

8. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，該 P 型電晶體所輸出之該資料訊號，可經由一反向器(inverter)在改變該資料訊號之極性後輸出。

9. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，該互斥狀態保持器係可應用於所有動態電路(dynamic circuit)中。

10. 如申請專利範圍第 1 項所述之互斥狀態保持器，其中，該互斥狀態保持器係可應用於高扇入電路(high fan-in circuit)中。

11. 一種互斥狀態保持器及其應用於比對線(match line)架構，包括：

複數內容定址記憶胞，每一該等內容定址記憶胞係由一內容定址記憶體及一 N 型電晶體構成，且該等內容定址記憶胞係為串聯方式電連接並產生同步之一時序訊號；

至少一電晶體開關，其係與該等內容定址記憶胞電連接，以傳輸該時序訊號；以及

一互斥狀態保持器，係與該等內容定址記憶胞及該電晶體開關電連接，該互斥狀態保持器係包含：

- 一互斥閘，係與一浮動節點連接，以接收一浮動訊號及該時序訊號，並產生一互斥控制訊號；以及

- 一 P 型電晶體，接收該互斥控制訊號並產生一資料訊號。

12. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，該內容定址記憶體係可為 NOR 型內容定址記憶體。

13. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，該內容定址記憶體係可為 AND 型內容定址記憶體。

14. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，該內容定址記憶體係可為 NAND 型內容定址記憶體。

15. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，該互斥閘之電路架構包括：

- 一第一電晶體組，其係與該電晶體開關電連接，可用以接收該時序訊號；

- 一第二電晶體組，其係與該浮動節點電連接，以傳輸該浮動訊號，且該第二電晶體組與該第一電晶體組耦接，係可傳輸該時序訊號；以及

一第三電晶體組，其與該第二電晶體組耦接，以接收該時序訊號與浮動訊號，並產生該互斥控制訊號。

16. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，該第一電晶體組、第二電晶體組以及第三電晶體組係分別由一 P 型電晶體與一 N 型電晶體所構成。

17. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，輸入該互斥閘之該時序訊號為低訊號，且該浮動訊號為低訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可加快預充電流程速度。

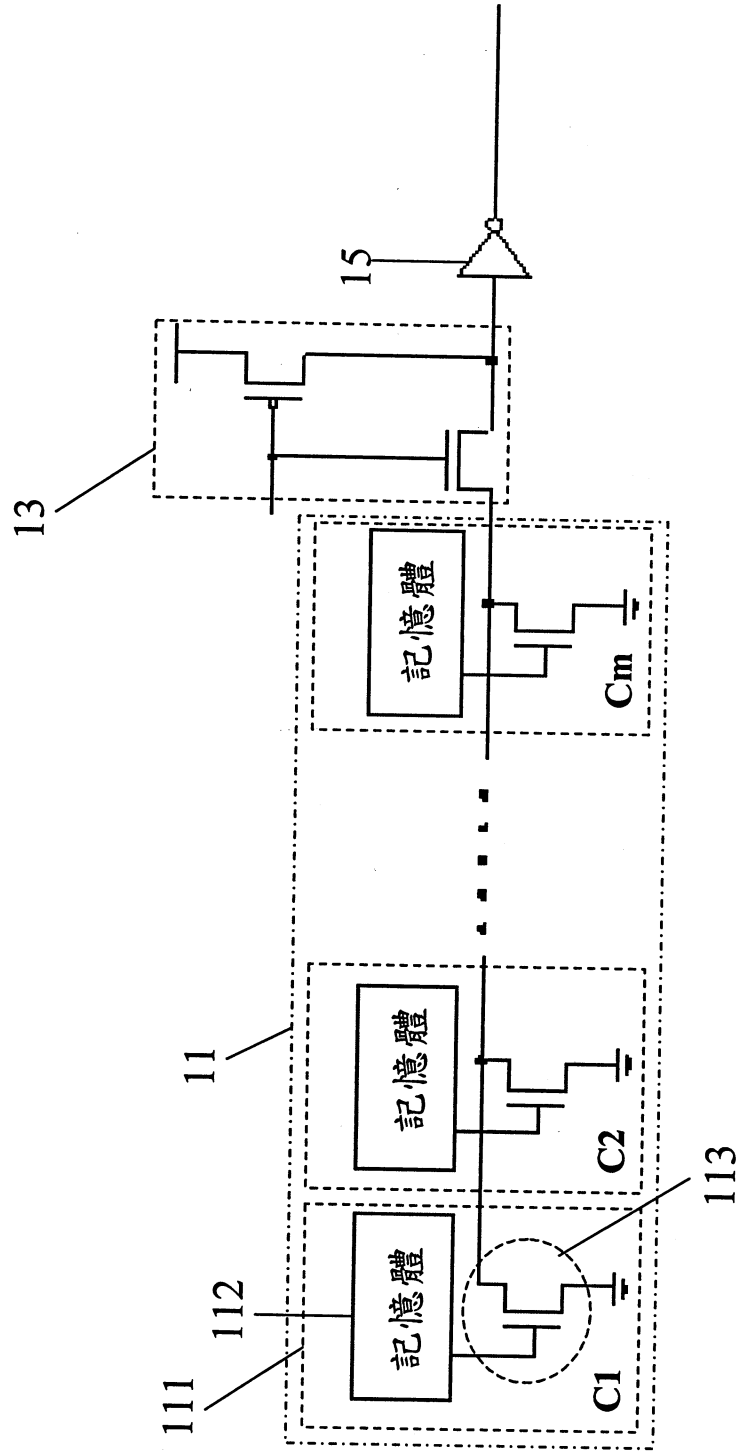
18. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，輸入該互斥閘之該時序訊號為低訊號，且該浮動訊號為高訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可在最初期之評估階段避免衝擊產生。

19. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，輸入該互斥閘之該時序訊號為高訊號，且該浮動訊號為低訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可關閉該互斥狀態保持器。

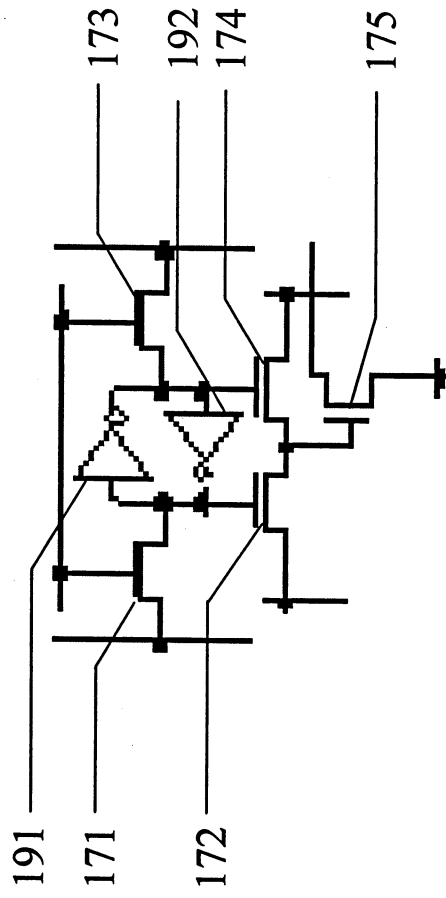
20. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架構，其中，輸入該互斥閘之該時序訊號為高訊號，且該浮動訊號為高訊號，則該互斥閘輸出該互斥控制訊號係使該 P 型電晶體輸出之該資料訊號可加強抗雜訊之能力。

21. 如申請專利範圍第 11 項所述之互斥狀態保持器及其應用於比對線架

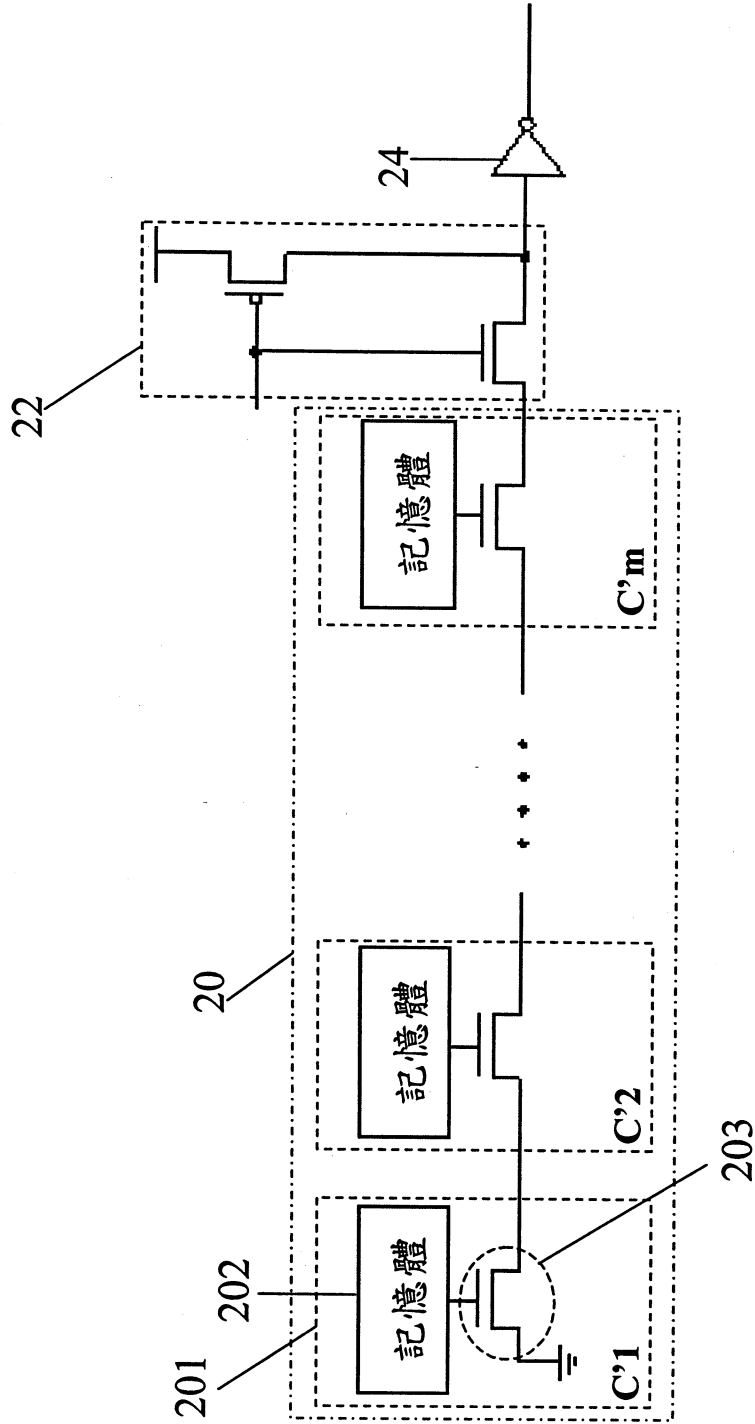
構，其中，該 P 型電晶體所輸出之該資料訊號，可經由一反向器在改變該資料訊號之極性後輸出。



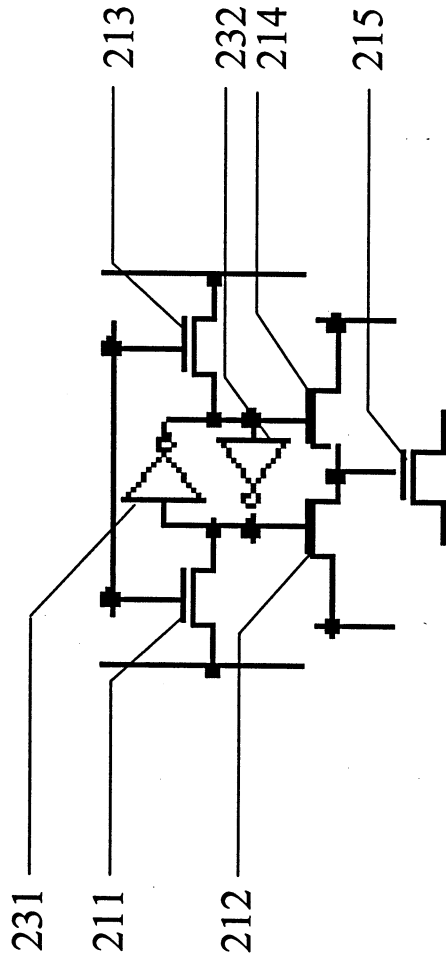
第一(a)圖 (先前技術)



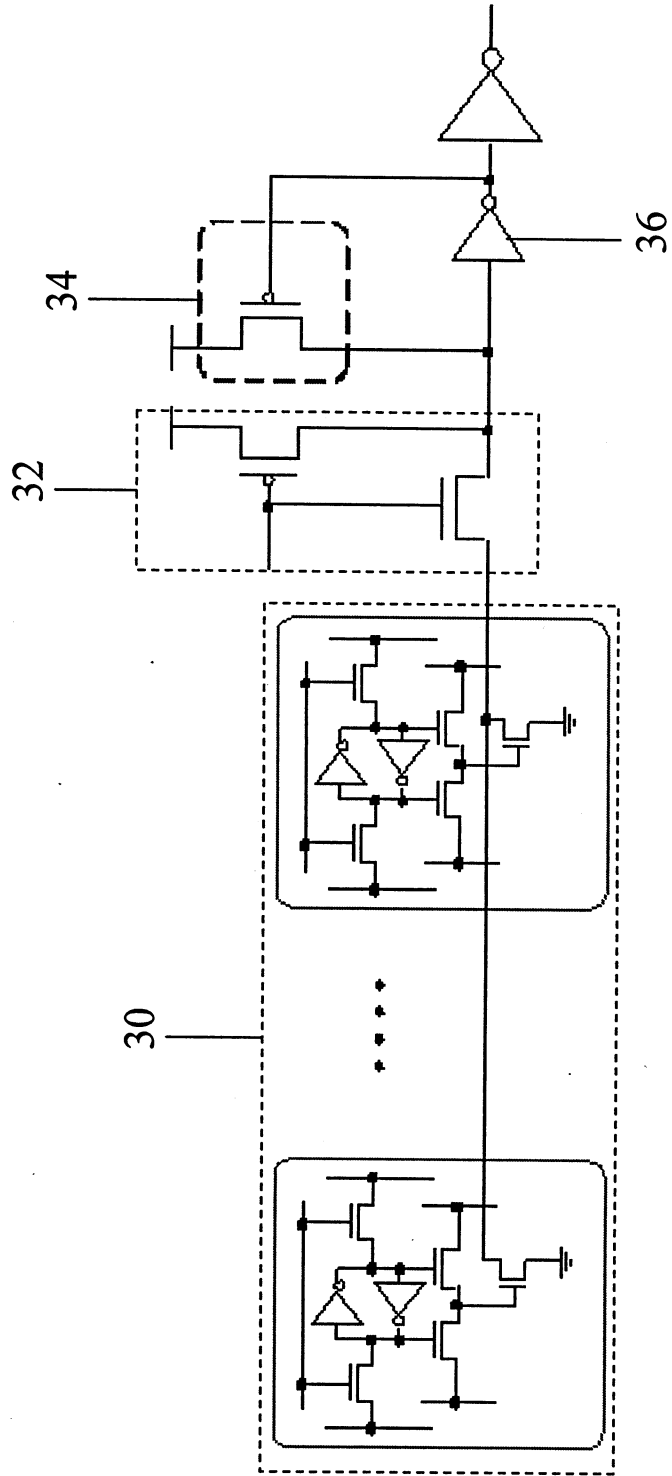
第一(b)圖 (先前技術)



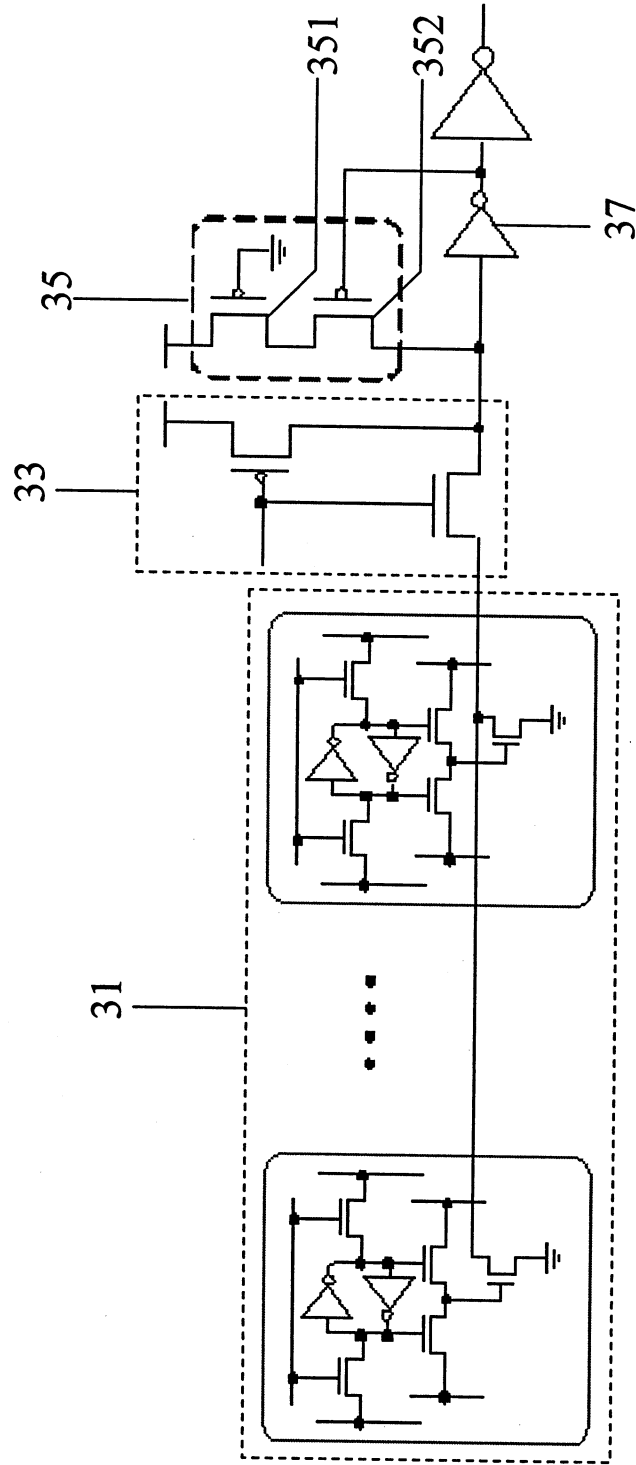
第二(a)圖 (先前技術)



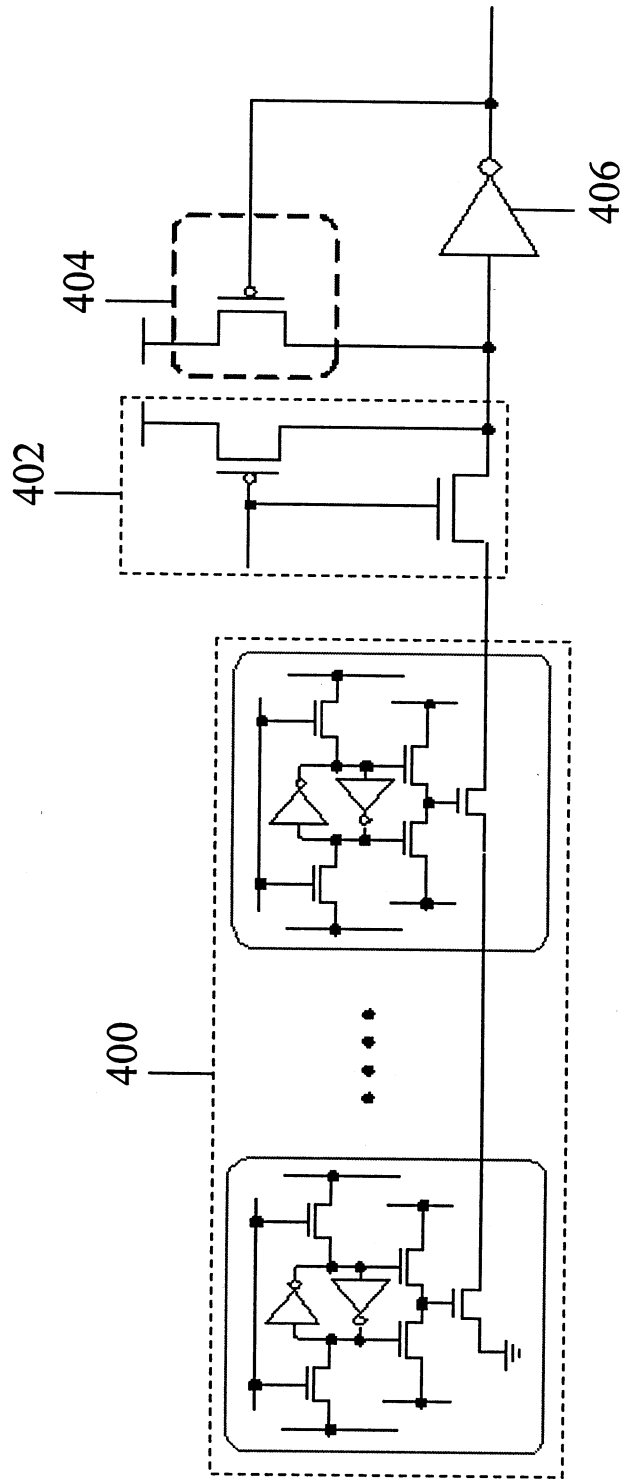
第二(b)圖 (先前技術)



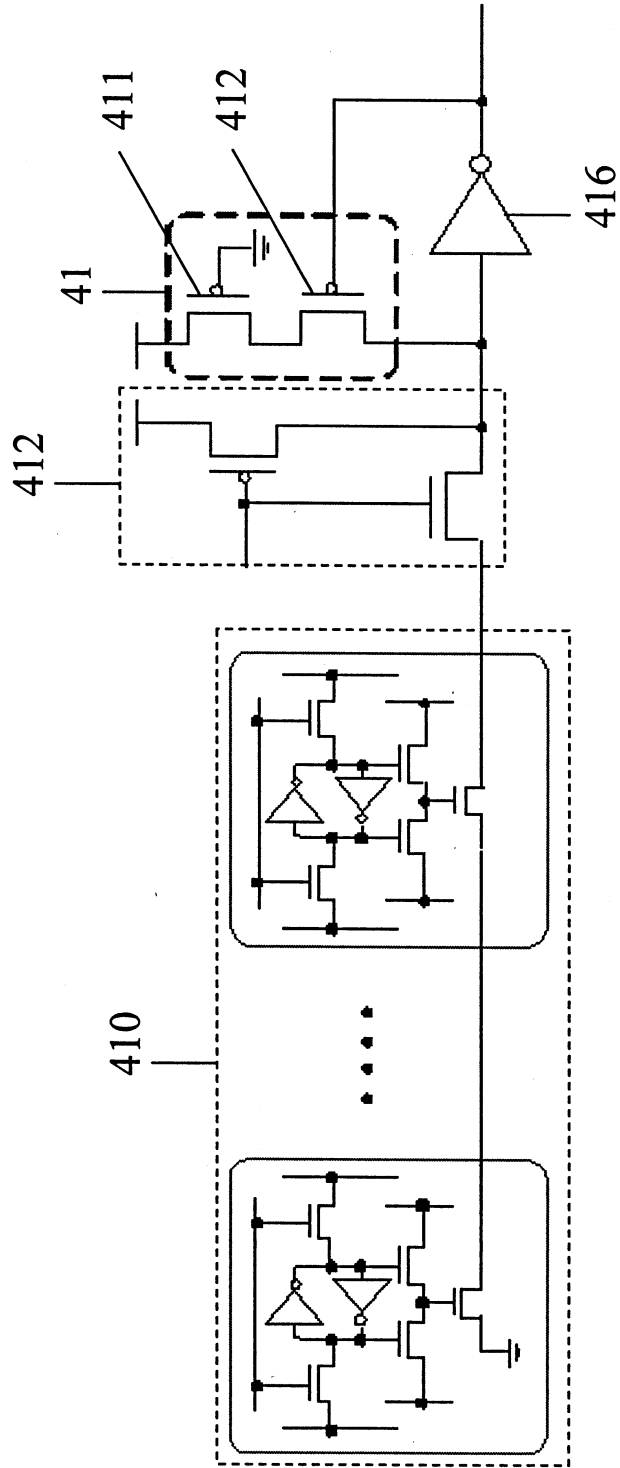
第三(a)圖 (先前技術)



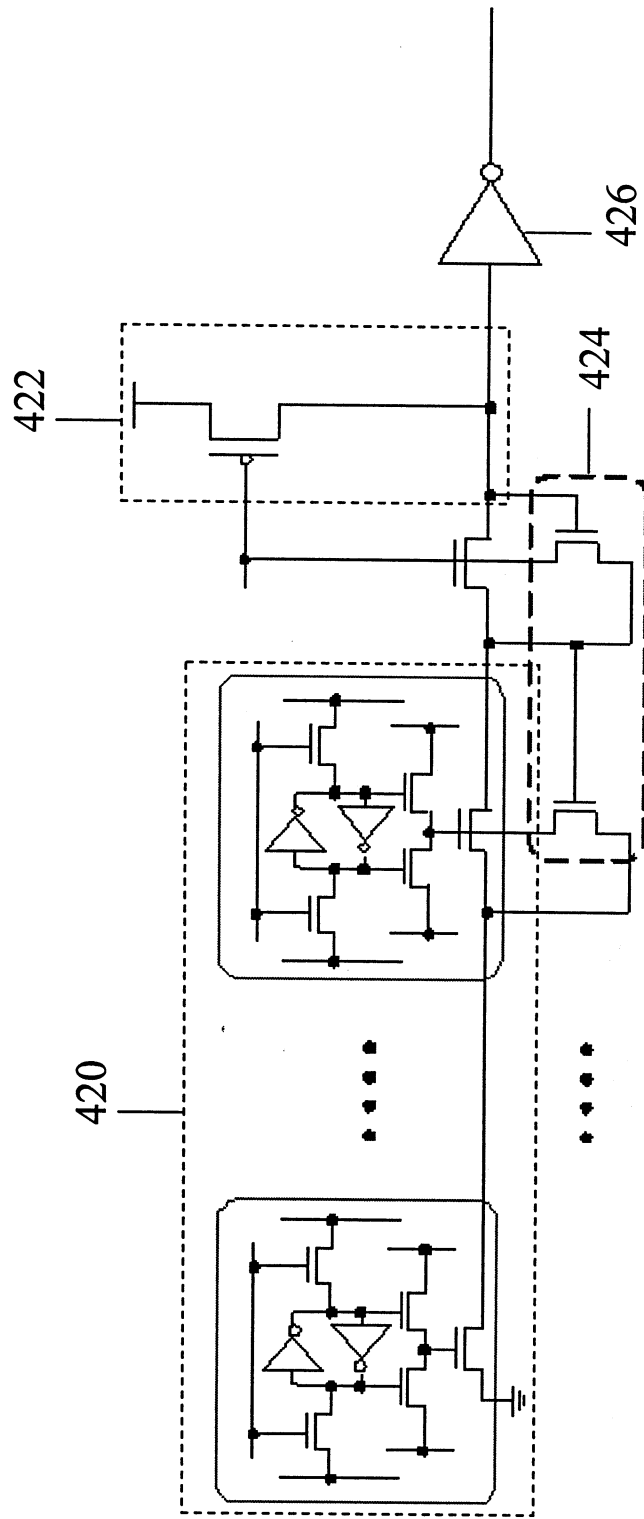
第三(b)圖 (先前技術)



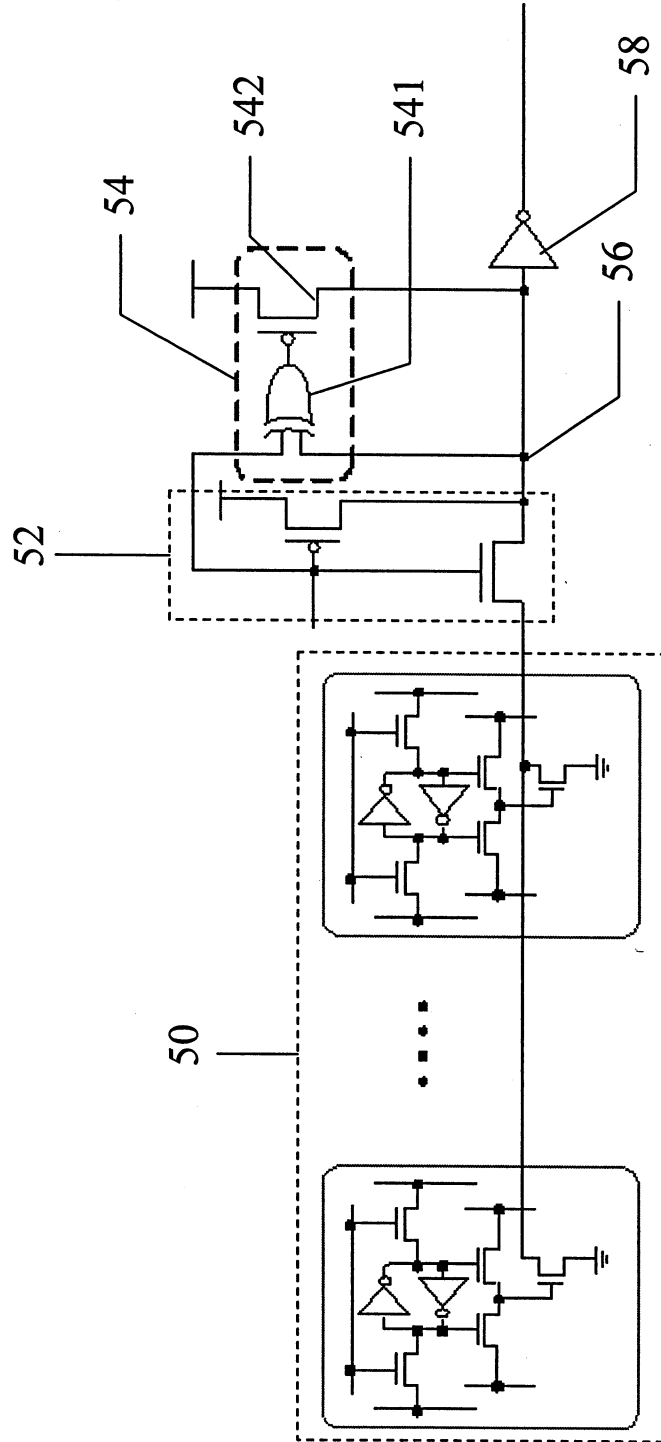
第四(a)圖 (先前技術)



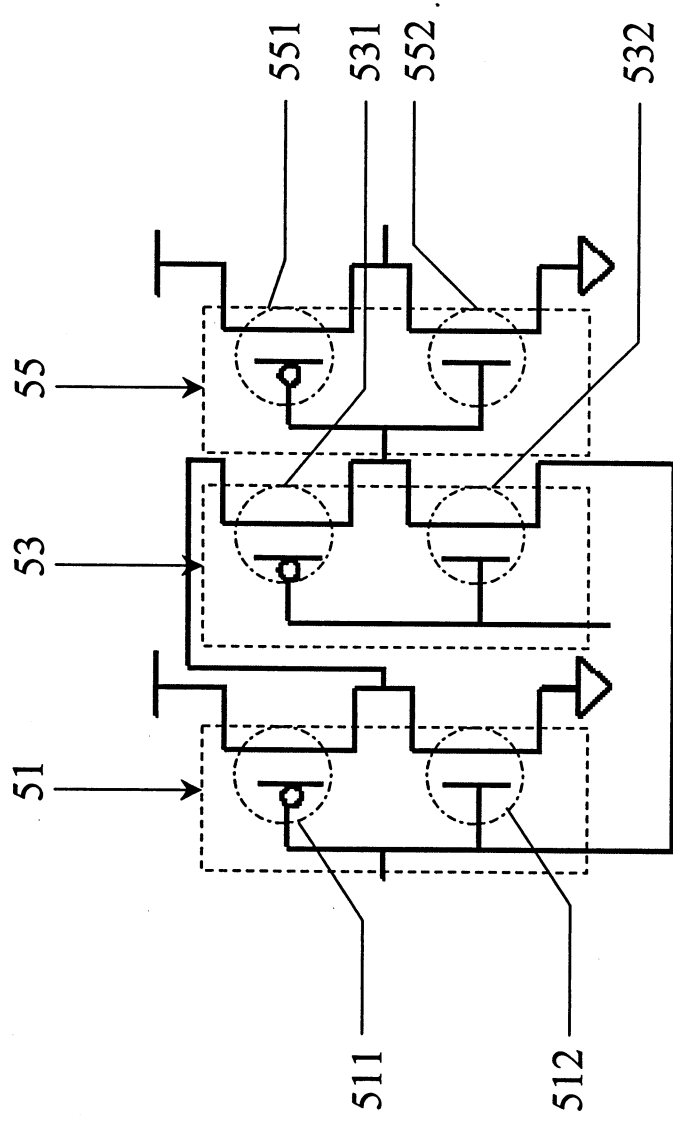
第四(b)圖 (先前技術)



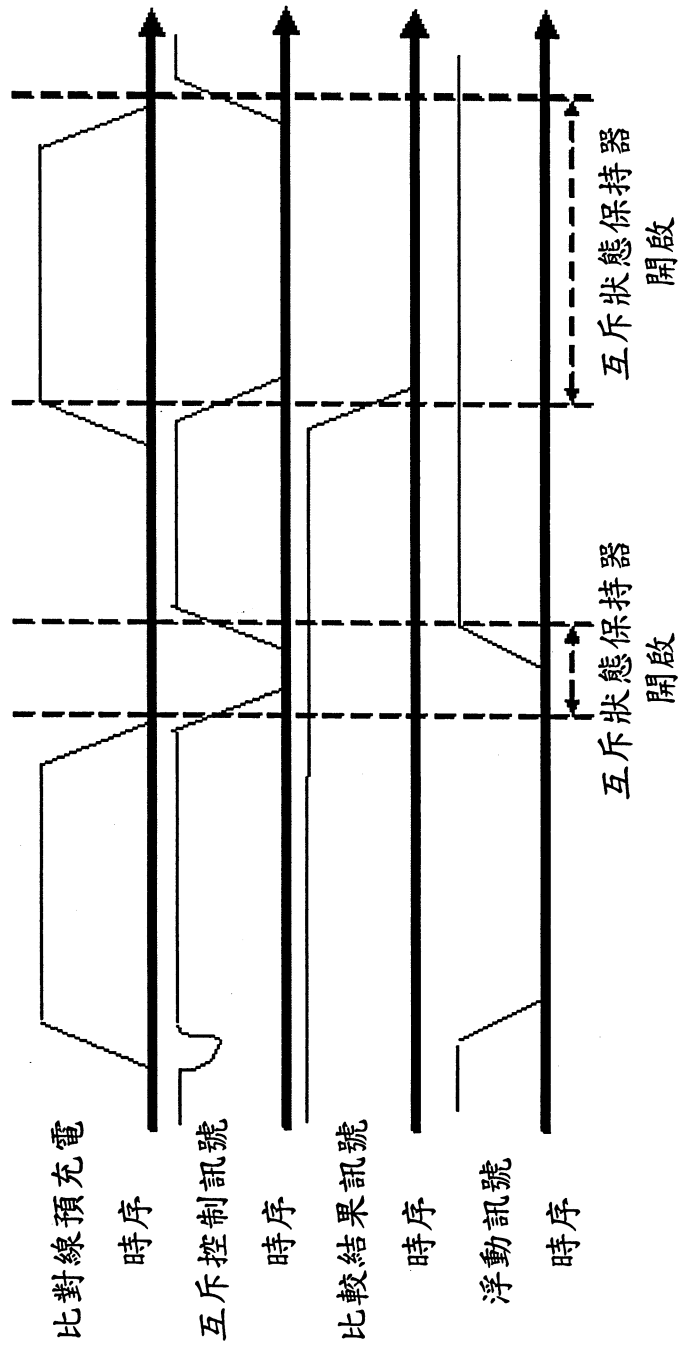
第四(c)圖 (先前技術)



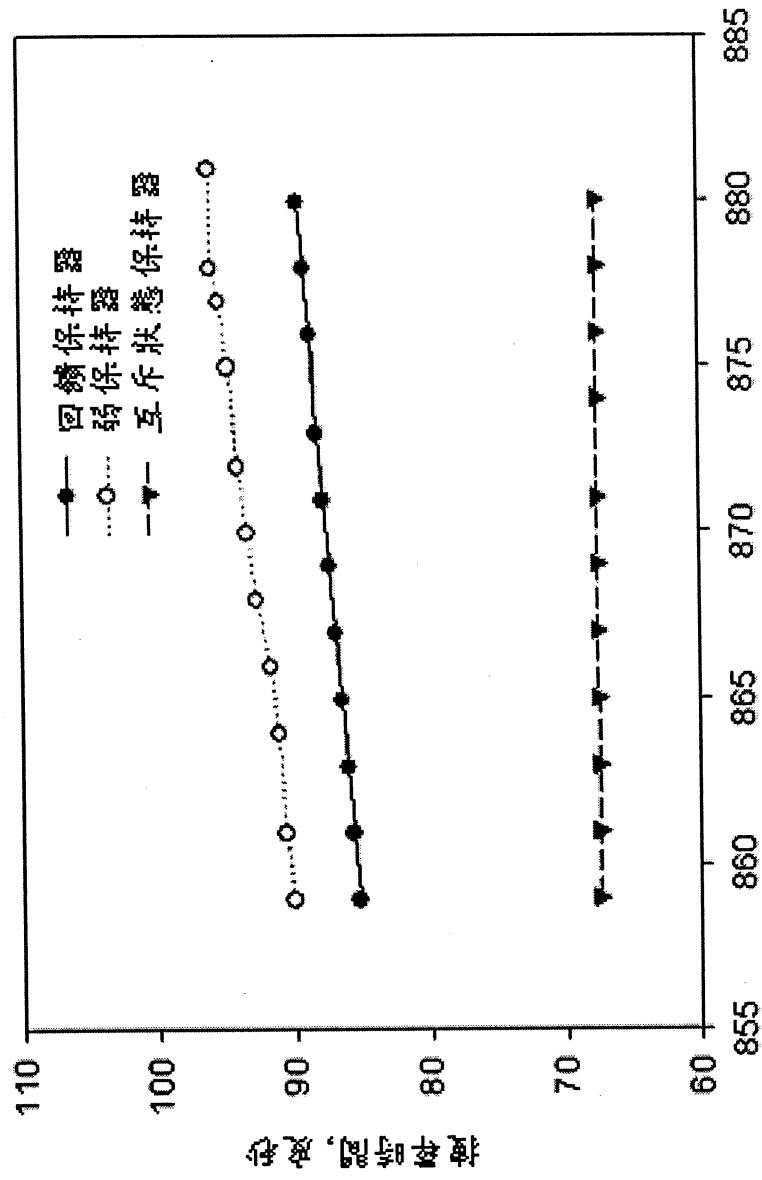
第五(a)圖



第五(b)圖

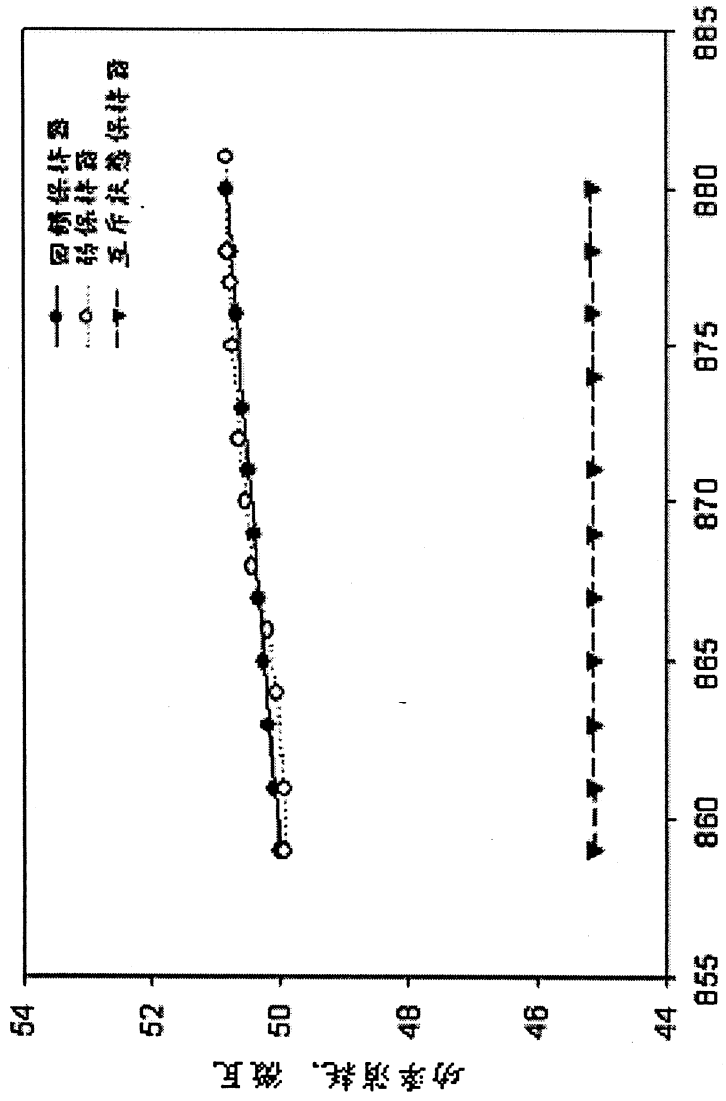


第六圖



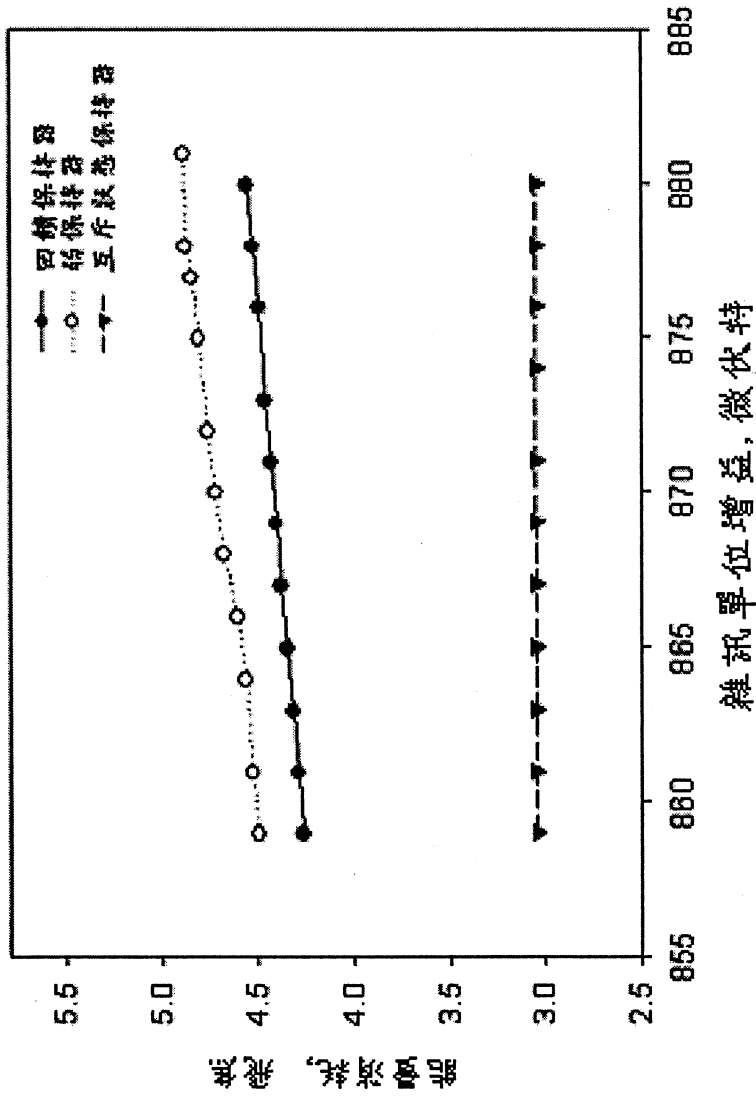
雜訊單位增益, 微伏特

第七(a)圖

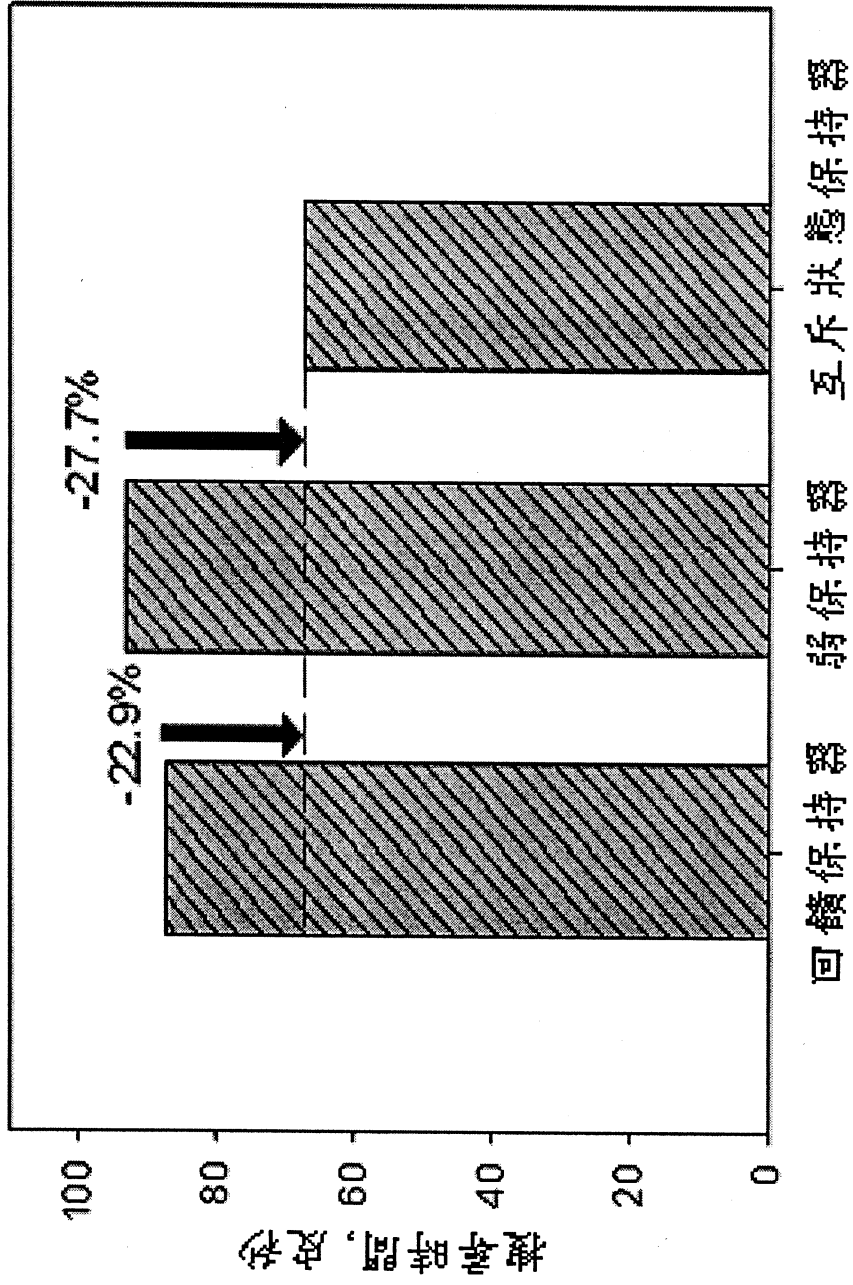


雜訊單位增益, 微伏特

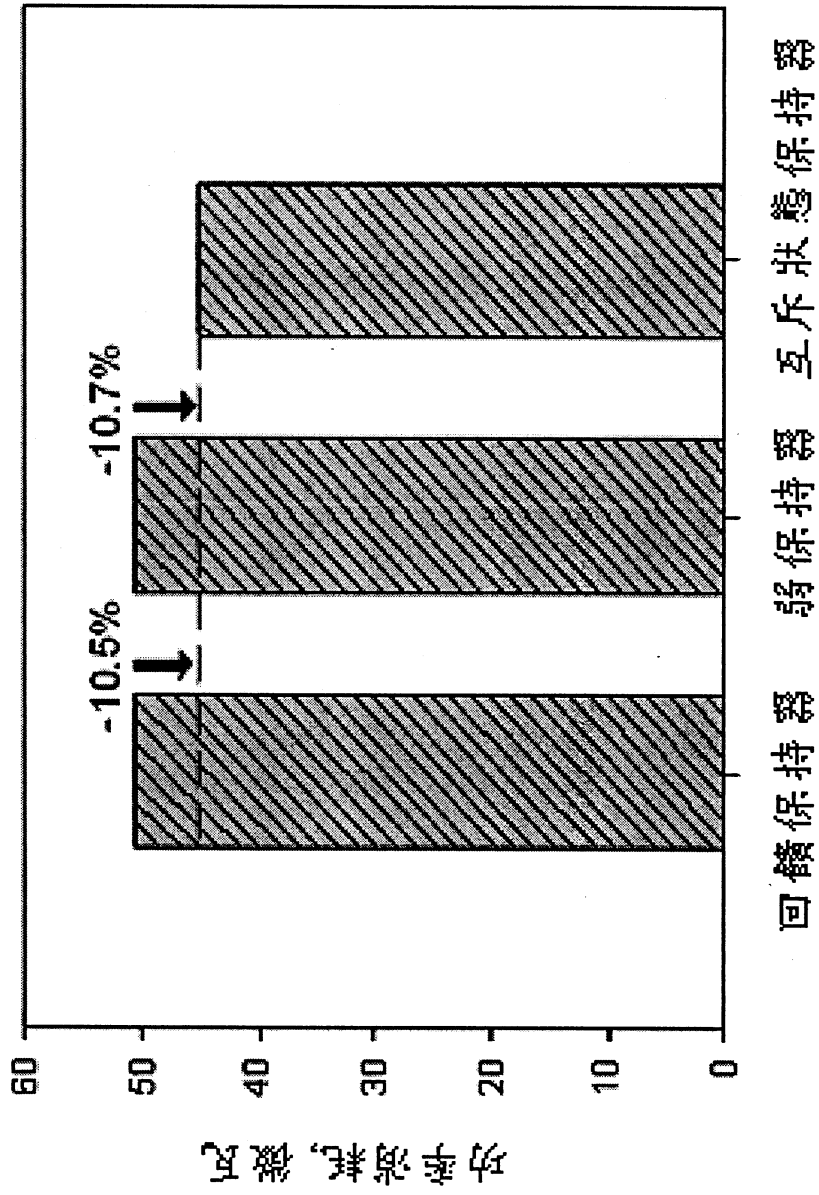
第七(b)圖



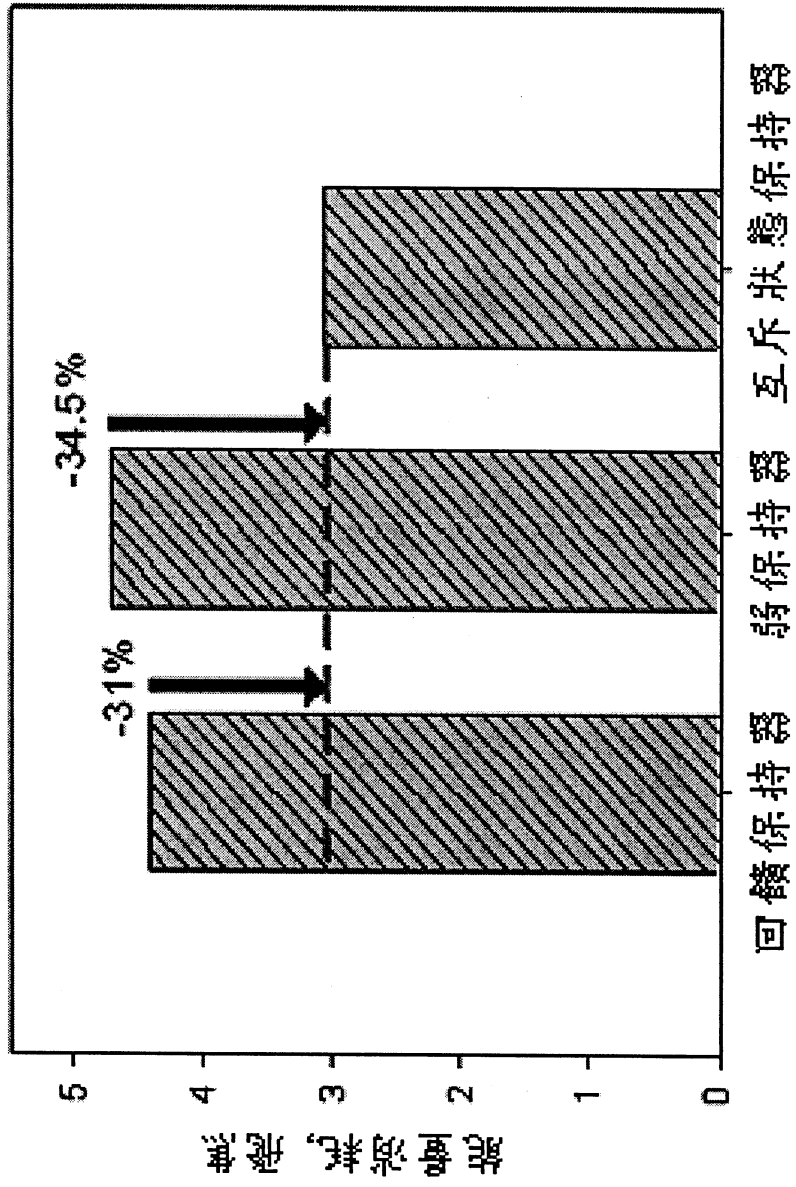
第七(c)圖



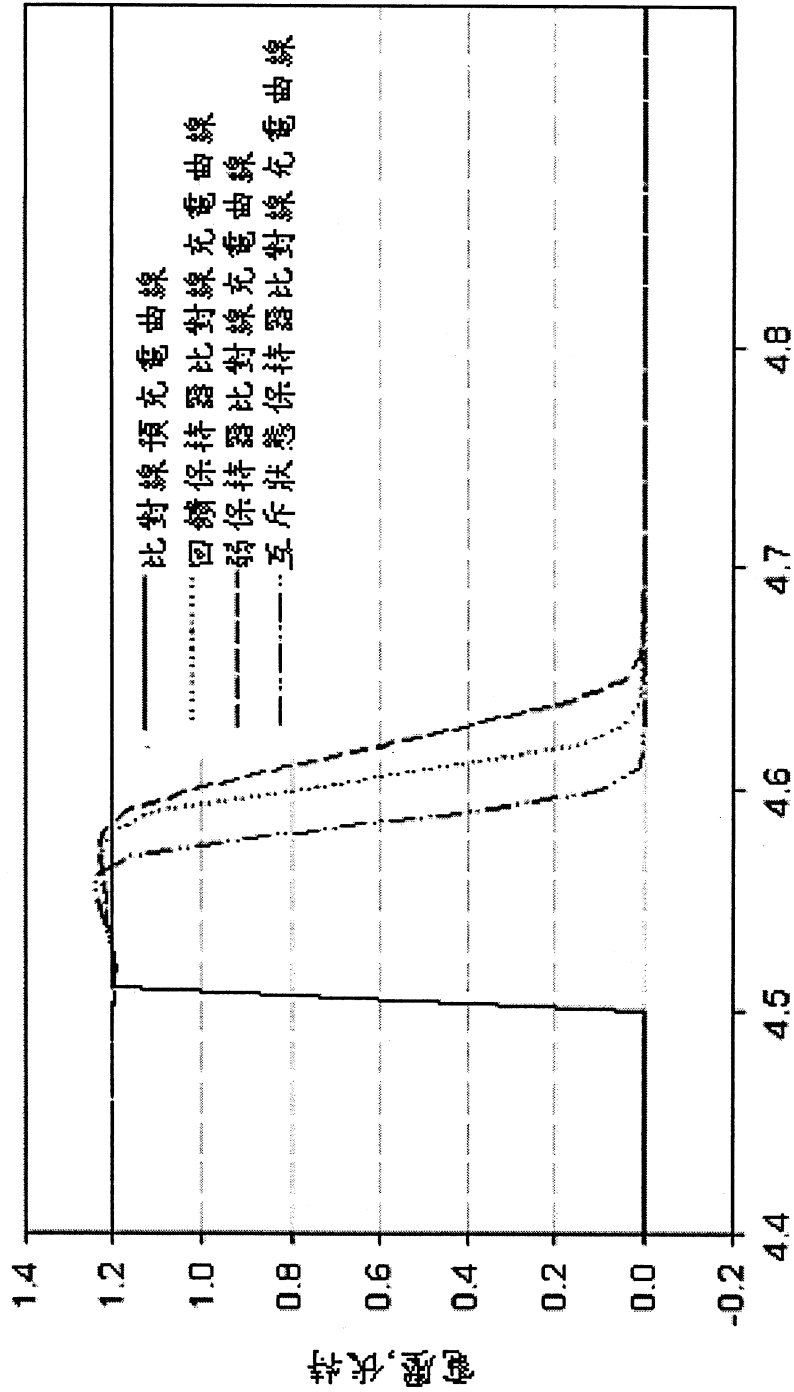
第八(a)圖



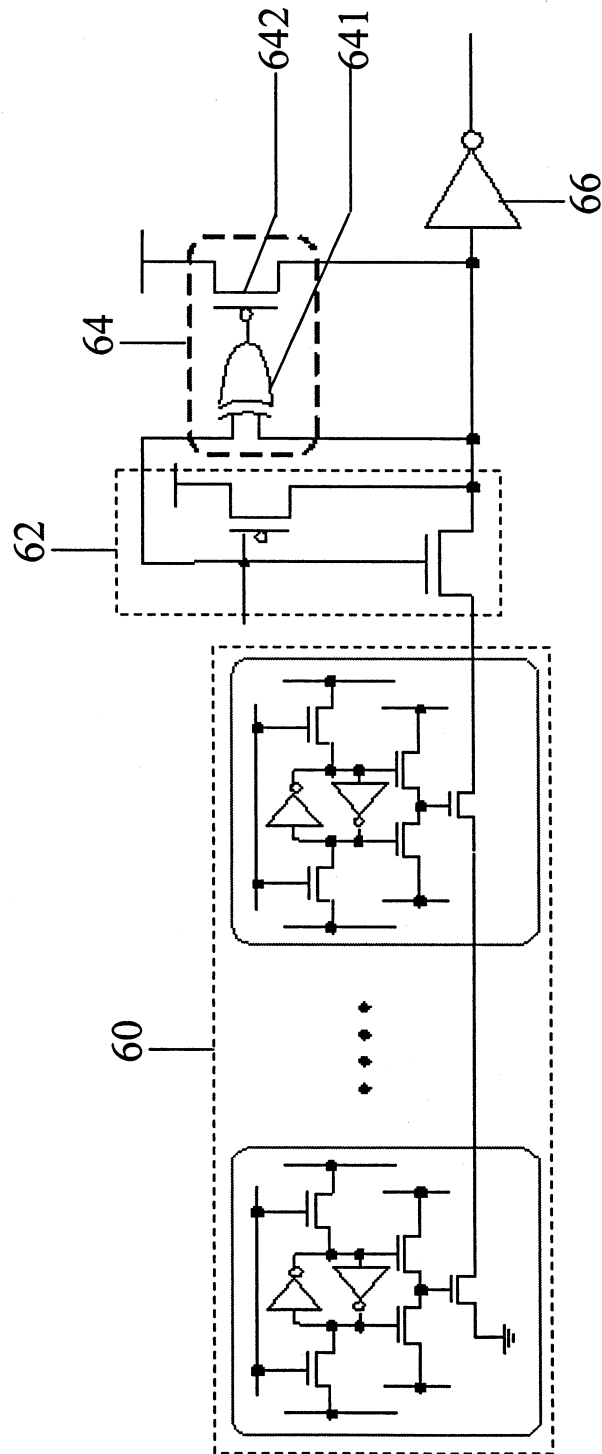
第八(b)圖



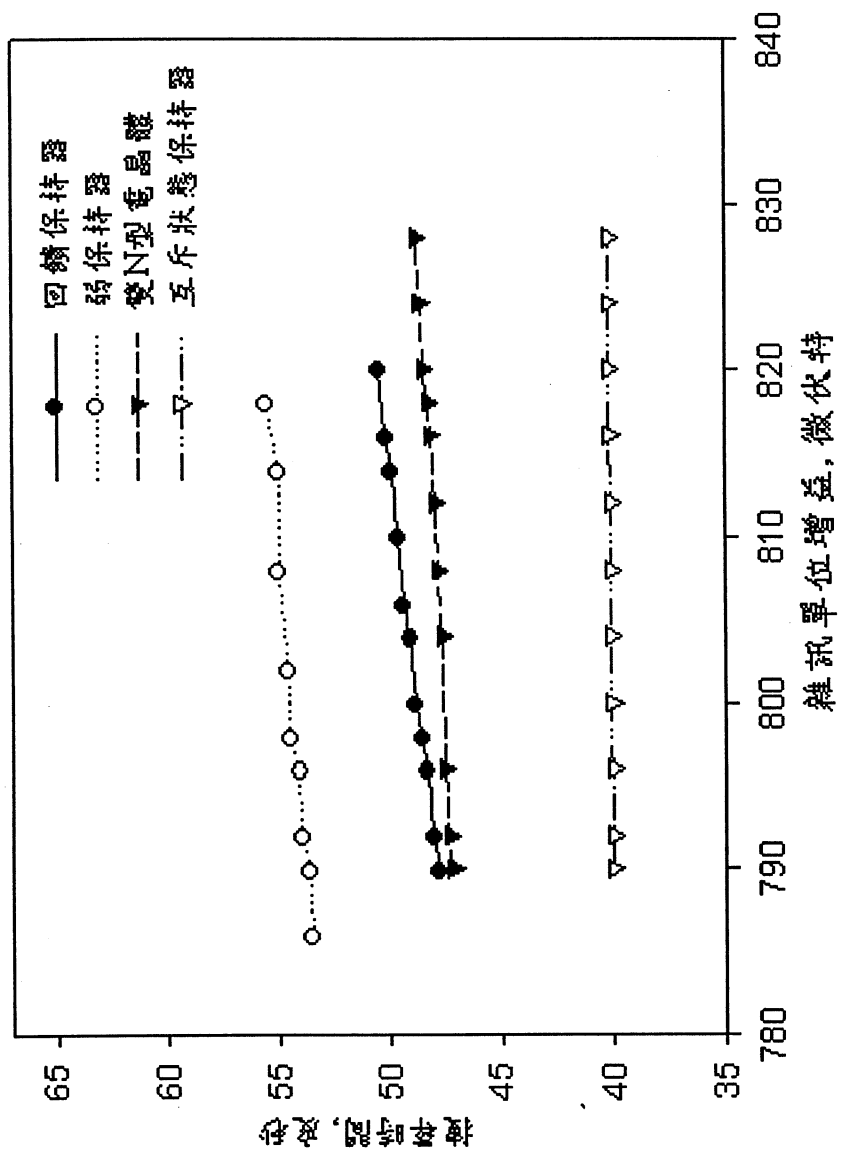
第八(c)圖



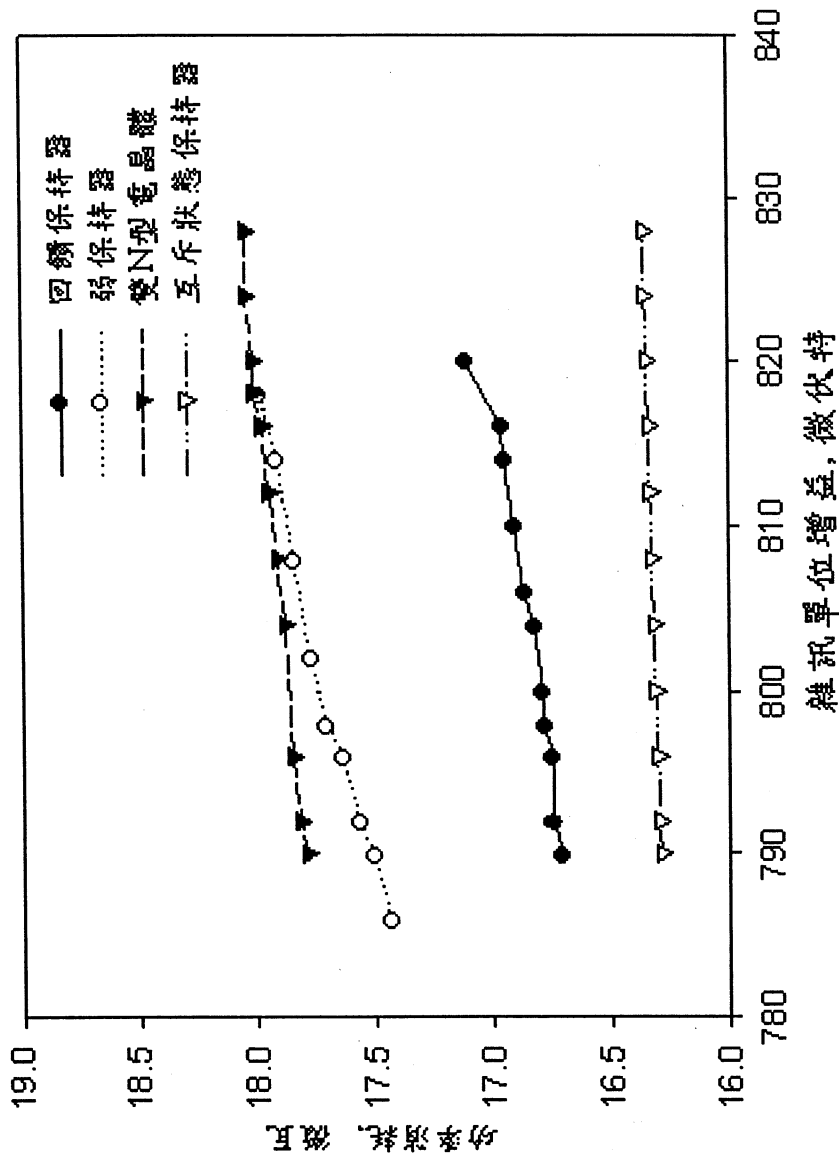
時間, 奈秒
第九圖



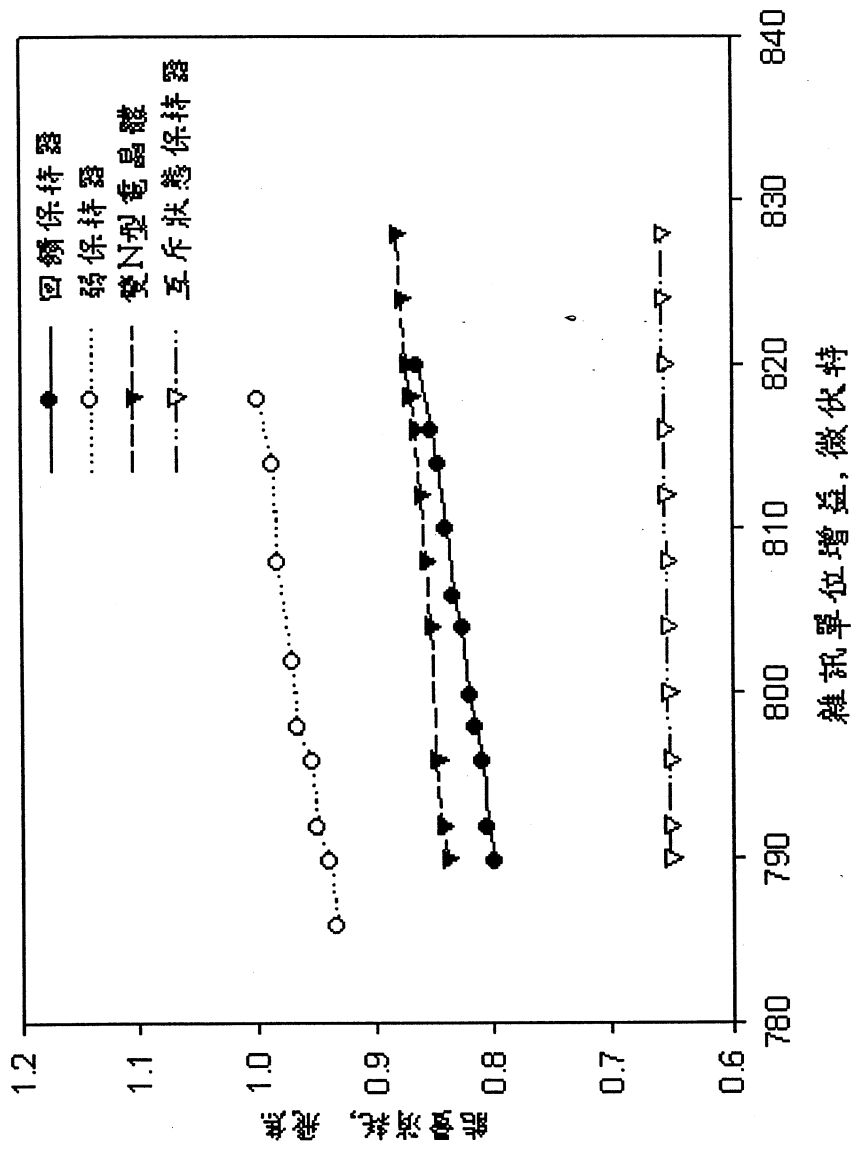
第十圖



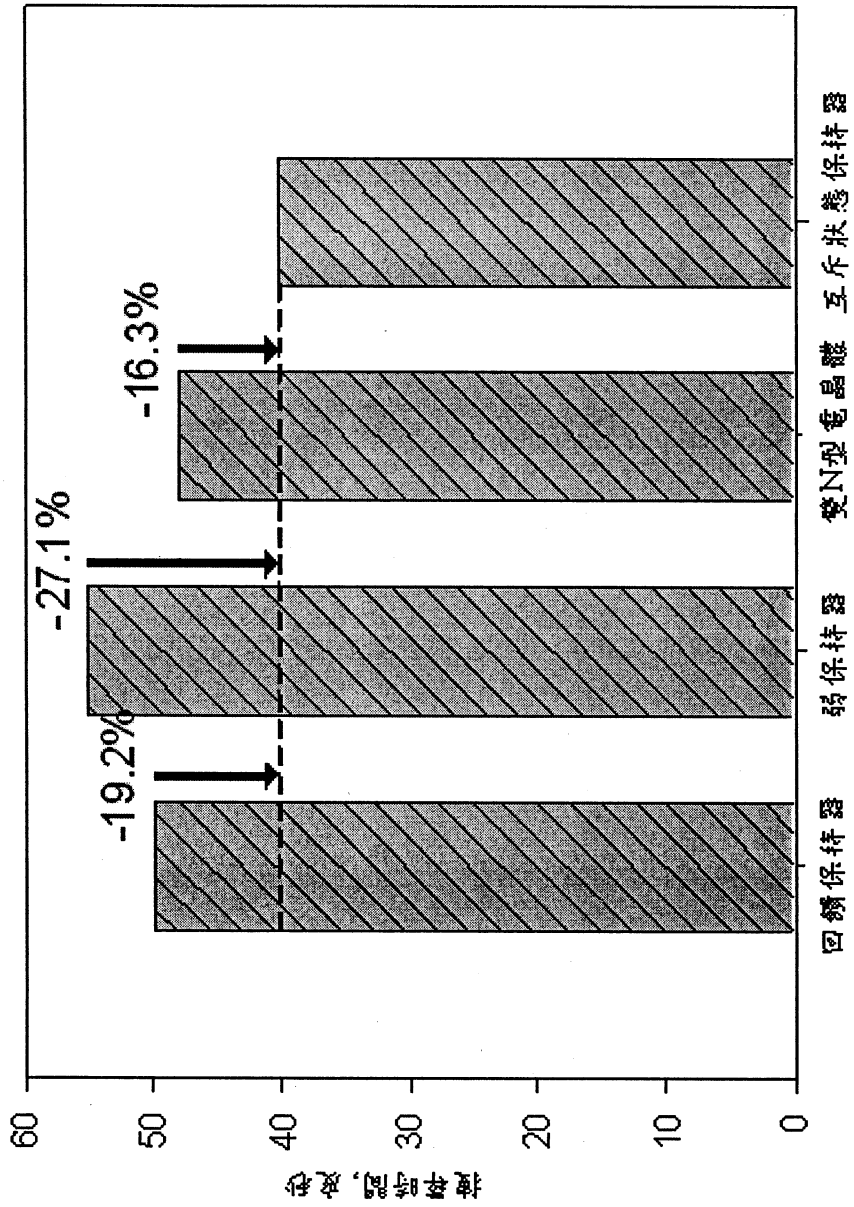
第十一(a)圖



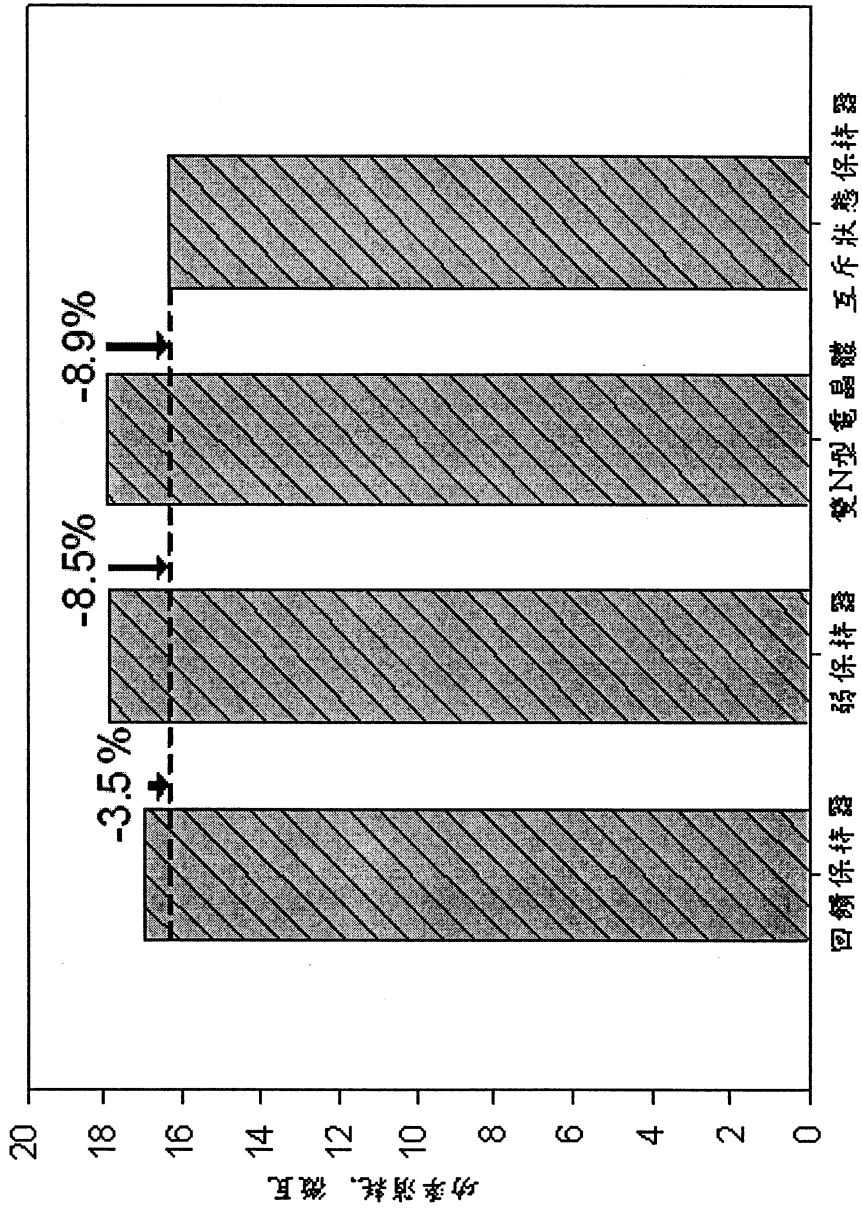
第十一(b)圖



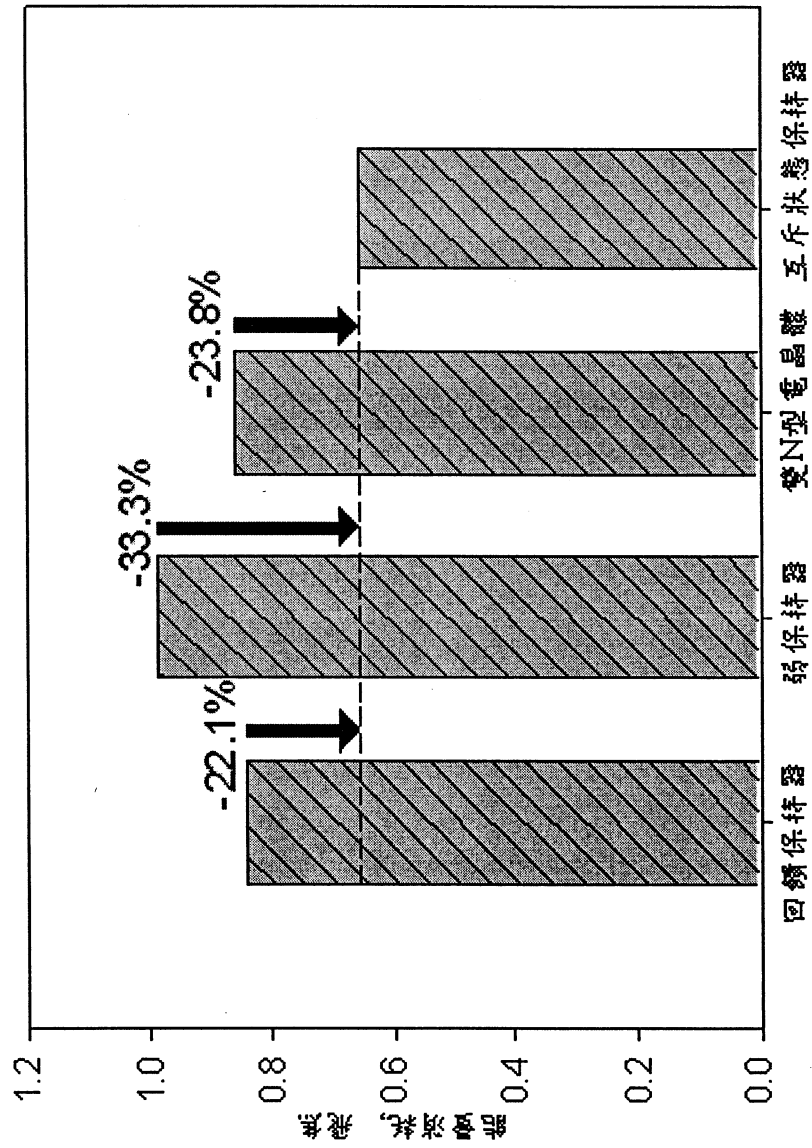
第十一(c)圖



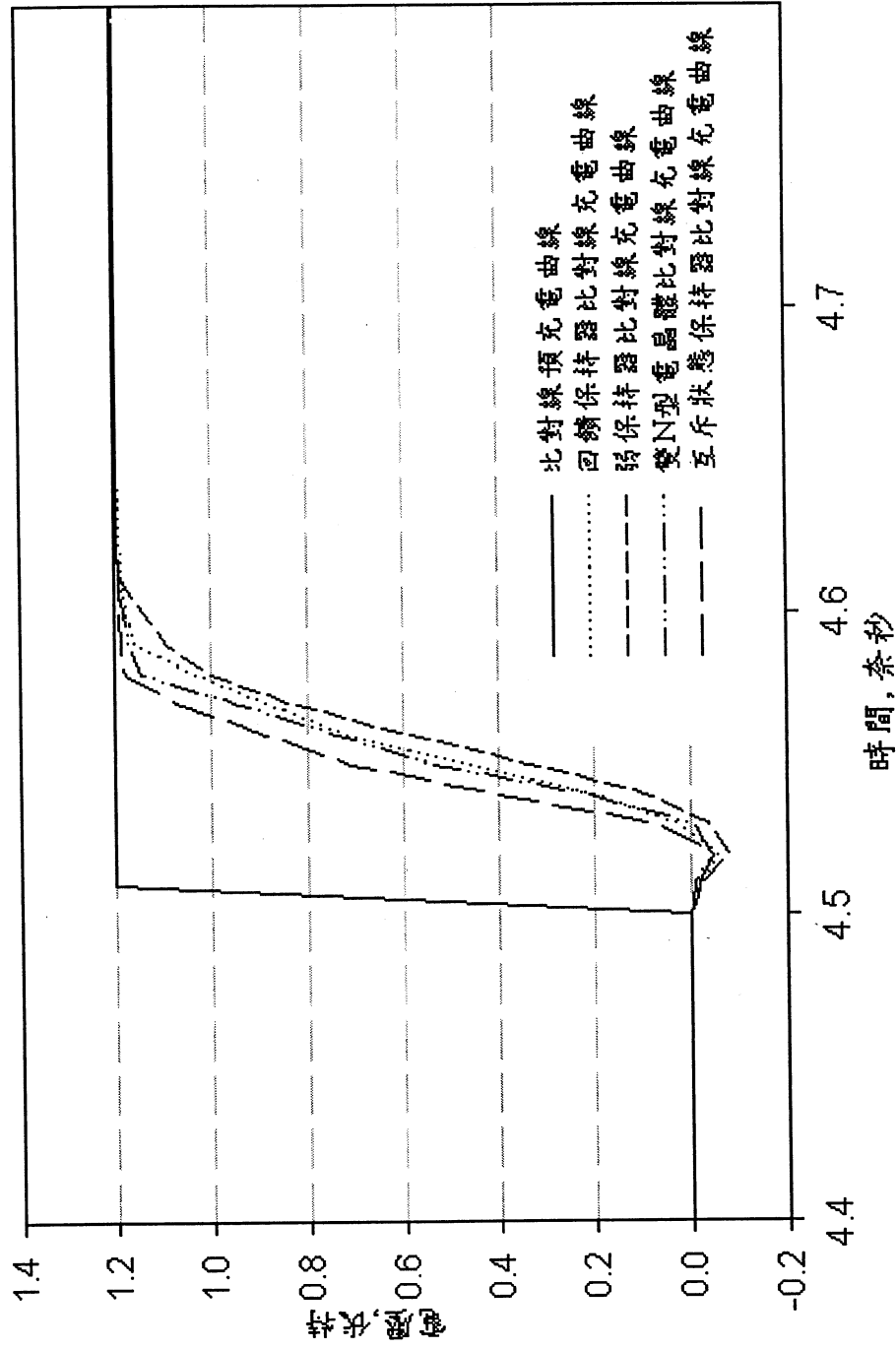
第十二(a)圖



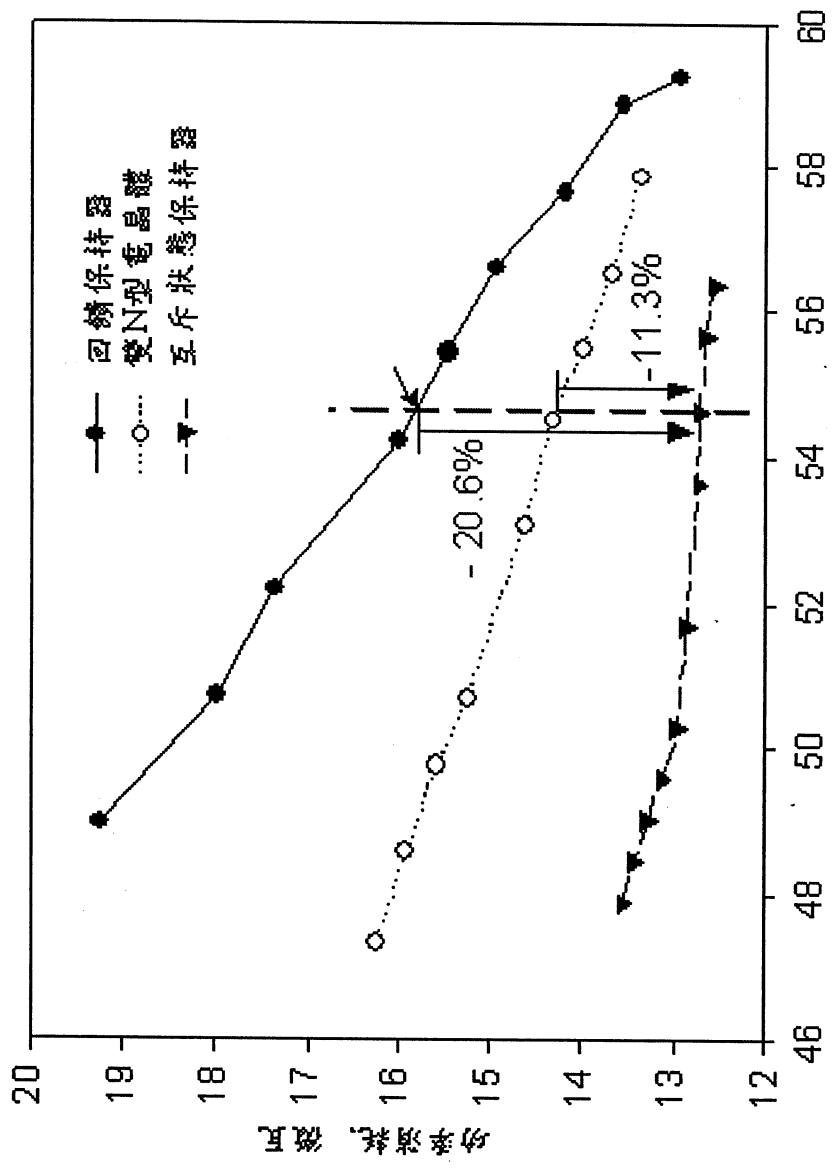
第十二(b)圖



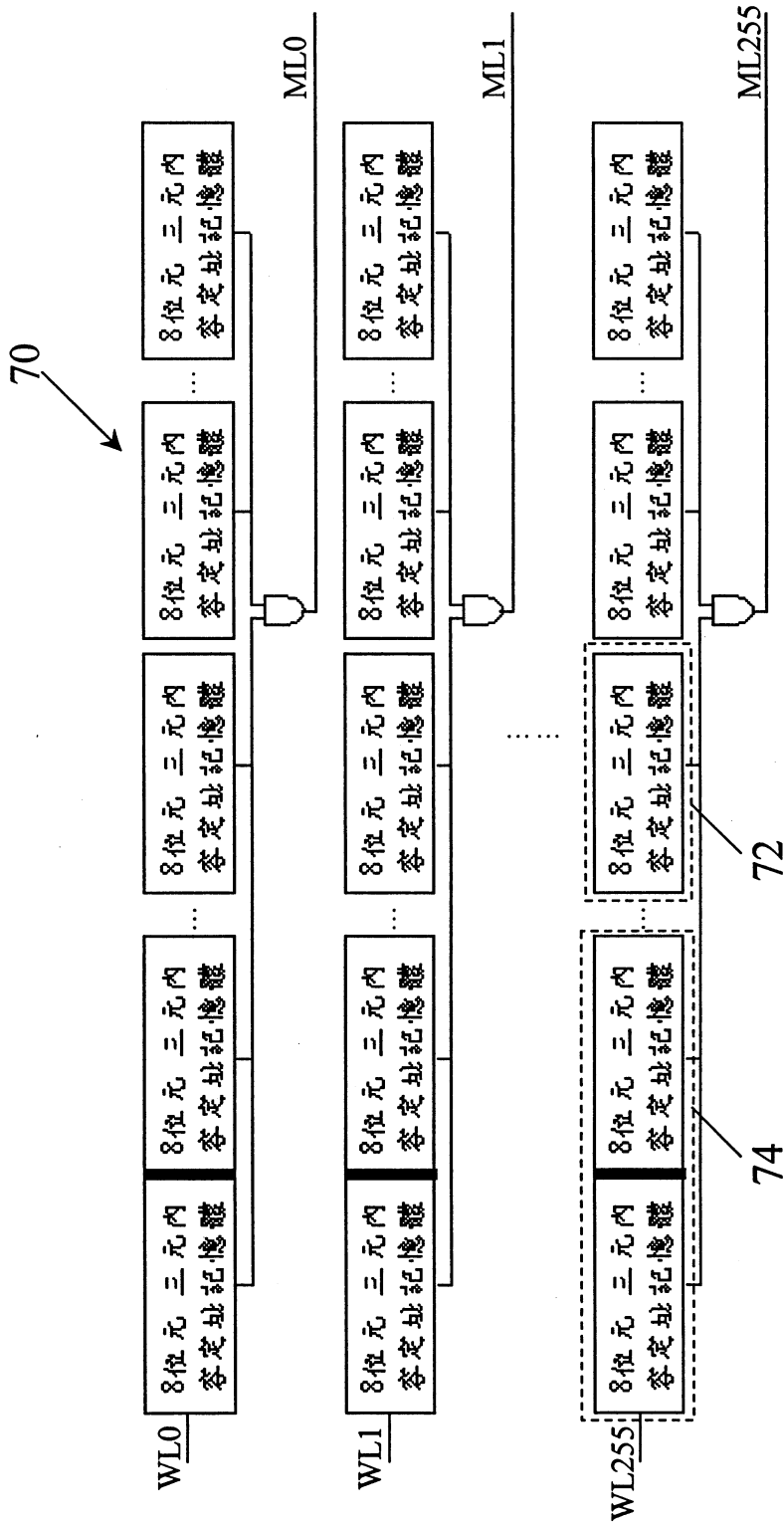
第十二(c)圖



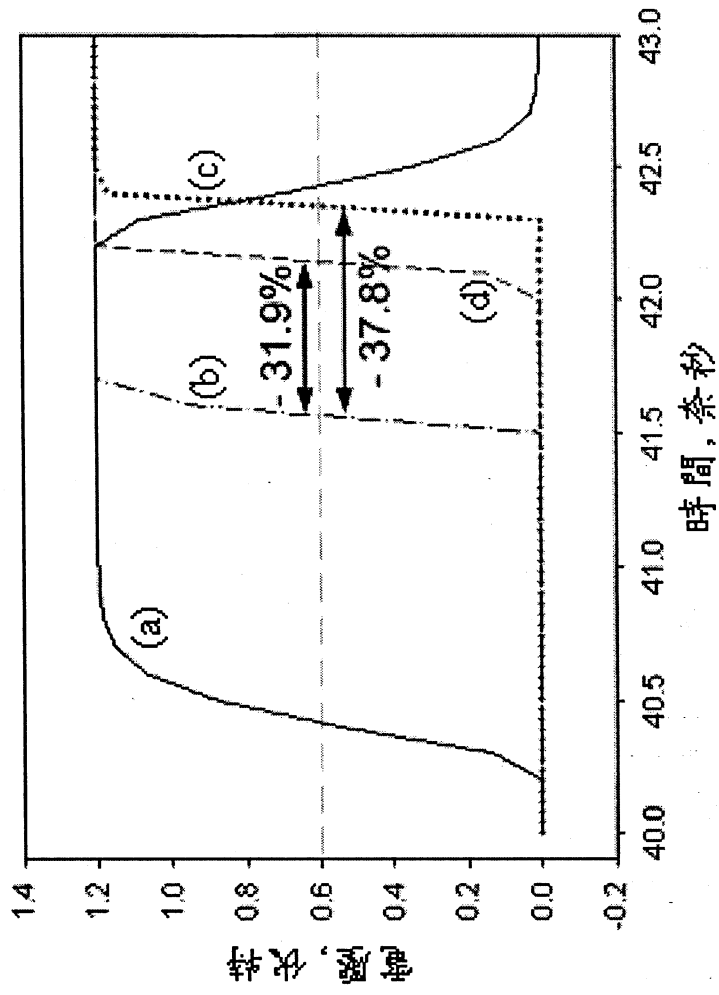
第十三圖



第十四圖



第十五圖



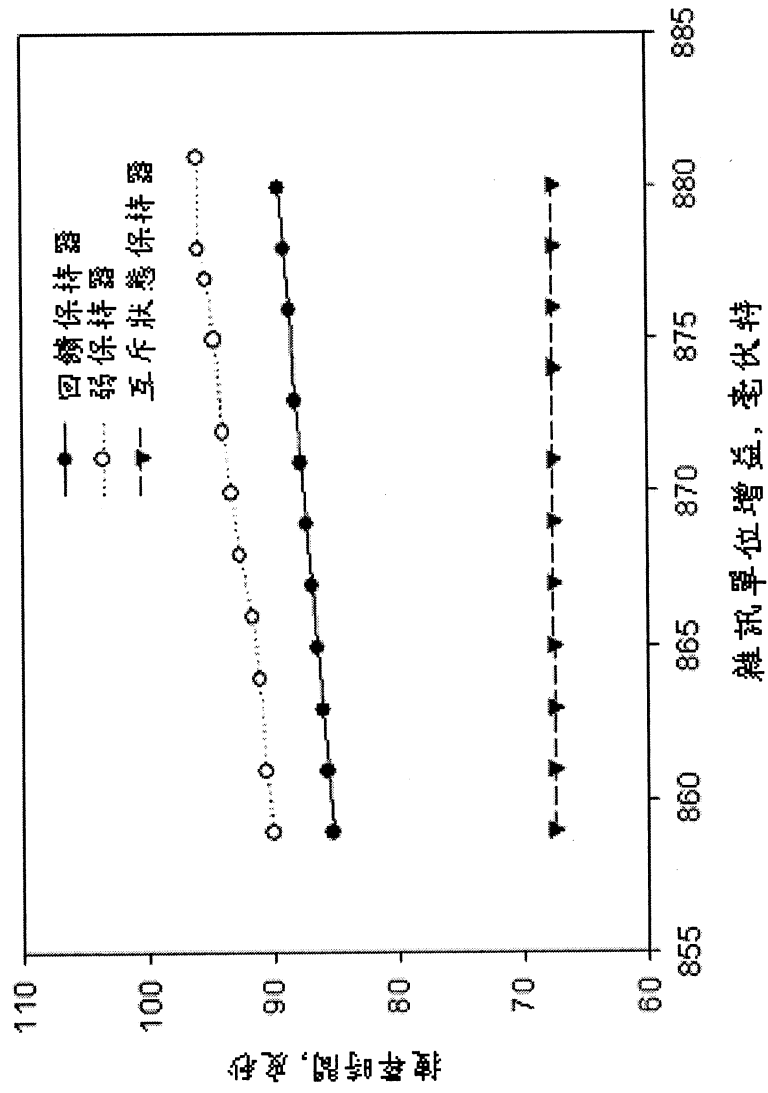
第十六圖

會面臨到更大的功率消耗。為了讓具有不同保持器的動態差及形式比對線電路系統架構的特徵更加容易明瞭，在下一段落裡，將利用與上述相同之雜訊單位增益方法與手段，提出回饋保持器、弱保持器、雙 N 型電晶體以及互斥狀態保持器四種不同保持器之特徵在不同的雜訊干擾下的比較。

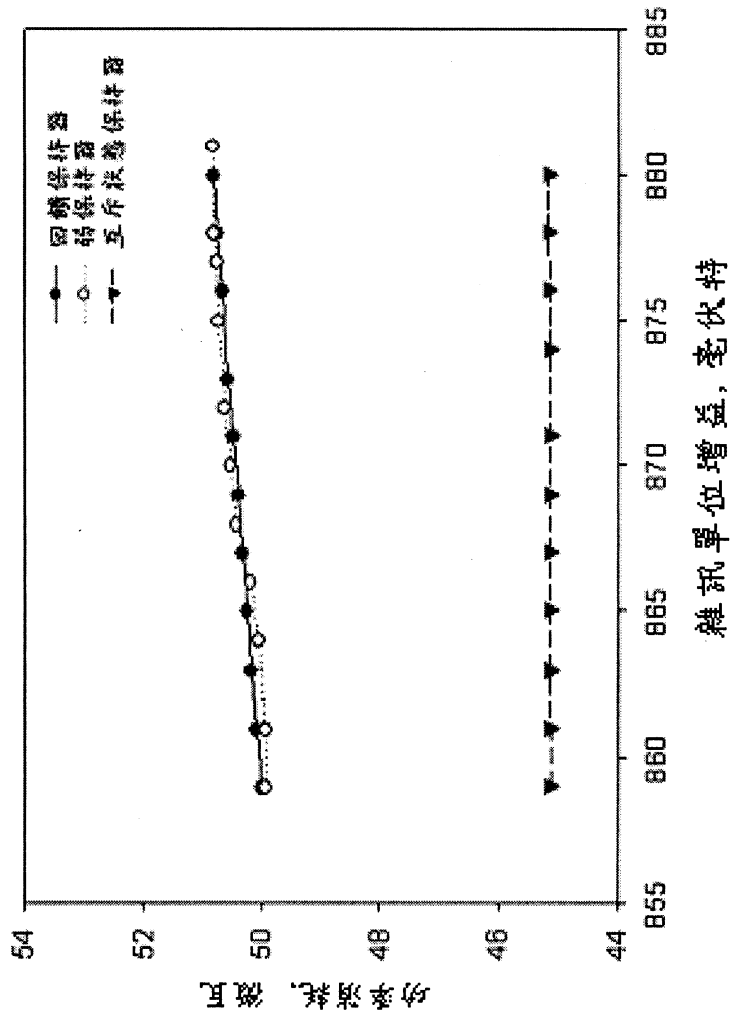
在進行雜訊單位增益方法時，所使用的係為 8 位元的差及形式比對線電路系統架構，最終的測試結果請參考第十一(a)圖、第十一(b)圖以及第十一(c)圖所示，係以雜訊單位增益為橫軸，縱軸則分別為搜尋時間、功率消耗以及能量消耗的曲線圖，與在動態反聯及形式比對線電路系統架構的測試結果相同，係為以應用互斥狀態保持器的比對線電路系統架構之搜尋時間為最短，由第十一(a)圖所提供的數據可知，其搜尋時間約在 40 皮秒，且具有最低的功率與能量消耗，實際的數據係可由第十一(b)圖及第十一(c)圖得知，其功率消耗不超過 16.5 微瓦、能量消耗大約在 0.65 飛焦左右。

同時，選擇以 810 毫伏特的固定雜訊為比較條件，將四種不同保持器的特徵做比較，請參考第十二(a)圖、第十二(b)圖以及第十二(c)圖，可得知互斥狀態保持器在搜尋時間的表現上，可較回饋保持器縮短了約 19.2% 的搜尋時間、而較弱保持器縮短了約 27.1% 的搜尋時間、且較雙 N 型電晶體縮短了約 16.3% 的搜尋時間；在功率消耗的比較上，互斥狀態保持器約分別較回饋保持器、弱保持器、雙 N 型電晶體節省了 3.5%、8.5%、8.9% 的功率；最後，在能量消耗的比較上，則互斥狀態保持器可提供較回饋保持器、弱保持器、雙 N 型電晶體節省 22.1%、33.3%、23.8% 的能量。

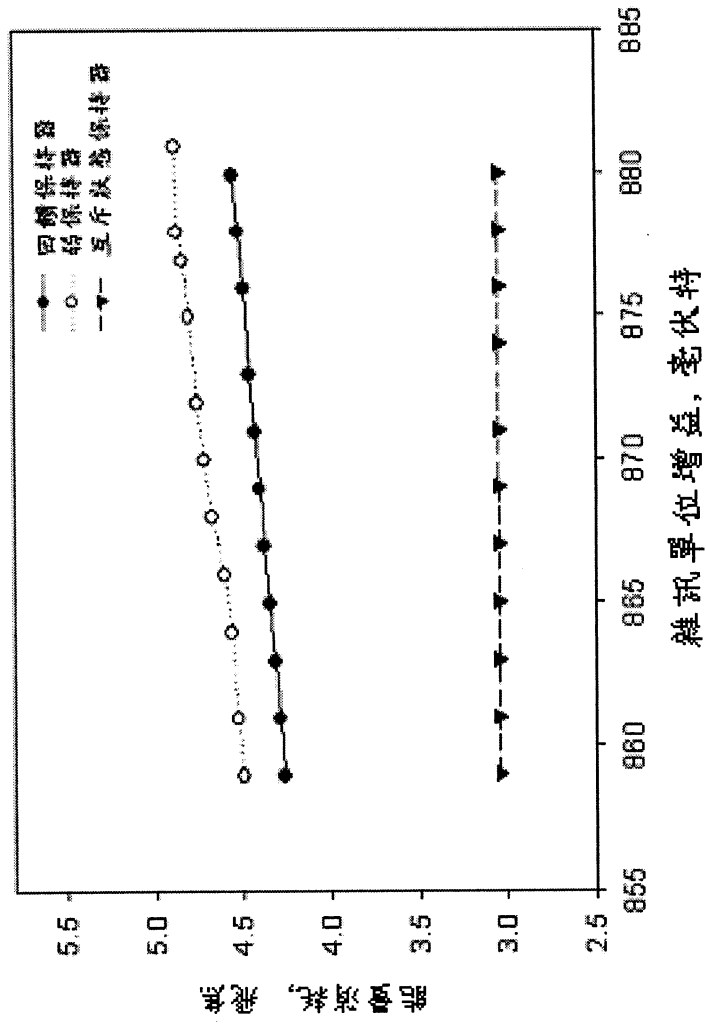
然而，與動態反聯及形式比對線電路系統架構不同，在動態差及形式



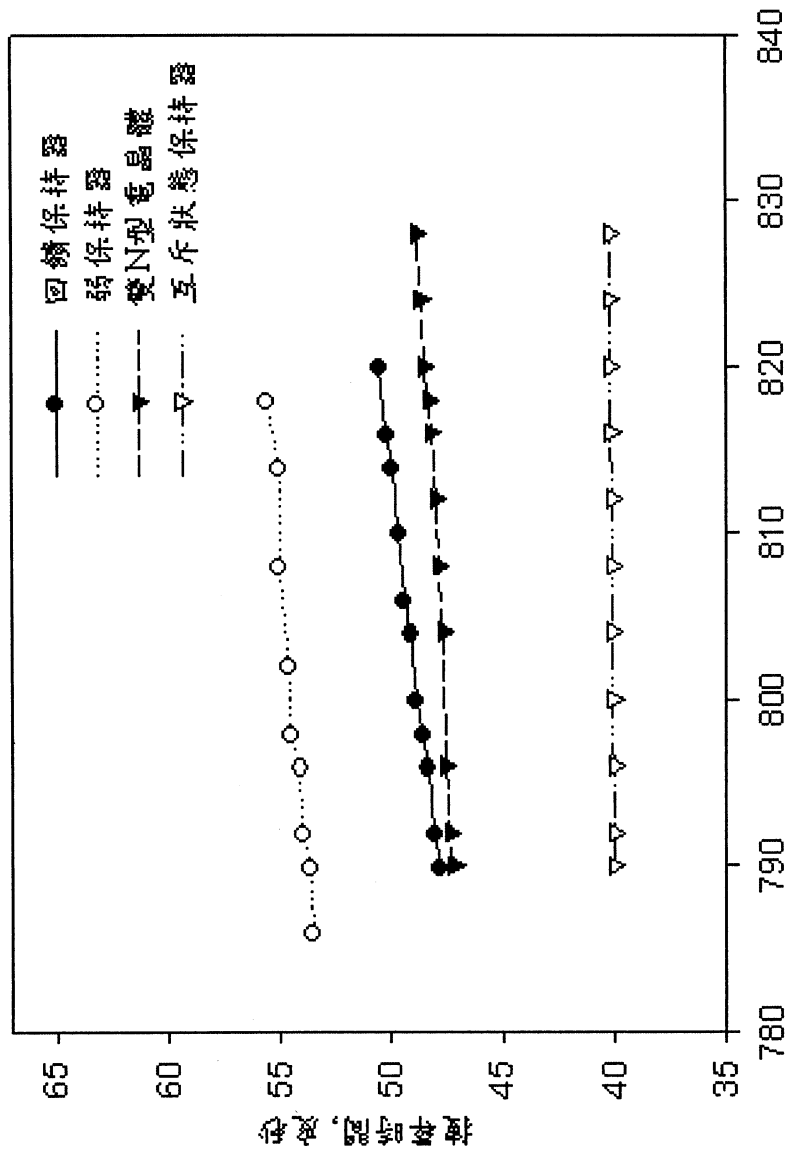
第七(a)圖



第七(b)圖

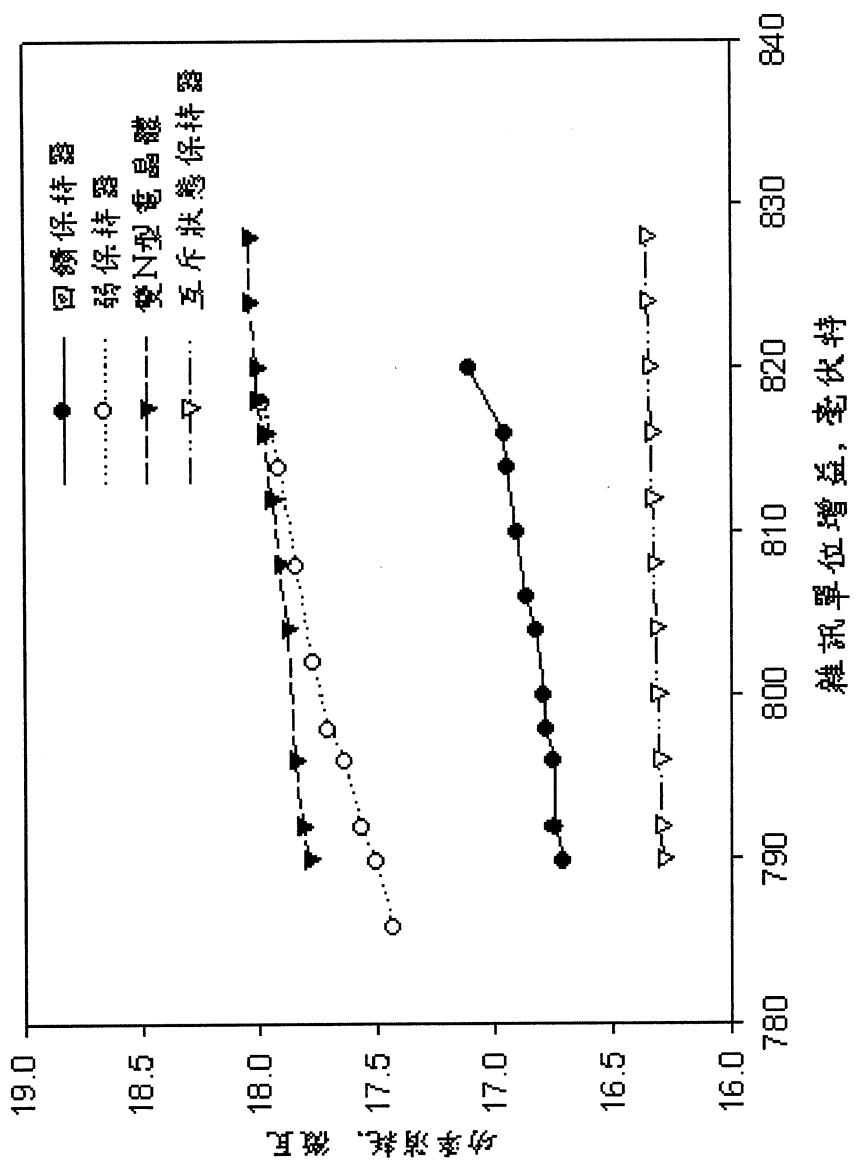


第七(c)圖

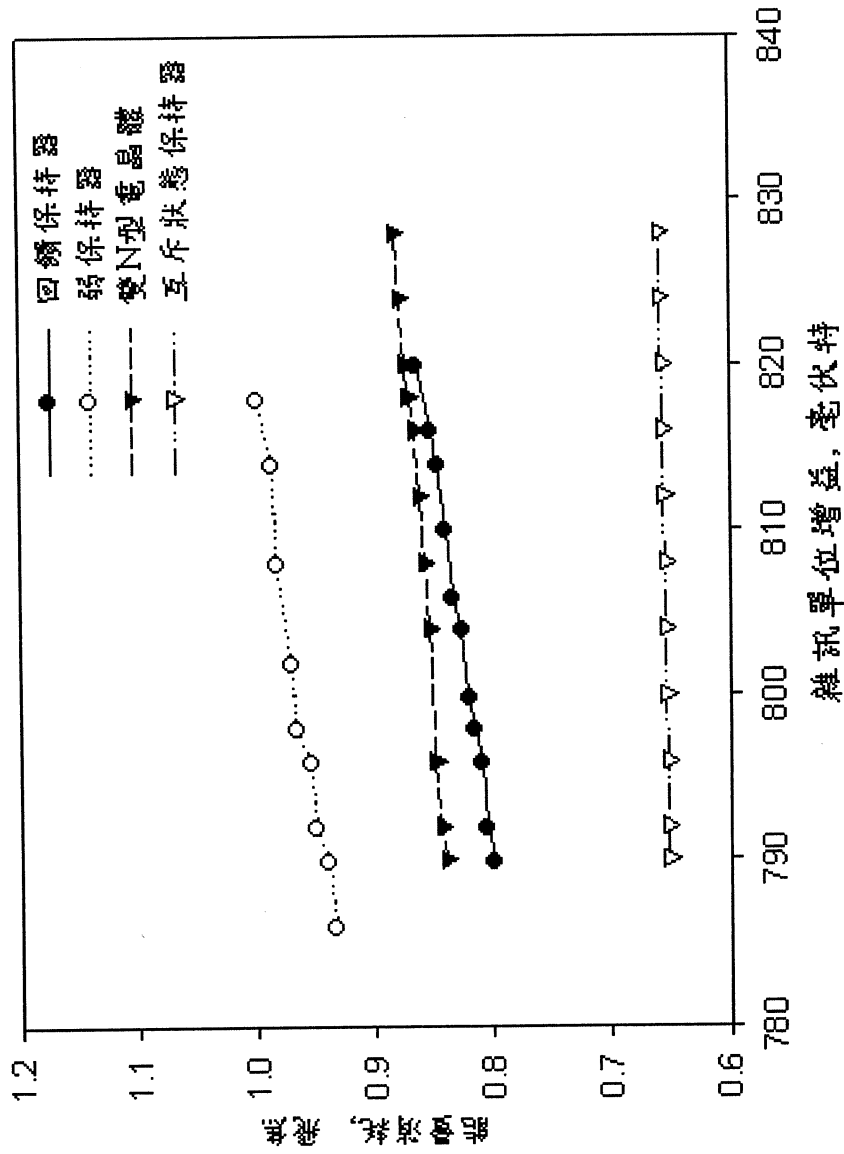


雜訊單位增益, 毫伏特

第十一(a)圖



第十一(b)圖



第十一(c)圖