

發明專利說明書

200717519

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94137830

G11C¹¹/₄₀₆₃ - G06F⁵/₁₀(2006.01)

※申請日期： 94.10.28

※IPC 分類： G06F 3/00

一、發明名稱：(中文/英文)

非同步先進先出暫存器單元

二、申請人：(共1人)

姓名或名稱：(中文/英文) 國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路1001號

國籍：(中文/英文) 中華民國 TW

三、發明人：(共2人)

姓名：(中文/英文)

1、朱燁霖

2、黃威

國籍：(中文/英文)

1、中華民國 TW

2、中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：94年7月4日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種非同步先進先出暫存器單元(Asynchronous First-In-First-Out Cell)，運用修改過的 Muller C 元件使非同步先進先出暫存器單元之電路複雜程度降低，其不但具有重複使用的特性，並能在不同頻率下之不同的供應電壓或單一供應電壓下操作。此外，應用在以全域非同步局部同步系統為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，發現能減少較多的功率損耗與降低更多的延遲時間。

六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖：第九圖

(二) 本案代表圖之元件代表符號簡單說明：

3 傳送者交握控制器

4 傳送者憑證

5 接收者交握控制器

6 接收者憑證

7 狀態偵測器

36 資料門鎖器

38 準位轉換正反器

39 非同步轉換器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非同步先進先出暫存器單元(Asynchronous First-In-First-Out Cell)，特別係能應用於不同頻率下之不同的供應電壓或單一供應電壓的非同步先進先出暫存器單元。

【先前技術】

對於現今的晶片系統(SOC)設計，主要目標係要求輸出率(throughput rate)高以及延遲時間(latency)低，而用增加操作頻率的方式雖會提高晶片效能，卻也讓整個晶片系統消耗大幅提升，產生大量的熱。此外，許多晶片模組在資料傳遞的過程，因為彼此的聯繫時間增大，故利用一個主要的同步時脈係運作品片系統係不太可能的。所以，晶片系統要具備功率管理功能和直流轉換的功能，亦得在不同電壓下降低功率的消耗，而運用全域非同步局部同步(GALS)系統，能夠處理不同步的時脈，且在這介面下利用非同步先進先出(FIFO)暫存器當臨時的儲存元件，可以解決上述晶片系統的問題。

可是，習知的非同步 FIFO 是利用突發模式(burst mode)結合 CAD 工具所完成的，這不但使電路趨於複雜亦使功率消耗更多，故若要將習知的非同步 FIFO 應用於雙電壓系統，係不太可行的。此外，美國專利號 20040128413 和 20020167336 所揭露的 FIFO 係可應用於不同時域的介面上，例如，同步-同步時域、同步-非同步時域，和非同步-非同步時域。其利用一連串的先進先出暫存器單元與憑證機制(token mechanism)來選擇存

放在哪一儲存器中，在同步時域部份，用迴圈移位暫存器(circular shift register)形成憑證機制，以及用 S-R 正反器(set-reset flip-flop)形成偵測狀態器；在非同步時域部份，綜合交握訊號(handshake signal)控制電路以利用突發模式結合 CAD 工具，獲得輸入憑證(put token)、輸出憑證(get token)，和固定 CAD 工具獲得資料確實度控制器(data validity controller)。但是，整體觀之，美國專利號 20040128413 和 20020167336 的非同步 FIFO 所用邏輯閘數目多，使得電路結構複雜化，反而提高功率的消耗。

有鑑於此，本發明不但針對上述之困擾，降低 FIFO 電路複雜程度降低功率消耗，所設計出來的 FIFO 還能在不同頻率下之不同的供應電壓或單一供應電壓下操作。

【發明內容】

本發明之主要目的係提供一種非同步的先進先出暫存器單元，係利用修改過的 Muller C 元件構成，可降低電路的複雜度以減少功率的消耗。

本發明之另一目的係提供一種非同步的先進先出暫存器單元，能運作在不同頻率下之不同供應電壓或單一供應電壓操作，而且還具有重複使用的特性。

本發明之再一目的係提供一種非同步的先進先出暫存器單元，避免資料在非同步先進先出暫存器單元發生直接穿透(transparent problem)。

本發明之又再一目的係提供一種非同步的先進先出暫存器單元，在雙電壓系統下結合電壓準轉換，避免從低電壓到高電壓資料傳輸時，產生不必要的功率損耗。

本發明之又一目的係提供一種非同步的先進先出暫存器單元，應用於以全域非同步局部同步系統(GALS)為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，能減少較多的功率損耗與降低更多的延遲時間。

為達到上述目的，本發明提供一非同步先進先出暫存器單元，其位於兩個相鄰的非同步包覆器(asynchronous wrapper)-第一非同步包覆器和第二非同步包覆器-之間。本發明之非同步先進先出暫存器單元，包括一資料門鎖器(data latch)負責資料的存取，一狀態偵測器(full/empty detector)負責偵測資料門鎖器的狀態，一傳送者交握控制器(sender' s handshake controller)負責產生一傳送者回應訊號(Sack)至第一非同步包覆器，一接收者交握控制器(receiver' s handshake controller)負責產生一接收者回應訊號(Rack)至第二非同步包覆器，而狀態偵測器、傳送者交握控制器和接收者交握控制器皆係用修改過的 Muller C 電路所組成，可以降低電路的複雜度，其中，傳送者交握控制器之修改過的 Muller C 電路，會接收從接收者交握控制器所產生的接收者回應訊號，這可以避免資料輸入時，沒有暫存在資料門鎖器，而直接穿透到輸出端。

在雙電壓系統時的非同步先進先出暫存器單元，還在狀態偵測器和接收者交握控制器之間設置一非同步準位轉換器(asynchronous level converter)，以及資料門鎖器嵌入一準位轉換正反器(level converter flip flop, LCFF)，可以降低從低電壓到高電壓資料傳輸時功率的消耗和減少延遲時間，且此時的第一非同步包覆器外接一較小的供應電壓(V_{DDL})，

第二非同步包覆器外接一較大的供應電壓(V_{DDH})。此外，將雙電壓系統的非同步先進先出暫存器單元應用於以全域非同步局部同步系統為根基，雙電壓十六點的 radix-2² 之快速傅利葉轉換架構，可以減少較多的功率損耗與降低更多的延遲時間。

此架構主要有三個包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，每一包覆器有各自的頻率和操作電壓，非同步包覆器 1 和非同步包覆器 3 外接 V_{DDL} ，非同步包覆器 2 外接 V_{DDH} ，其中，在非同步包覆器 1 和非同步包覆器 2 的介面係利用雙電壓系統時的非同步先進先出暫存器單元在 GALS 雙電壓系統的架構，而在非同步包覆器 2 和非同步包覆器 3 的介面係利用 D flip-flop 和非同步準位轉換器修正過的交握電路所實現出來。

底下藉由具體實施例配合所附的圖式詳加說明，使更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係揭露一種非同步先進先出暫存器單元，其不但能在全域非同步局部同步(GALS)系統下，應用不同頻率下之不同的供應電壓或單一供應電壓，還可操作於以全域非同步局部同步(GALS)系統為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，使功率損耗更加減少以及延遲時間降低更多。

第一圖為非同步先進先出暫存器架構示意圖，有複數個連續的非同步先進先出暫存器單元 2 作為儲存元件，其利用一傳送者憑證(Sender's token,

記為 S_token)4 和一接收者憑證(Receiver's token, 記為 R_token)6 控制資料的輸入與輸出, 有傳送者憑證 4 的非同步先進先出暫存器單元 2 才能作為資料暫存處, 而有接收者憑證 6 的非同步先進先出暫存器單元 2 才能使暫存於非同步先進先出暫存器單元 2 的資料輸出。其中, 針對有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 之運作進行探討, 如第二圖所示, 為有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 應用在 GALS 單電壓系統的介面結構示意圖, 一非同步先進先出暫存器單元 2 位於一第一非同步包覆器(asynchronous wrapper)10 和第二非同步包覆器(asynchronous wrapper)20 之間。其中, 第一非同步包覆器包括第一局部同步模組 (locally-synchronous module)12、一第一交握產生器(handshake generator)14 和一第一可停止時脈控制器(plausible clock controller)16, 而第二非同步包覆器包括一第二局部同步模組(locally-synchronous module)22、一第二交握產生器(handshake generator)24 和一第二可停止時脈控制器(plausible clock controller)26。

其中, 由於第二圖的非同步先進先出暫存器單元 2 具有傳送者憑證 4, 才可接收從第一交握產生器 14 所產生的一傳送者要求訊號(Sreq), 且要等到有傳送者憑證 4 的非同步先進先出暫存器單元有空間可以儲存資料時, 才會產生一傳送者回應訊號(Sack)至第一交握產生器 14, 而一旦具有傳送者憑證 4 的非同步先進先出暫存器單元開始有資料要暫存之時, 則傳送者憑證 4 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。以及, 因第二圖的非同步先進先出暫存器單元 2 具有接收者憑證 6, 非同步先

進先出暫存器單元 2 才可使暫存於裡頭的資料輸出，並才可接收從之第二交握產生器 24 所產生的一接受者要求訊號(Rreq)，且要等到有接收者憑證 6 的非同步先進先出暫存器 2 有暫存的資料要輸出時，才會產生一接收者回應訊號(Rack)至第二交握產生器 24，而一旦具有接收者憑證 4 的非同步先進先出暫存器單元開始要將暫存的資料輸出時，則接收者憑證 6 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。

本發明之第一較佳實施例，係將第三圖所提出的單電壓系統非同步先進先出暫存器單元應用於第二圖之單電壓GALS系統介面結構。同時如第二圖和第三圖所示，此單電壓系統的非同步先進先出暫存器單元包括一資料門鎖器 9，其具有一暫存器 8 負責資料的存取，一狀態偵測器 7 負責偵測資料門鎖器 9 的存取狀態，一傳送者交握控制器 3 負責產生一傳送者回應訊號(Sack)至第一交握產生器 14，一接收者交握控制器 5 負責產生一接收者回應訊號(Rack)至第二交握產生器 24。

當第一局部同步模組 12 要將資料傳送到資料門鎖器 9，會先產生一第一致能訊號(S_en)至第一交握產生器 14，此時第一致能信號係在時脈上升緣，促使第一交握控制器 14 開始訊號轉換，之後第一交握產生器會產生一脈波(pulse)、一傳送者要求訊號(Sreq)至傳送者交握控制器 3，和一第一延長訊號(S_stretch)至第一可停止時脈控制器。其中，具有傳送者憑證 4 的非同步先進先出暫存器單元之傳送者交握控制器 3 會接收傳送者要求訊號(Sreq)，而當資料門鎖器 9 還有空間可以存放資料時，傳送者交握控制器 3 會產生一傳送者回應訊號(Sack)至第一交握產生器 14，而第一可停止時脈控

制器 16 接收到第一延長訊號後，會產生一第一局部時脈(local clock，記為 S_clk)訊號至第一局部同步模組 12，且當資料在輸入至非同步先進先出暫存器單元時，為避免第一延長訊號到達第一可停止時脈產生器的時間，和處理資料的時間過於接近，第一可停止時脈控制器 16 可以延長或停止第一局部時脈訊號，以避免同步化失敗。在當第一局部同步模組 12 收到第一局部時脈訊號後，會將資料輸入至資料門鎖器 9 中。

當資料輸入至資料門鎖器 9 暫存後，第二局部同步模組 22，在要接收暫存在資料門鎖器 9 的資料時，會先產生一第二致能訊號 (enable signal，記為 R_en)至第二交握產生器 24，此時第二致能信號係在時脈上升緣，促使第二交握控制器 24 開始訊號轉換，之後第二交握產生器 24 會產生一脈波(pulse)，一接收者要求訊號(Rreq)至接收者交握控制器 5 和一第二延長訊號 (R_stretch)至第二可停止時脈控制器 26。其中，具有接收者憑證 6 的非同步先進先出暫存器單元之接收者交握控制器 5 會接收接收者要求訊號 (Rreq)，而當資料門鎖器 9 有存放的資料時，接收者交握控制器 5 會產生一接收者回應訊號 (Rack)至第二交握產生器 24，而第二可停止時脈控制器 26 接收到第二延長訊號後，會產生一第二局部時脈 (local clock，記為 R_clk)訊號至第二局部同步模組 22，且當資料從資料門鎖器 9 被輸出時，為避免第二延長訊號到達第二可停止時脈產生器的時間，和處理資料的時間過於接近，第二可停止時脈控制器 16 可以延長或停止第二局部時脈以避免同步化失敗。在當第二局部同步模組 22 收到第二局部時脈訊號後，第二局部同步模組會接收儲存於資料門鎖器 9 內的資料。

第四圖係第一交握產生器 14 和第一可停止時脈控制器 16 的訊號轉換過程：

$S_en^+ - pulse^+ - Sreq^+ - S_stretch^+ - pulse^- - Sack^+ - Sreq^-$

$-Sack^- - S_stretch^-$ (“+” 表示上升緣訊號，“-” 表示下降緣訊號)。同樣以上類似的訊號轉換過程於發生在第二非同步包覆器 20 和非同步先進先出暫存器單元 2 之介面。第五 A 圖是第一交握控制器 14 和第二交握控制器 24 的實際結構，利用 Muller C 元件構成，能夠減少額外的面積(area overhead)；第五 B 圖是第一可停止時脈控制器 16 和第二可停止時脈控制器 26 的實際結構，其在反相器中至入 P 型電晶體，因此當在第一延長訊號的下降緣之後，第一時脈訊號(S_clk)重新震盪的時間會很短，故減少第一時脈訊號延遲時間以及功率的消耗。

此外，狀態偵測器 7 係利用修改過的 Muller C 30 元件所構成的，如第六 A 圖和第六 B 圖所示，第六 A 圖係修改過的 Muller C 元件 30 簡單示意圖，第六 B 圖修改過的 Muller C 元件 30 實際結構。當狀態偵測器 7 偵測資料門鎖器 9 之資料儲存的空滿狀態，如果有資料存在資料門鎖器 9 中，狀態偵測器 7 設定“full”的狀態(定 $full=1$ ， $empty=0$)，如果沒有資料存在資料門鎖器 9 中，狀態偵測器 7 設定“empty”的狀態(定 $empty=1$ ， $full=0$)，至於是 $full=1$ 或是 $empty=1$ ，要利用傳送者要求訊號($Sreq$)和傳送者回應訊號($Sack$)輸入至修改過的 Muller C 元件 30 作判斷，其中，修改過的 Muller C 元件 30 有一重置(reset)訊號輸入端。一開始，重置訊號會使得無任何資料儲存在資料門鎖器 9，當對於先進先出暫存器單元 $Sreq=1$ 時，資料會儲存在資料門鎖器 9，且使得 $full=1$ ；當 $Rreq=1$ 時，儲存在資料門鎖器 9 的資

料要被輸出，重置原本的 full=1 變成 empty=1。其中，Sreq 和 Rreq 不能同時為 1，是為了避免資料從輸入端直接穿透(transparent problem)到輸出端，沒有暫存在資料門鎖器中。綜合以上，狀態偵測器 7 運作機制為：

If Sack= 1，then full->0

Else If Rack= 1，then empty->1

(Sack 和 Rack 不能同時為 1)

然而，傳送者交握控制器 3 的目的就是產生傳送者回應訊號至第一交握產生器 14，其中，傳送者交握控制器 3 係利用修改過的 Muller C 元件 32 構成，如第七 A 圖和第七 B 所示，第七 A 圖為修改過的 Muller C 元件 32 簡單示意圖，第七 B 圖為修改過的 Muller C 元件 32 實際結構。當第一交握產生器 14 產生傳送者要求訊號至有接收傳送者憑證 4 的傳送者交握控制器 3 時，其傳送者交握控制器 3 之運作機制為：

If full=1，then Sack->0

Else If Rack=1，then Sack -> 0(unchanged)

Else If Sreq=1，then Sack ->1

Else If Sreq=0，then Sack ->0

其中，"If Rack=1，then Sack -> 0(unchanged)"，係避免 Sreq 和 Rreq 同時為 1，也就是當 Rack=0 時，使暫存在資料門鎖器 9 的資料不輸出之後，而 Sack 將會是 1 準備使資料輸入。這樣，就能避免資料直接穿透的問題發生。

再者，接受者交握控制器 5 的目的就是產生接收者回應訊號至第二交握產生器 24，其中，接受者交握控制器 5 係修改過的 Muller C 元件 34 所

構成，如第八 A 圖和第八 B 所示，第八 A 圖為 Muller C 元件 34 簡單符號象徵，第八 B 圖為 Muller C 元件 34 實際結構。當第二交握產生器 24 產生傳送者要求訊號至有接受者憑證 6 的接收者交握控制器 5 時，其接收者交握控制器 5 之運作機制為：

If Empty=1 ， then Rack->0

Else If Rreq=1 ， then Rack ->1

Else If Rreq=0 ， then Rack ->0

當第二圖之非同步先進先出暫存器單元 2 係為雙電壓 GALS 系統時之介面結構上時，則第一非同步包覆器 10 要外接一第一供應電壓(V_{DDL})，第二非同步包覆器 20 要外接一第二供應電壓(V_{DDH})，且第二供應電壓之大小大於第一供應電壓。

本發明第二較佳實施例，係將第九圖所提出的雙電壓系統非同步先進先出暫存器單元應用在第二圖之非同步先進先出暫存器單元 2 係雙電壓 GALS 系統時之介面結構。此外，第九圖雙電壓系統的非同步先進先出暫存器單元，實線係表外接第一供應電壓(V_{DDL})，虛線係表外接第二供應電壓(V_{DDH})。此雙電壓系統的非同步先進先出暫存器單元其結構與第三圖單電壓系統的非同步先進先出暫存器單元類似，皆包括一資料門鎖器 36，負責資料的存取，一狀態偵測器 7 負責偵測資料門鎖器 39 的狀態，一傳送者交握控制器 3 負責產生一傳送者回應訊號至第一交握產生器 14，一接收者交握控制器 5 負責產生一接收者回應訊號至第二交握產生器 24，惟，其中資料門鎖器 36 係具有一準位轉換正反器 38(level converter flip flop, LCFF)，且

在狀態偵測器 7 和接收者交握控制器 5 之間有一非同步準位轉換器 (asynchronous level converter, ALC)39。

然而，在狀態偵測器 7 和接收者交握控制器 5 之間，設置非同步準位轉換器 39 係由於在外接第一供應電壓(V_{DDL})的部分可能必須驅動外接第二供應電壓(V_{DDH})的輸入端，故受到 V_{DDL} 驅動的 P 型電晶體在未被完全關掉時，從低電壓到高電壓資料傳輸時的延遲時間將會增加，且會有直流電流經過此 P 型電晶體，所以利用非同步準位轉換器 39 第一供應電壓之大小變換至第二供應電壓之大小，以解決上述問題。以及，在資料門鎖器 36 的準位轉換正反器(LCFF)38，具有正反器和準位轉換的功能，能降低延遲時間和功率消耗，且準位轉換正反器 38 用的是 pulsed flip flop，對準位轉換正反器 38 在耦合(sample)傳送者回應訊號時，就如同是一個脈波(pulse)，故不需要脈波產生器。第十 A 圖為準位轉換正反器 38 的實際結構，第十 B 圖為非同步準位轉換器 39 的實際結構。

在第九圖雙電壓系統的非同步先進先出暫存器單元之狀態偵測器、傳送者交握控制器，和接收者交握控制器與第五圖單電壓系統的非同步先進先出暫存器單元一樣，亦就是分別皆採用相同的單電壓系統的非同步先進先出暫存器單元之修正過的 Muller C 元件 30、32、34，且第九圖所提出的雙電壓系統非同步先進先出暫存器單元運用於雙電壓 GALS 系統時之介面結構訊號轉換過程類似於第一較佳實施例。

本發明之第三較佳實施例係將上述所提出之雙電壓系統的非同步先進先出暫存器單元應用在以全域非同步局部同步(GALS)系統為根基，雙電源

電壓十六點 radix-2² 之快速傅利葉轉換(FET)架構 (見第十一 A 圖)，此架構有三個非同步包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，非同步包覆器 1 和非同步包覆器 3 外接 $V_{DDL}=0.9V$ ，非同步包覆器 2 外接 $V_{DDH}=1.2V$ ，其中，雙電壓系統時的非同步先進先出暫存器單元的 GALS 介面架構位於非同步包覆器 1 和非同步包覆器 2 的第一介面 40(見第十一 B 圖)，而 D flip-flop(DFF)47 和一非同步準位轉換器(ALC)39 構成的非同步架構位於非同步包覆器 2 和非同步包覆器 3 的第二介面 42(見第十一 C 圖)。其中，第二介面 42 的寫入埠(write-port)43 相當於第一交握產生器 14，讀取埠(read-port)45 相當於第二交握產生器 24，見第十二圖係寫入埠 43 與可停止時脈產生器的訊號轉換過程，第十三圖係讀取埠 45 與可停止時脈產生器的訊號轉換過程。

將第十一 A 圖以全域非同步局部同步(GALS)系統為根基，雙電壓源系統之快速傅利葉轉換(FET)架構與第十四 A 圖為以全域非同步局部同步系統為根基之單電壓源系統之快速傅利葉轉換架構，第十五圖為雙電壓源系統之同步快速傅利葉轉換架構，和第十六圖為單電壓源系統之同步快速傅利葉轉換架構利用 TSMC0.13um 技術模擬結果來作比較。

見表格 1 和第十七圖比較這四種不同的快速傅利葉轉換架構的功率消耗，可以發現雙電壓系統比單電壓系統損耗的功率少。在同步 FET 架構，雙電壓系統約比單電壓系統減少 12.5%的功率。以全域非同步局部同步系統為根基的 FET 架構(見第十一圖和 A-C 第十四圖 A-C)，其第一包覆器和第三包覆器與其中一個同步 FET 架構的第一包覆器和第三包覆器比較，功率

消耗較大，這是由於以全域非同步局部同步系統為根基的 FET 架構之操作的頻率較高且介面電路較多。在全域非同步局部同步系統為根基的 FET 架構之第二包覆器的部份，與同步 FET 架構比較，減少很多的功率，這是因為當資料從第一覆器尚未要傳送時，GALS 的第二包覆器必須等到資料要傳送過來，所以此時沒有對 ROM 和複雜的多工器作時脈轉換(clock switch)，因此節省時脈轉換時所消耗的功率。然而，從第十七圖得知以全域非同步局部同步系統為根基的 FET 架構與其中一個同步 FET 架構比較，總體功率並沒有減少，這可能是因為全域非同步局部同步系統為根基的 FET 架構具有較多的介面電路，其所消耗的功率大於沒有進行時脈轉換所節省下的功率。

此外，第十八圖係比較此四個不同的 FET 架構的延遲時間，以全域非同步局部同步系統為根基的 FET 架構的延遲時間較短，這係因為第一包覆器的時脈頻率比同步的 FET 架構快，故延遲時間減少。所以，用較大的全域非同步局部同步系統為根基的 FET 系統，應用雙電壓系統之 16 點的 radix-2² 單電路延遲回饋(single-path delay feedback)的 FET 架構下可以節省較多的功率消耗和降低更多的延遲時間。

表格 1

	第一 包覆器	第二 包覆器	第三 包覆器
同步單電壓 系統	Clock=9ns		
	VDDH=1.2V		
同步雙電壓 系統	Clock=9ns		
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V
GALS 單電 壓系統	Clock=3.5ns	Clock=9ns	Clock=3.5ns
	VDDH=1.2V		

GALS 雙電 壓系統	Clock=5ns	Clock=9ns	Clock=5ns
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為本發明之非同步先進先出暫存器架構示意圖。

第二圖為本發明之非同步先進先出暫存器單元在 GALS 系統的介面結構示意圖。

第三圖為本發明之一應用於單電壓系統的非同步先進先出暫存器單元的較佳實施例。

第四圖為本發明第一交握產生器和第一可停止時脈產生器的訊號轉換。

第五 A 圖為本發明第一交握控制器和第二交握控制器的實際結構。

第五 B 圖為本發明第一時脈產生器和第二時脈產生器的實際結構。

第六 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第六 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第七 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第七 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第八 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第八 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第九圖為本發明之一應用於雙電壓系統的非同步先進先出暫存器單元的較

佳實施例。

第十 A 圖為本發明準位轉換正反器的實際結構。

第十 B 圖為本發明非同步準位轉換器的實際結構。

第十一 A 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構。

第十一 B 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第一介面。

第十一 C 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第二介面。

第十二圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構，在第二介面之輸入埠與可停止時脈產生器的訊號轉換。

第十三圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構，在第二介面之讀取埠與可停止時脈產生器的訊號轉換。

第十三圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構。

第十四 A 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構。

第十四 B 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第三介面。

第十四 C 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第四介面。

第十五圖為本發明之雙電壓源系統，同步快速傅利葉轉換架構。

第十六圖為本發明之單電壓源系統，同步快速傅利葉轉換架構。

第十七圖為本發明之四個不同快速傅利葉轉換架構的功率消耗。

第十八圖為本發明之四個不同快速傅利葉轉換架構的延遲時間。

【主要元件符號說明】

2 非同步先進先出暫存器單元

3 傳送者交握控制器

4 傳送者憑證

5 接收者交握控制器

6 接收者憑證

7 狀態偵測器

8 暫存器

9 資料門鎖器

10 第一非同步包覆器

12 第一局部同步模組

14 第一交握產生器

16 第一可停止時脈控制器

20 第二非同步包覆器

22 第二局部同步模組

24 第二交握產生器

26 第二可停止時脈控制器

30 修正過的 Muller C 元件

32 修正過的 Muller C 元件

34 修正過的 Muller C 元件

36 資料門鎖器

38 準位轉換正反器

39 非同步準位轉換器

40 第一介面

42 第二介面

43 寫入埠

44 第三介面

45 讀取埠

46 第四介面

47 DFF(D Flip Flop, D 型正反器)

48 第一包覆器

50 第二包覆器

52 第三包覆器

3.3 非同步包覆器 (asynchronous wrappers) 的介面設計

在第二章中已有介紹非同步包覆器，兩個相鄰的非同步包覆器會形成一個介面，如圖 3.10 所示。首先考慮一個從發射端使用點對點傳送至接收端的通訊方法，對非同步包覆器發射端來說，他包含了局部同步模組 (locally-synchronous module, LS module)，可停止時脈產生器 (plausible clock controller, PCC)，和寫入埠 (write-port, W-port)，而對非同步包覆器接收端來說只是將 W-port 改成讀取埠 (read-port, R-port)。接下來的段落或介紹本論文所提出的 PCC, W-port 和 R-port 設計。

3.3.1 可停止時脈產生器 (PCC)

PCC 主要係提供一個能停止或延長局部時脈 (local clock) 訊號的局部同步模組。[3.7]和[3.8]中有提出兩種 PCC 的設計架構都是以互斥 (mutual exclusion, ME)或是 Muller C 元件加上連續個反相器 (inverter)來實現。在這一節中會介紹本論文所提出的 PCC 設計架構。在此之前，先說明 ME 的概念，此一概念將會運用在 PCC 的設計架構中。

3.3.1.1 互斥 (ME)

Fig 3.11 所示為一個有兩個輸入及輸出端的互斥 (ME) 電路，其主要功能為一次准許兩輸入端其中一個輸入邏輯值輸出，如果兩輸入端同時達到穩態邏輯值，其將隨機選取其中之一輸出，就像是丟硬幣一般。互斥 (ME) 電路的一大特徵為當輸入端的輸入到達時間間隔越接近，其內部電路所需的穩態時間越長，也就是說輸出與輸入的延遲時間越大。為了增進互斥 (ME) 電路的效率，PMOS 與 NMOS 元件的面積將需要詳細的評估以得到較佳的效能。互斥 (ME) 電路可以加入可停止時脈控制器與仲裁 (arbiter) 電路。

3.3.1.2 Pausible clock controller with mutual exclusion (ME)

設計可停止時脈控制器的一種選擇是使用互斥 (ME) 電路與環型震盪器 (ring oscillator)，Fig 3.12(a) 與 (b) 分別說明電路設計與其時序圖 (timing diagram)。環型震盪器是由奇數個反相器所組合而成以產生時脈訊號。互斥 (ME) 電路的兩個輸入端分別為 stretch 與 rclk，其中同時只有某一輸入端可以輸出。由 Fig 3.12(b) 可知當 stretch 訊號為邏輯 1 時，local clock (lclk) 會被延長。此一電路設計最大的缺點在於當 stretch 訊號與 rclk 訊號幾乎同時送達電路

時，會有無法達成穩態的問題。

3.3.1.3 使用 Muller C 的可停止時脈控制器

另一種設計可停止時脈控制器為使用 XOR 與有著奇數個反相器的 Muller C 組合而成，如 Fig 3.13 所示。連續個反相器所產生出來的局部時脈 (local clock) 訊號會回授給 Muller C 的輸入端，因此由 Muller C 的特性來看，當延長 (stretch) 訊號為邏輯 0 時，Muller C 將會輸出一個與輸入端相同的訊號，也就是局部時脈訊號。當延長訊號為邏輯 1 時，Muller C 的輸入端 X 將會接收到一個邏輯 0 的輸入，此時 Muller C 的輸出端將可能是邏輯 0 或 1 其中一者。但由於環型震盪器的特性，Muller C 的輸出端最終會穩定到邏輯 0。此一設計方式可以避免具有互斥 (ME) 的可停止時脈控制器，無法達成穩態的問題。

3.3.1.4 可停止時脈控制器

Fig 3.14 所示為本文所提出的可停止時脈控制器的電路架構，與之前提到的兩種架構相比，本文的電路架構僅僅加入一顆控制電晶體於連續個環狀排列的反向器。當延長 (stretch) 訊號為邏輯 0 時，環狀排列的反向器工作正常產生 clock 訊號。當 stretch 訊號為邏輯 1 時，會有兩種可能性，第一種為當時脈 (clock) 訊號為邏輯 0 時則輸出 clock 訊號將會永遠

為邏輯 0，第二種為 clock 訊號為邏輯 1 時，控制電晶體將會開啟並且開始將該節點邏輯值拉至邏輯零，因此不論如何於穩態時 clock 訊號將都為邏輯 0，並且控制電晶體為關閉的狀態。

上述關於可停止時脈控制器的討論適用於一對一的輸送，因此僅能有一個延長 (stretch) 訊號送至輸入端，然而當有多個需求訊號送至輸入端時，每一個需求訊號送達都需要局部時脈訊號 (local clock) 停止或是延長。因此為達到這樣的要求，延長訊號輸入端將會加入一個 OR 電路，如 Fig 3.15 所示。

3.3.1.5 模擬結果

從延長 (stretch) 信號之下降緣開始直到時脈 (clock) 信號穩定產生的這段時間，本文稱之為 resolution time，其說明如下。Table 3.1 列出了前述三種不同的可停止時脈控制器的 resolution time，而 Fig 3.16 比較出其 resolution time 的差異。三者均使用 23 inverter stages，0.13um TSMC CMOS 製程技術於 1.5V、攝氏 25 度。本文提出的設計是相同情況下時脈頻率最高的，同時與 ME 設計相比，本文提出的設計可以節省 44.8% 的 resolution time，與 Muller C 設計比，可以節省 34.8%。這是因為本文提出的 stretch 信號控制電路是簡單的，而且可以降低工作時間的。

3.3.2 寫入埠 (W-port)

W-port 如同交握信號產生器一般，送出要求 (Req) 訊號與控制可停止時脈控制器的訊號，交握憑證是依據四種態樣 (four-phase) 的交握信號設計。當輸出端的 LS module 準備好送出訊號給輸入端時，它會將 W-port 的 S_enable 信號啟動，在每一個時脈 (clock) 信號上升緣出現時，W-port 會產生一 pulse 信號，接著 W-port 會送出 Req 信號到 R-port，同時送出 S_stretch 信號到 pausable clock controller，然後直到 R-port 產生回應 (Ack) 信號後，Req 信號和 S_stretch 信號才會被設為邏輯 0。此一連串的信號流可簡略說明如下：S_enable +→ S_pulse +→ Req +→ S_stretch +→ S_pulse -→ Ack +→ Req -→ Ack -→ S_stretch -。Fig 3.17 列出了 W-port 與可停止時脈控制器的波型圖，我們使用這樣的信號規格是考量 Fig 3.10 中的 D flip-flop 會在 Ack 信號上升緣時取樣輸入信號，為了符合其 setup time 和 hold time 的要求，S_stretch 信號必須將 Ack 信號完全涵蓋在內。因此，local clock 將會在 S_stretch 變成邏輯 0 後才取樣下一個輸入信號。

Fig 3.18 圖示實際 W-port 電路的信號變化。所有的 Muller C 電路都是動態電路，當 S_enable 為邏輯 1 時，delay line 被用來產生 pulse 信號。一開始 Ack 信號為邏輯 0 直到 pulse 信號產生出來，pulse

信號會經由第一個 Muller C 電路設 Req 為邏輯 1，接著 S_stretch 信號也會由其他的 Muller C 電路設為邏輯 1。當 Ack 信號為邏輯 1 時，因為第一個 Muller C 電路的兩個輸入都會邏輯 0，Req 將會變為邏輯 0，S_stretch 信號會轉為邏輯 0 當 Req 與 Ack 信號都回到邏輯 0，在此時一次的電路信號變化完成，critical path 是從 Ack 邏輯 0 到 S_stretch 邏輯 0，此路徑有著三個邏輯閘延遲時間。

3.3.3 讀取埠 (R-port)

R-port 是 handshake 信號的回應者、Ack 和控制 pausable clock controller，R-port 與 W-port 非常近似，但是有些許的不同。當輸入端的 LS module 想從輸出端獲得資料時，R-port 會將 R_enable 設為邏輯 1，同時在每個 clock 的正緣會產生 pulse 信號，當 R_pulse 為邏輯 1 時，R_stretch 信號會接著被設為邏輯 1。此時，R-port 會待命直到 Req 設為邏輯 1，R-port 會送出 Ack 為邏輯 1 回到 W-port，很快的 R_stretch 和 Ack 都會回到邏輯 0，此一連串的信號流如下：R_enable + → R_pulse + → R_stretch + → Req + → R_pulse - → Ack + → Req - → R_stretch - → Ack -，Fig 3.19 圖示實際 R-port 電路的信號變化。

Fig 3.20 圖示 R-port 的電路設計，最初 Req、Ack 和 R_stretch 都為邏輯 0，因此第一個 Muller C 電路為

邏輯 1，直到 pulse 信號輸入，R_stretch 將會將邏輯 1 輸入第一個 Muller C 電路。如果 Req 為邏輯 1 時，Ack 會因為第二個 Muller C 電路而變為邏輯 1，接著 Req 變為邏輯 0，R_stretch 和 Ack 也會變為邏輯 0。Critical path 示從 Req 邏輯 0 到 R_stretch 邏輯 0，此路徑有兩個 gate delay time。

3.3.4 Layout 與 post-simulation 結果

3.3.4.1 W-port 與 R-port 的 Layout

Fig 3.21 圖示 W-port 與 R-port 的 Layout，R-port 位於圖中上方，W-port 位於下方，總面積為 $19 \times 14.2 (269.8) \mu\text{m}^2$ ，整體面積並未因為交握電路而增大很多，此 layout 是根據 TSMC 0.13 LOGIC 1P8M 製程。

3.3.4.2 post-simulation 結果

非同步包覆器輸出端的工作頻率以及輸入端的工作頻率決定於傳送的資料為何，同時決定於 R-port 與 W-port 的 critical path。Fig 3.22 說明了 enable 信號工作於 1.2V 輸出端 clock(S_clk) 和輸入端 clock(R_clk) 的 SPICE 信號，為了得到資料傳送的最高工作頻率，本文假設 S_clk 與 R_clk 工作於較高的頻率下。S_clk 與 R_clk 各自由可停止時脈控制器中的環型震盪器的 13 個與 17 個反相器提供信號。起始時，輸入端的 R_enable 為邏輯 1，但是資

料尚未傳進輸入端內(S_enable 依然為邏輯 0)。此時 R_clk 必須被 stretch 同時等待輸出端的資料，當 S_enable 變為邏輯 1 時，R_clk 會重新 oscillate，當 S_enable 與 R_enable 同時為邏輯 1 時，clock 頻率可以被量測到。Fig 3.23 與 Fig 3.24 顯示輸入與輸出端在不同電壓下的工作頻率，clock 頻率根據 13 個與 17 個反相器的設定，在 1.5V 沒有資料傳輸下，可以達到 1.9GHz 及 1.5GHz，當有資料傳輸下，時脈(clock)頻率仍有 1.25GHz，這頻率也是此一資料傳輸介面能達到的最大工作頻率。

4.2 非同步先進先出(FIFO)架構

非同步 FIFO 包含了有控制信號資料儲存元件的連續個 FIFO 暫存器單元，其架構如 Fig 4.2 圖所示。虛線代表輸出與輸入端的憑證(token)路徑，token 就像是一個指示標的，輸入資料會儲存到 token 所指到的 FIFO 暫存器單元，當資料暫存後之後，輸出端的 token 會指到下一個暫存器單元。同樣的，當輸入端準備從 FIFO 接收資料時，輸入端會由輸入端 token 所指到的 FIFO 暫存器單元位址開始讀取，一但資料輸出時，輸入端的 token 也會移往下一個 cell。

使用 token 機制之非同步 FIFO 的行為可描述如下：
對輸出端而言，當 FIFO 輸入端接收到交握產生器

(HS generator)傳送的請求信號 Sreq，此信號會廣播到所有的 FIFO 暫存器單元，但是只有 token 所指到的暫存器單元會實際收到請求信號，資料將儲存進暫存器單元中，同時 Sack 信號將會傳回暫存器單元。然而，如果 token 指定的暫存器單元原本的狀態為滿的，Sack 信號會等到暫存器單元狀態有儲存空間之後再傳回。輸入端也有類似的信號流程，Rreq 信號會廣播到所有的 FIFO 暫存器單元，同樣也只有 token 指到的暫存器單元會實際收到請求信號，在此暫存器單元的資料會傳至資料輸出 bus 上面，同時 Rack 信號會傳回輸入端的交握產生器 (HS generator)。

本文的 FIFO 架構有幾點優勢，第一，低延遲時間，也就是說最先送出的資料到最先收到的資料所需的時間會比較小，比傳統的 FIFO 中延遲時間是取決於 FIFO 的深度 (depth) 與大小 (size)，當 FIFO 越大造成的延遲時間越大，但帶來的好處是只要資料儲存進入 FIFO 暫存器單元內，這筆資料就可以被讀取。第二，FIFO 的深度以及 data bus 的寬度是可以延展的，而其需要的代價僅是少數電路的修改，同時此一架構是可多次使用。第三，控制訊號的電路非常簡單從而能夠減少電路的複雜度，也因此對於功率的消耗也比較小。接下來的 sub-section 會說明 FIFO 中每一子電路的設計。

4.2.1 憑證(token)機制

token 是由移位暫存器(shift register)建構而成，如 Fig 4.3 所示，"R0"的輸出會 reset 至邏輯 0，"R1"的輸出會 reset 至邏輯 1，暫存器是由具有 reset 與 enable 信號的 static ones 構成，enable 信號會由 LS module 提供，作為 FIFO 內資料穩定可以被輸出。一開始 tokenN 會 reset 至邏輯 1 而其餘的 token 信號會設為邏輯 0，在 clock 正緣與 enable 信號為邏輯 1 時，tokenN 信號會傳送至 token0 並且選擇到有 token0 的那個 cell。所有的 token 信號都是與局部時脈同步。這樣一種使用移位暫存器實現 token 機制的方法對在 FIFO 大小增大時具有優勢，因為它只需要增大這一圈的暫存器數目即可，不需要做任何複雜的變動。

4.2.2 N-input OR

N-input OR 是用在將所有的 acknowledge 信號全部合成到一個 Ack 信號，而 Ack 信號會送回交握產生器。當 FIFO 的大小增加時不希望造成複雜的變動，因此本文採用 pseudo-OR 電路。N-input OR 電路如 Fig 4.4 所示，每當多增加一個 FIFO 暫存器單元，只需要多加上一個 NMOS 電晶體對應，但是缺點在於 PMOS 電晶體會永遠開啟工作造成些許的功率消耗。

4.2.3 新的非同步 FIFO 暫存器單元

FIFO 暫存器單元的功能主要是根據交握信號決定將資料儲存或是讀出暫存器單元，對於本文的需要，簡化控制電路是主要目標。本文提出的 FIFO 暫存器單元圖示於 Fig 4.5，暫存器單元包括四個部份，資料門鎖器 (data latch)、狀態偵測器 (full/empty detector)、傳送者交握控制器 (sender's handshake controller) 與接收者交握控制器 (receiver's handshake controller)，所有的控制電路都是由 Muller C 元件做些許的修改來實現。因此暫存器單元有較小的面積與簡單的週邊信號控制能力。

不管資料是否有從資料門鎖器儲存或讀取，狀態偵測器都會決定 FIFO 暫存器單元的狀態，當 full 信號為邏輯 1 (empty 信號為邏輯 0) 時代表輸入資料儲存在 FIFO 暫存器單元內，反之當 empty 信號為邏輯 1 (full 信號為邏輯 0) 時代表 FIFO 暫存器單元內沒有任何輸入資料。Full 與 empty 信號的邏輯值決定於有著 reset 信號的 Muller C 元件 Sack_i 與 Rack_i 信號，其電路實現與代號圖示於 Fig 4.6。最初 reset 信號會使全部 cell 設為 empty，當某一特定 FIFO 暫存器單元的 Sack_i 信號為邏輯 1 時，輸入資料會被取樣及儲存至暫存器同時將 full 信號設為邏輯 1。當 Rack_i 信號為邏輯 1 時，transmission gate 開啟，儲存在 cell 內的資料將被送出至 output bus 同時將 full 與 empty 信號設為邏輯 1。如果 Sack_i 和 Rack_i 同

時為邏輯 1 時會有一個輸入與輸出透通的問題，這問題是指 transmission gate 開啟與暫存器取樣資料同時發生，此時輸入資料便會直接透通至 output bus 上，這是很嚴重的問題，可能會造成輸入資料順序與 FIFO 輸出資料順序不同，不過經由本文的設計，Sack_i 與 Rack_i 信號不會同時成為邏輯 1，此一機制由輸出端的 HS controller 控制，會在之後的章節討論。總結來說，full/empty detector 的信號規則如下：

If Sack_i + then full → low

Else if Rack_i + then empty → high

(Sack_i 與 Rack_i 信號不會同時成為邏輯 1)

交握控制器的功能為把回應(ack)信號送回到交握產生器，對輸出端的傳送者交握控制器而言，一但交握產生器產生 Sreq 信號給 token 所指的 FIFO 暫存器單元，其信號規則如下：

If full + then Sack_i → low

Else if Rack_i + then Sack_i → unchanged(still low)

Else if Sreq + then Sack_i → high

Else if Sreq - then Sack_i → low

“Else if Rack_i + then Sack_i → unchanged(still low)”

的條件式是為了防止 Sack_i 與 Rack_i 信號同時成為邏輯 1，如此當 Sack_i 邏輯 1 驅使電路取樣輸入資料的同時，Rack_i 會維持邏輯 0 將 transmission gate

關閉，那麼輸入與輸出透通問題將可以避免，輸出端的傳送者交握控制器電路實現與代號圖示於 Fig 4.7(a)與(b)。

對輸入端來說，當交握產生器傳送 Rreq 信號至 token 指到的 FIFO 暫存器單元時，其信號規則如下：

If empty + then Rack_i → low

Else if Rreq + then Rack_i → high

Else if Rreq - then Rack_i → low

這樣的電路可以稍微更動輸出端傳送者交握控制器的設計完成電路，輸入端接收者交握控制器的電路實現與代號圖示於 Fig 4.8(a)與(b)。

最後總結 FIFO 暫存器單元電路的所有功能，首先，所有的電路都由 Muller C 元件為基礎實現完成，其信號的變動延遲時間與功率消耗都很小，第二，最大的資料輸出入透通問題已經由判斷式的加入而避免，第三，FIFO 暫存器單元電路可以直接複製產生更多的 FIFO，此暫存器單元是具延展性。

5.4 雙電壓系統中的非同步 FIFO 架構

第四章所介紹的非同步 FIFO 架構可以作為兩個需要相連但不同頻率的鄰近裝置之介面，這一節中會改進原本的 FIFO 架構以成為可運用在雙電壓系統的電路，其架構如 Fig 5.14 所示。輸出端將會使用低電壓 (V_{DDL}) 而輸入端會使用高電壓 (V_{DDH})。

5.4.1 適合雙電壓的非同步 FIFO 架構

此節先設計的是由低電壓 (V_{DDL}) 轉到高電壓 (V_{DDH}) 的非同步 FIFO 架構，如 Fig 5.15。藍色的線 (黑白時為灰階較深線) 為低電壓 (V_{DDL})，紅色的線 (黑白時為灰階較淺線) 為高電壓 (V_{DDH})。如之前所討論的，最大的問題在於必須要避免當高電壓 (V_{DDH}) 的輸入被低電壓 (V_{DDL}) 所驅動時的 FIFO 之直流電流，因此 FIFO cell 需要被更改已解決這個問題。

5.4.2 適合雙電壓的非同步 FIFO 暫存器單元

非同步 FIFO 暫存器單元的分析顯示於 Fig 5.16，可以發現有兩個區域會有高電壓 (V_{DDH}) 的輸入被低電壓 (V_{DDL}) 所驅動，一個在資料門鎖器，另一個為 empty 信號送到輸入端的傳送者交握控制器 (sender's handshake controller)，因此這兩處需要加上準位轉換器 (level converter)。

若只把非同步準位轉換器加在資料門鎖器的輸入上，這樣會使得速度降低且功率消耗增加，為了彌補這樣的問題，本文使用前一節所介紹的準位轉換正反器 (level converter flip-flop, LCFF)，更動後的非同步 FIFO 暫存器單元圖示於 Fig 5.17，在此不需要脈波產生器 (pulse generator)，因為正反器的 Sack_i 取樣信號可以當作 pulse 信號，另外低負載 (只需驅動一顆電晶體) 的 Sack_i 信號也使得 LCFF 非常

適合本文的非同步 FIFO 暫存器單元使用，所以正反器的驅動緩衝區可以比原本的設計更小，節省一些功率消耗。

5.4.3 效能考量

為了評估改進之雙電壓 FIFO 暫存器單元，資料門鎖器考慮了三種不同的狀況，如 Fig 5.18 所示。第一種，FIFO 暫存器單元內沒有任何的準位轉換器且所有的暫存器單元都由高電壓 (V_{DDH}) 所驅動 (以 "no LC" 標示)，第二種，暫存器 (register) 接著非同步準位轉換器且由低電壓 (V_{DDL}) 驅動 (以 "reg_ALC" 標示)，第三種，使用 Fig 5.17 的 LCFF (以 "LCFF" 標示)。

5.4.3.1 功率消耗

首先，模擬環境中輸出端使用的低電壓 (V_{DDL}) 為 0.9V，輸入端使用的高電壓 (V_{DDH}) 為 1.2V，不同面積大小的 FIFO 所消耗的功率圖示於 Fig 5.19，其顯示功率消耗較少的是使用非同步準位轉換器的資料門鎖器，在 FIFO 使用 16 個暫存器單元下沒有準位轉換器的會比使用的多消耗 12.58% 的功率，就如前一節所提及沒有準位轉換器會造成之直流電流，雖然使用準位轉換器可以減少直流功率消耗但是準位轉換器本身也會消耗些許的功率。在比較低電壓 (V_{DDL}) 為 0.9V 高電壓 (V_{DDH}) 為 1.2V 時所獲得的功率差異並沒有太大，因此將低電壓 (V_{DDL}) 設為 0.9V 高

電壓 (V_{DDH}) 為 1.5V 時，可於 Fig 5.20 中看到不同面積大小的 FIFO 之功率消耗，可以發現高電壓 (V_{DDH}) 部份的功率消耗將會主導整個功率消耗大小，同時本文所提出的設計可以降低超過 50% 的功率消耗，這是因為在高低電壓差距極大的狀況下，準位轉換器的有無所造成的直流功率消耗會大幅增加，這代表由高電壓驅動的暫存器會消耗大量的功率，使用準位轉換器可以大幅減低功率消耗。

5.4.3.2 clock 週期

資料傳輸時最慢的路徑是在低電壓驅動的控制電路，Table 5.2 列出低電壓 (V_{DDL}) 為 0.9V 高電壓 (V_{DDH}) 為 1.2V 的三種狀況下各自的最小 clock 週期，LCFF 的狀況因為控制信號，Sack_i，有較小的負載而快出另外兩種少許。

5.5 以 GALS 為基底的雙電壓系統之 16-point 快速傅利葉轉換處理器

此節將會使用四種不同的 radix-4 快速傅利葉轉換 (FET) 架構，其各為單電壓同步 FFT、雙電壓同步 FFT、以 GALS 根基的單電壓 FFT、以 GALS 根基的雙電壓 FFT。

5.5.1 單電壓同步 FFT

單電壓同步 FFT 圖示於 Fig 5.21，電壓為 1.2V，根據本文的設計其最低 global clock 週期為 9ns 且受限於複數乘法器。

5.5.2 雙電壓同步 FFT

雙電壓同步 FFT 圖示於 Fig 5.22，第一部份和最後部份使用低電壓 0.9V，其餘的部份，包括複數乘法器、ROM、global clock 電路與控制元件都使用高電壓 1.2V。Global clock 週期為 9ns。由於雙電壓的緣故，位於前兩個階段中間及複數乘法器的暫存器都使用了準位轉換正反器 (level conversion flip-flop)。

5.5.3 以 GALS 根基的單電壓 FFT

以 GALS 根基的單電壓 FFT 曾於 5.3.2 介紹過，以 GALS 根基的單電壓 FFT 圖示於 Fig 5.23，其電壓值為 1.2V，根據本文的設計，wrapper 1 和 wrapper 3 的局部時脈 (local clock) 週期可增低至 3.5ns，而 wrapper 2 的 local clock 週期依然是 9ns，這也受限於複數乘法器。

5.5.4 以 GALS 根基的雙電壓 FFT

以 GALS 為根基的雙電壓 FFT 圖示於 Fig 5.24，wrapper 1 與 wrapper 3 工作於低電壓 0.9V，wrapper 2 工作於高電壓 1.2V，由於 wrapper 1 和 wrapper 3

工作於低電壓，其 local clock 週期增長為 5ns，wrapper 2 的 local clock 週期則不變，仍為 9ns。由於雙電壓的關係，其介面有些許的更動。Interface 1 的 FIFO 根據 Section 5.4 的設計實現，interface 2 中從 R-port 到 W-port 的 ack 信號位於低電壓傳至高電壓的中間，所以準位轉換器(level converter)將會在這地方使用。

5.5.5 效能比較

5.5.5.1 功率消耗

四種不同的 FFT 架構之功率消耗比較圖示於 Fig 5.25。無疑的雙電壓系統會比單電壓系統節省功率消耗，對於非同步 FFT 來說，雙電壓系統將會比單電壓系統減少 12.5% 的功率消耗。若考慮 GALS 基底與非同步 FFT 兩者，wrapper 1 與 wrapper 3 在 GALS 為根基的系統中會由於速度快與額外的介面消耗更多的功率，而 wrapper 2 的複數乘法器所消耗的功率還是佔去極大部份。不過以 GALS 為根基的系統可以省去一些時脈轉換(clock switch)時造成的功率消耗，其信號變化圖示於 Fig 5.26。clk_2 為 wrapper 2 的 local clock，圖中顯示有時候 clock 並未啟動，因為 wrapper 1 中的資料尚未準備完成，wrapper 2 需要等待所以其內部的 ROM 與複數乘法器不會做動，wrapper 3 也有相同的狀況。然而由 Fig 5.25 可知，以 GALS 為根基的 FFT 總體來說並沒有

比單電壓同步 FFT 來的節省功率消耗，這是因為額外的介面電路消耗掉比 switching 節省下更多的功率，如果若是 FFT 的計算點數增加，這樣的情況就會好轉。總結來說，以 GALS 為根基的雙電壓 FFT 比同步 FFT 減少 30% 的功率消耗，是最好的。

5.5.5.2 延遲時間(latency)

latency 是從第一個資料送出到最後一個資料接收到的總時間，本文的設計中，同步快速傅利葉轉換(synchronous FFT)的延遲時間為 161ns，以全域非同步局部同步系統為根基的快速傅利葉轉換來說，wrapper 1 的工作頻率高出原本的設計，所以其延遲時間減少，其雙電壓與單電壓系統對同步 FFT 分別會有 40.3% 與 25.5% 的延遲時間減低。

If \overline{reset} THEN $out \rightarrow low$
 ELSE IF $in1$ THEN $out \rightarrow high$
 ELSE IF $\overline{in1in2}$ THEN $out \rightarrow low$
 ELSE no change in out

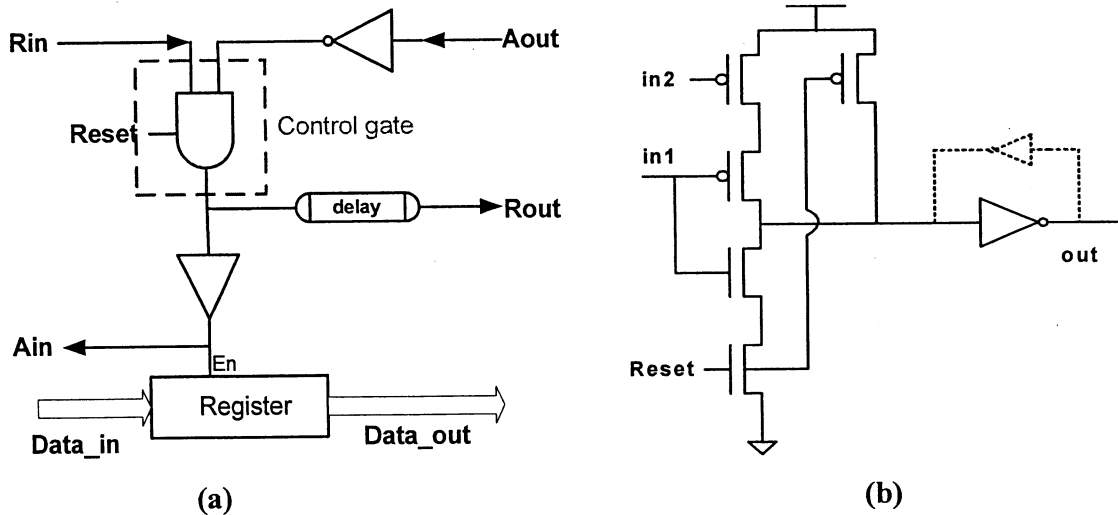


Fig. 3.9 (a) Handshake circuits of Fig. 3.7 (b) The control gate of (a)

3.3 Interface designs with asynchronous wrappers

The asynchronous wrappers have been demonstrated in the Chapter 2. Two adjacent asynchronous wrappers will form the interface, which is shown in Fig. 3.10. It is consider the point-to-point communication from the sender's module to the receiver's module. For the sender's asynchronous wrapper, it consists of locally-synchronous module (LS module), pausable clock controller (PCC) and Write-port (W-port). It is similar for the receiver's asynchronous wrapper, except W-port replaced by Read-port (R-port). The proposed PCC, W-port and R-port will be presented in this section.

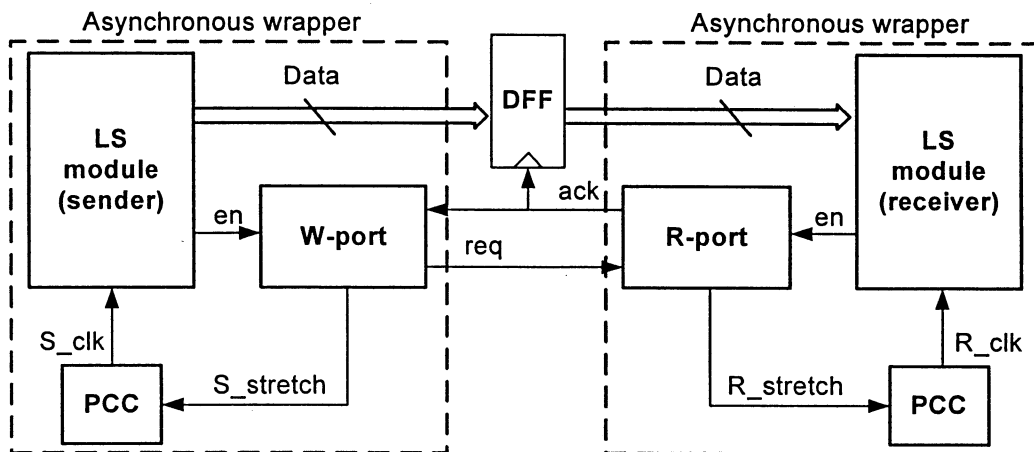


Fig. 3.10 Interface architecture with asynchronous wrappers

3.3.1 Pausible clock controller (PCC)

Pausible clock controller is used to generate the local clock for the LS module and the clock has to be paused or stretched if necessary. Two circuit schemes of PCC are presented in [3.7][3.8]. They are implemented by the mutual exclusion (ME) or Muller C element with inverter chains. In the section, the proposed PCC will be presented. Before discussing these two schemes and proposed scheme, the concepts of the mutual exclusion that will be used in one of the pausable clock controller are introduced.

3.3.1.1 Mutual Exclusion (ME)

A mutual exclusion (ME) element which is shown in Fig. 3.11 is a circuit with two inputs and two outputs. Its function is to allow one of the incoming inputs to pass at a time. If both inputs arrive simultaneously, it only selects one to pass through arbitrarily, like 'tosses a coin'. However, one characteristic of the ME should be noted that the closer the arrival times of the rising edge of the two inputs are, the longer it takes for the internal circuit to resolve the metastability. That is, the latency from inputs to outputs becomes longer. In order to effectively use the ME circuit, the sizes of PMOS and NMOS in the ME circuit must be evaluated to get the better performance. The ME circuit could be applied to pausable clock controller and arbiter circuit [3.7].

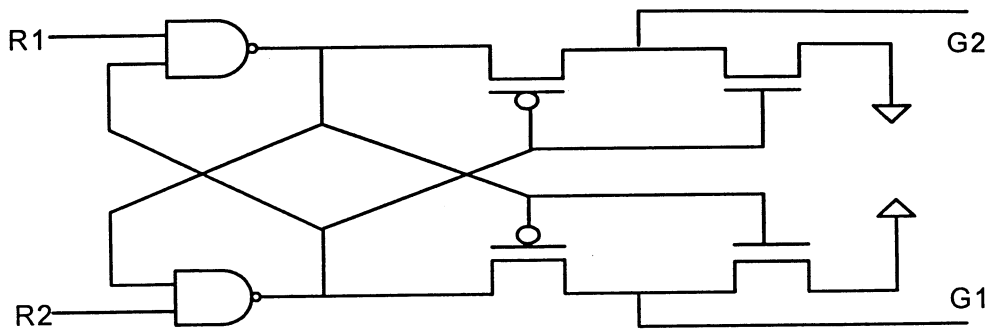


Fig. 3.11 The mutual exclusion (ME) circuits

3.3.1.2 Pausible clock controller with mutual exclusion (ME)

One scheme of the pausable clock controller is implemented by the mutual exclusion (ME) and the ring oscillator. The circuit and timing diagram of the scheme are shown in Fig. 3.12(a) and 3.12(b), respectively. The ring oscillator with an odd number of inverters generates the basic clock signal. The mutual exclusion (ME) element resolves the two inputs, *stretch* and *rclk*, to allow only one of incoming requests to pass at a time. It can be found that the local clock (*lclk*) is stretched when the *stretch* is coming from the timing diagram in the Fig. 3.12(b). The main drawback of the scheme is that a metastability problem could occur when the rising edges of the clock (*rclk*) and *stretch* arrive at very close time [3.7][3.9].

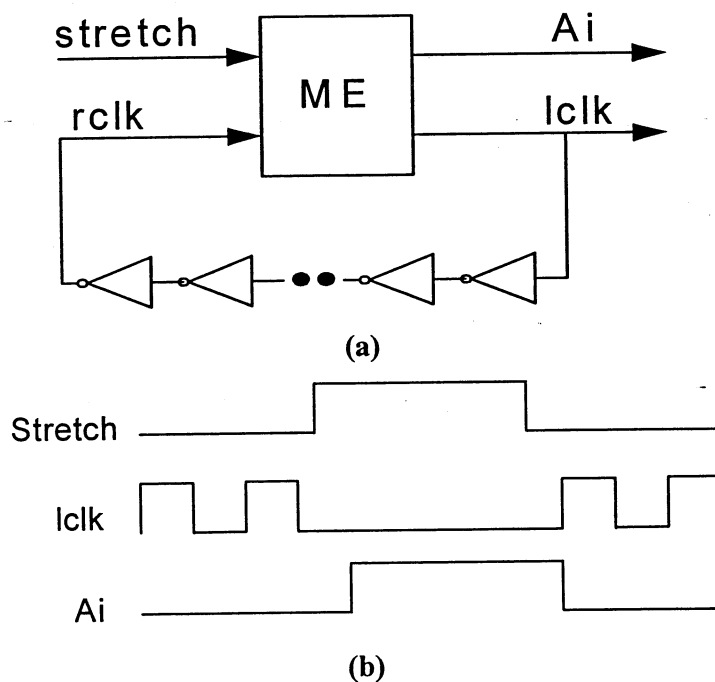


Fig. 3.12 (a) The circuit for pausable clock generator with ME (b) timing diagram

3.3.1.3 Pausible clock controller with Muller C element

Another pausable clock generator [3.8] is implemented by two basic gates, XOR and Muller C element with an odd number of inverters, which is shown in Fig. 3.13. The generated local clock from the inverter chain is feed back to the input of the Muller C element. According to the properties of Muller C element, if *stretch* is asserted to low, the output of C element will be the same as the inputs and then a clock is generated. If *stretch* is asserted to high, the input node *X* of C element will be low, and at this time the output of C element could be either low or high. However, due to the ring oscillator, the output of C element will be maintained at low level eventually. The scheme could avoid the metastability problem discussed in the scheme of PCC with ME.

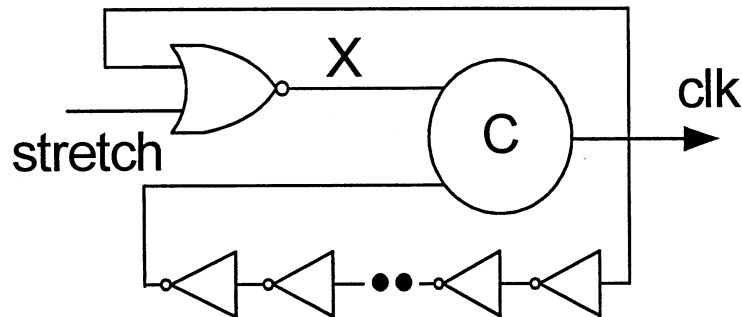


Fig. 3.13 The circuit for the pausable clock generator with Muller C element

3.3.1.4 Proposed pausable clock controller

The proposed pausable clock controller is shown in Fig. 3.14. Compared to previous schemes, the proposed PCC is simple by only inserting one control transistor in the circular inverter chains. When the *stretch* signal is low, the circuit acts as the circular inverter chains and *clk* will oscillate. When the *stretch* is high, two cases will occur for *clk* at this point. If *clk* is low, it will always be low. If *clk* is high, M1 will be turned on and pull down the X to low level. Therefore, *clk* will be low eventually and M1 is turned off.

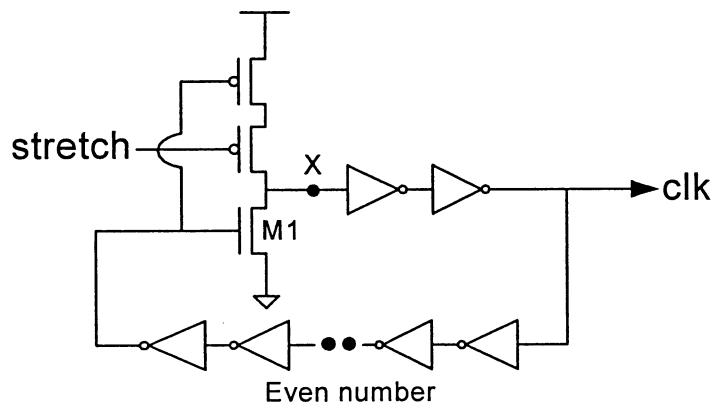


Fig. 3.14 Proposed pausable clock controller

The discussion above for the pausable clock controller is suited for one-to-one transition. That is, only one request (*stretch* signal) will be arrived. However, with multiple requests, the local clock has to be paused or stretched if one of them is arrived. Therefore, to meet the condition, the OR gate is added for all *stretch* signals. Take our proposed PCC as an example in Fig. 3.15.

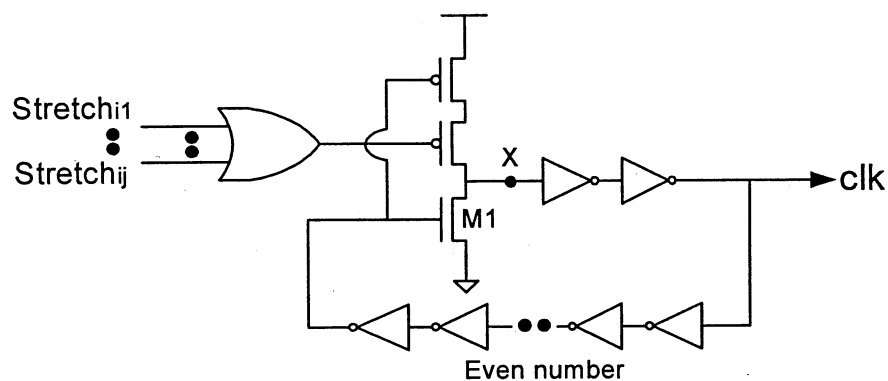


Fig. 3.15 Proposed pausable clock controller with multiple *stretch* inputs

3.3.1.5 Simulation results

The resolution time, which means the delay time when *clk* re-oscillates after the falling edge of *stretch* signal, should be considered. Table 3.1 lists the clock period and the resolution time for the three schemes of the PCC. Fig. 3.16 shows the comparison graph for resolution time. They are all under twenty-three inverter stages. The simulation environment is based on the TSMC 0.13um CMOS technology for low power at 1.5V and 25C. For our

proposed schemes, the clock frequency is the fastest under the same situation. They also save 44.8% resolution time compared to ME schemes and 34.8% compared to the Muller C schemes. It is because for our proposed schemes, the control circuit of *stretch* signal is simple and decreases the operating time.

Table 3.1 Performances for pausable clock controller

Circuit scheme	Clock period (ns)	Resolution time (ps)
Mutual exclusion (ME) schemes	1.4246	186.88
Muller C schemes	1.3847	158.16
Proposed schemes	1.3741	103.09

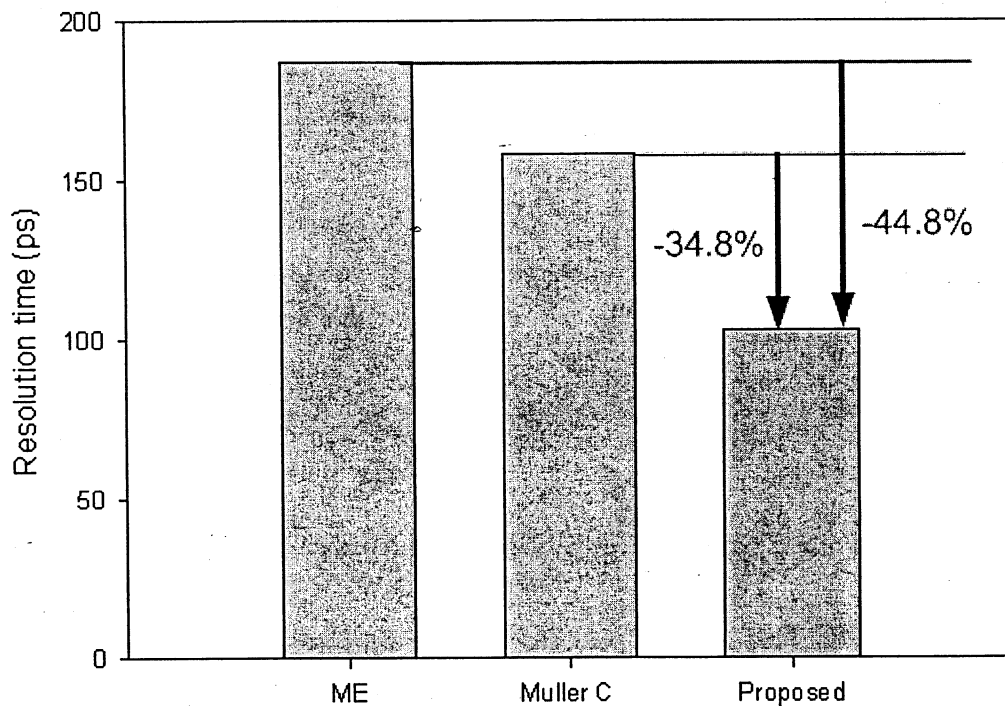


Fig. 3.16 The comparison of the resolution time

3.3.2 Write-port (W-port)

W-port acts as the handshake signal generator, request (*Req*), and control the pausable

clock controller. The handshake protocol is implemented according to the four-phase handshake signals. As the LS module of the sender is ready to send data to the receiver, it will activate the S_enable signal to W-port. At each positive edge clock, a pulse is generated by the W-port. Then the w-port generates the Req signal to R-port and the $S_stretch$ signal to the PCC. It will wait until the Ack signal is generated by R-port and Req and $S_stretch$ will return to low level. The serial signal transitions are $S_enable^+ - S_pulse^+ - Req^+ - S_stretch^+ - S_pulse^- - Ack^+ - Req^- - Ack^- - S_stretch^-$ (The “+” represents the rising edge of the signals and the “-” represents the falling edge of the signals). The signal waveform for W-port and PCC is shown in Fig. 3.17. The reason why we make the signal specification is that for the D flip-flop of the interface in Fig. 3.10, it will sample input data at the rising edge of ack . To meet the setup time and hold time of D flip-flop, the high level of $S_stretch$ must encapsulate the high level of ack . That is, the local clock will sample the next data after the low level of $S_stretch$.

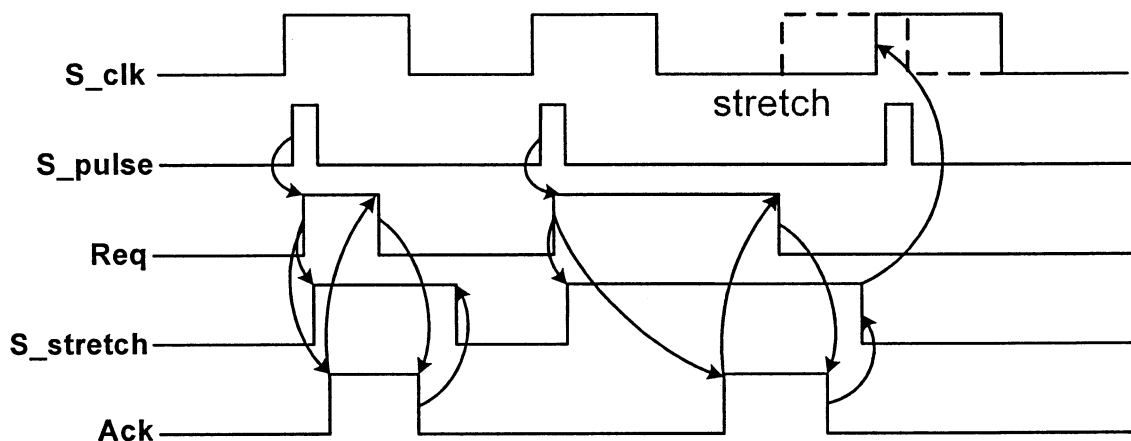


Fig. 3.17 The waveform of the w-port

The circuit implementation for the W-port signal transition is shown in Fig. 3.18. All the Muller C elements are dynamic circuits. The delay line is used to generate the pulse when the S_enable is high. Initially, the ack is low and once a pulse is generated, it will activate req^+ through the first Muller C element. For a short time, $S_stretch$ will be high through other Muller C elements. As ack is high, req will be low because both inputs of the first Muller C are low. The $S_stretch$ will be low as both req and ack return to low level. At this time, one signal transition is complete. The critical path is from ack^- to $S_stretch^-$. It will have three gates delay time.

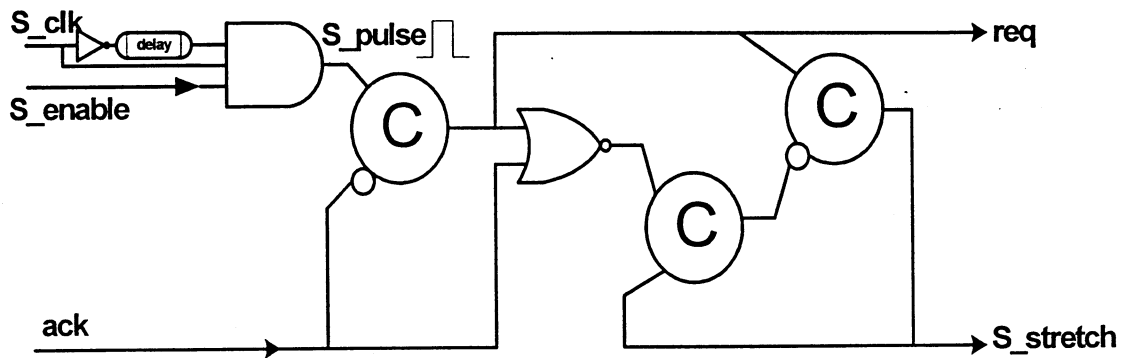


Fig. 3.18 The circuit implementation of W-port

3.3.3 Read-port (R-port)

Read-port acts as the handshake signal responder, acknowledge (*Ack*), and control the pausable clock controller. It is similar to W-port, but there is a little difference. When the LS module of the receiver is intended to get the data from the sender, it will activate *R_enable* signal. Also at each positive edge of the clock, a pulse will be generated. Once *R_pulse* is high, it will generate *R_stretch* soon. At this moment, read-port will wait until the *req+*. When the *req* is high, R-port will send *ack+* back to W-port. For a short time, *R_stretch* and *ack* will return to low level. The serial signal transitions are $R_enable^+ - R_pulse^+ - R_stretch^+ - Req^+ - R_pulse^- - Ack^+ - Req^- - R_stretch^- - Ack^-$. The signal waveform of R-port and PCC is shown in Fig. 3.19.

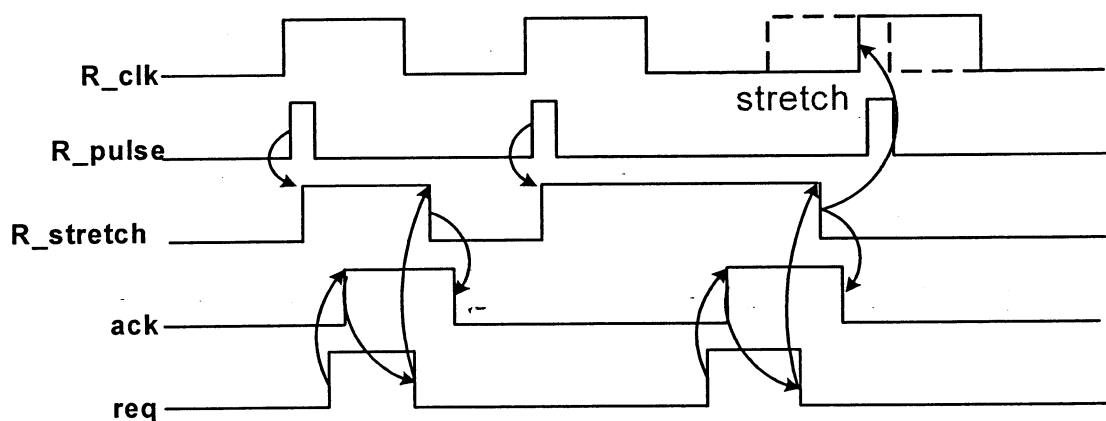


Fig. 3.19 The waveform of read-port

The circuit implementation is shown in Fig. 3.20. Initially, *req*, *ack* and *R_stretch* are all at low level. Therefore, the bottom input of the first Muller C is at high level. Once a pulse is

also generated, $R_stretch$ will be high through the first Muller C element. If req is high, ack will be high due to the second Muller C element. For a short time, req return back to low level. Then $R_stretch$ and ack will also be at low level in turn. It will meet the R-port specifications. The critical path of the R-port circuit is from req - to $R_stretch$ -, which will have two gate delay time.

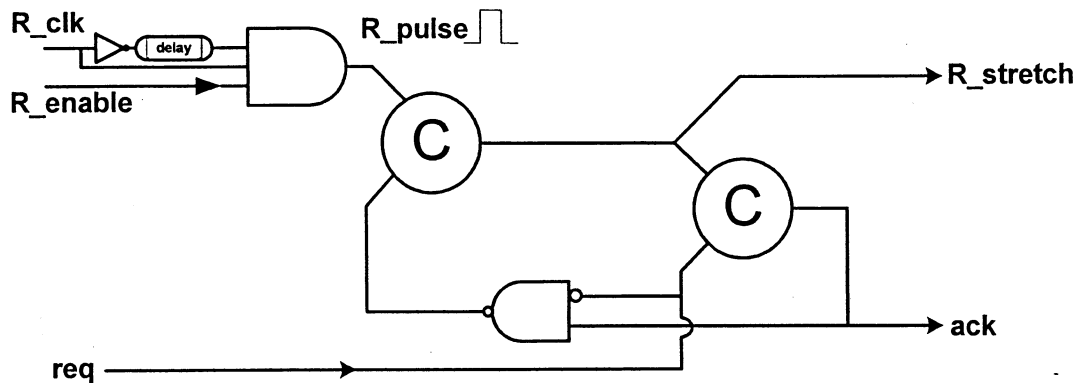


Fig. 3.20 The circuit implementation of R-port

3.3.4 Layouts and post-simulation results

3.3.4.1 Layouts for W-port and R-port

Fig. 3.21 shows the layouts for W-port and R-port. The top row is located for the R-port, while the bottom row is located for the W-port. The area is 19×14.2 (269.8) μm^2 . Therefore, the area overhead due to the handshake circuits is small. The layouts are based on TSMC 0.13 μm LOGIC 1P8M technology.

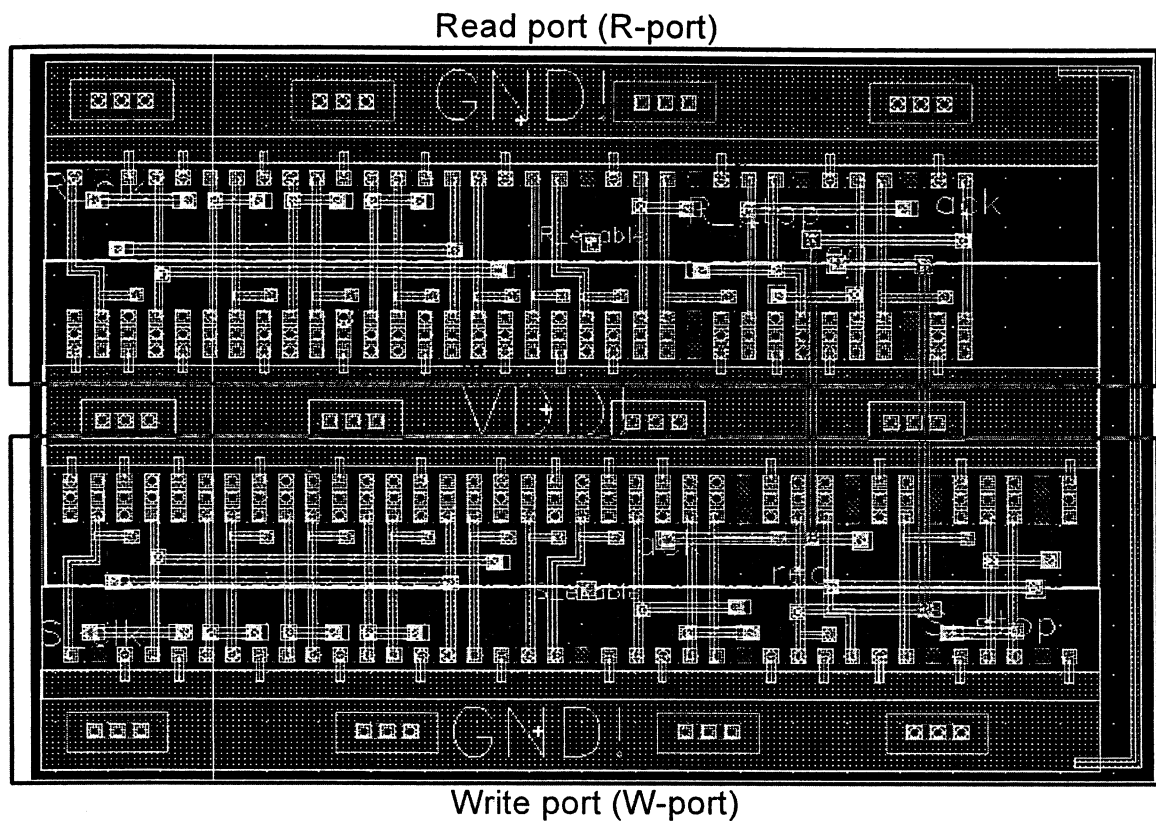


Fig. 3.21 Layouts for W-port and R-port

3.3.4.2 Post-simulation results

The operating frequency for asynchronous wrappers of the sender and the receiver is a performance consideration as the data are transferred. It is determined by the critical paths through the W-port and R-port. Fig. 3.22 shows the SPICE waveform for the sender's clock (S_clk) and the receiver's clock (R_clk) with *enable* signals at $v_{dd}=1.2V$. In order to get the maximal clock frequency as data transferred, it is assumed that S_clk and R_clk operate at higher frequencies. S_clk is generated by thirteen inverters, while R_clk is generated by seventeen inverters in the ring oscillator of PCC. Initially, R_enable at the receiver's module is high, but the data are not transferred from the sender's module (S_enable is still low). Therefore, the R_clk must be stretched and wait for the sender's data. Once S_enable is high, R_clk will re-oscillate. The clock frequencies for the sender and the receiver can be measured when S_enable and R_enable are both high. Fig. 3.23 and Fig. 3.24 show the clock frequencies of the sender and receiver with various supply voltages, respectively. Fig. 3.23 and Fig. 3.24 show that based on the thirteen inverters and seventeen inverters, S_clk and R_clk could be up to about 1.9GHz and 1.5GHz, respectively, at 1.5V without data transfer,

but they are both down to about 1.25GHz with data transfer. It indicates that the maximal frequency of data communication the interface can achieve at 1.5V is 1.25GHz.

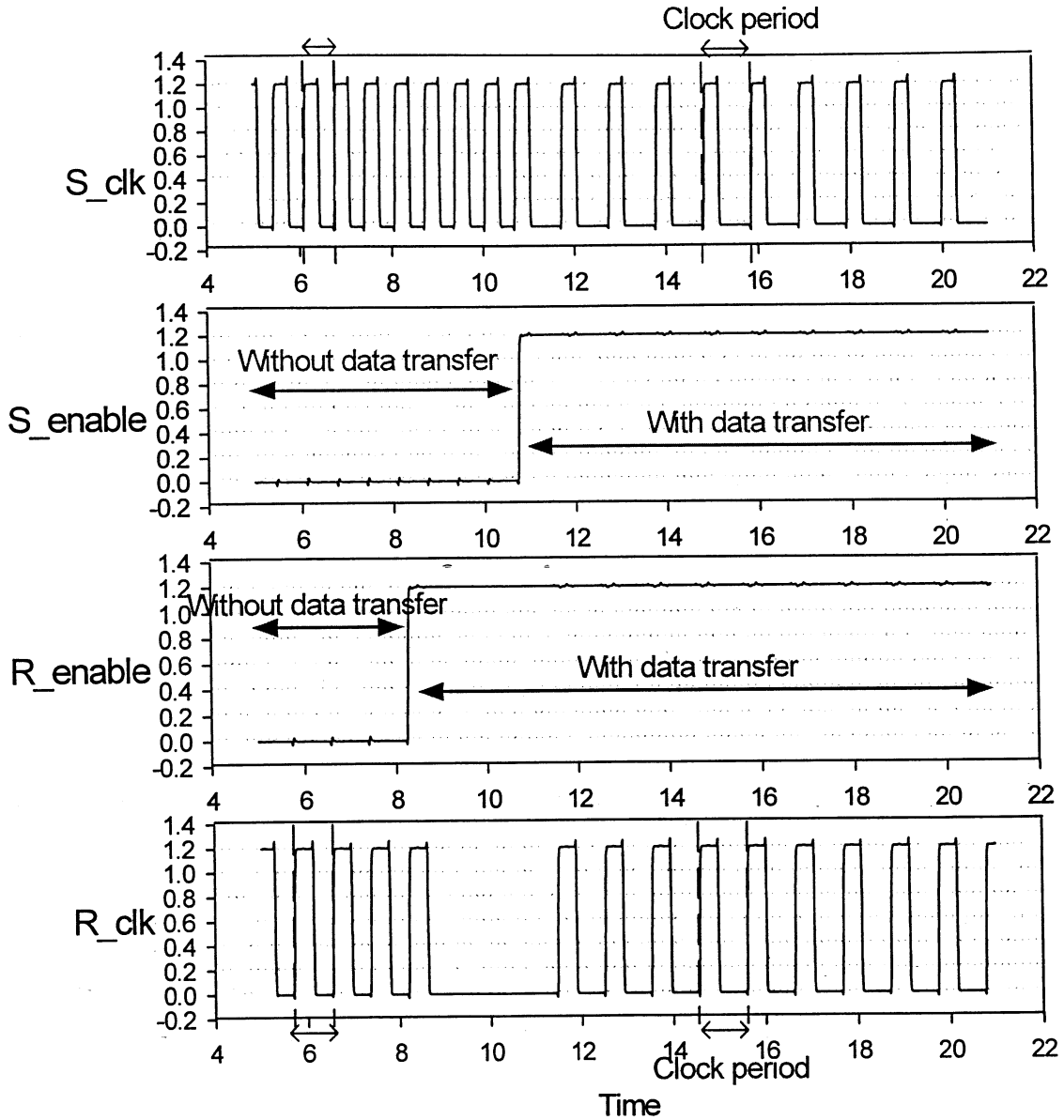


Fig. 3.22 SPICE waveform for sender's and receiver's local clocks

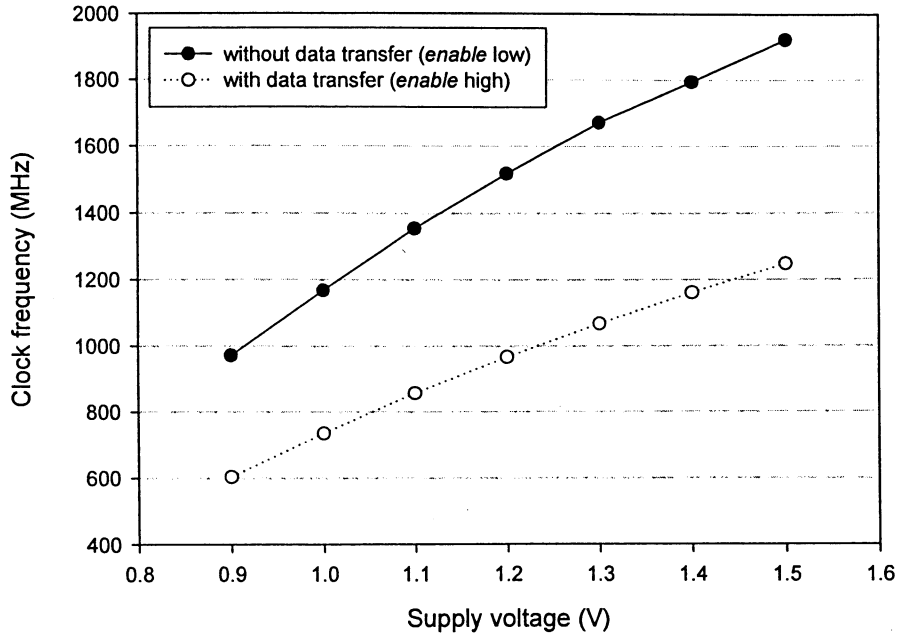


Fig. 3.23 Clock frequency of the sender with various supply voltages

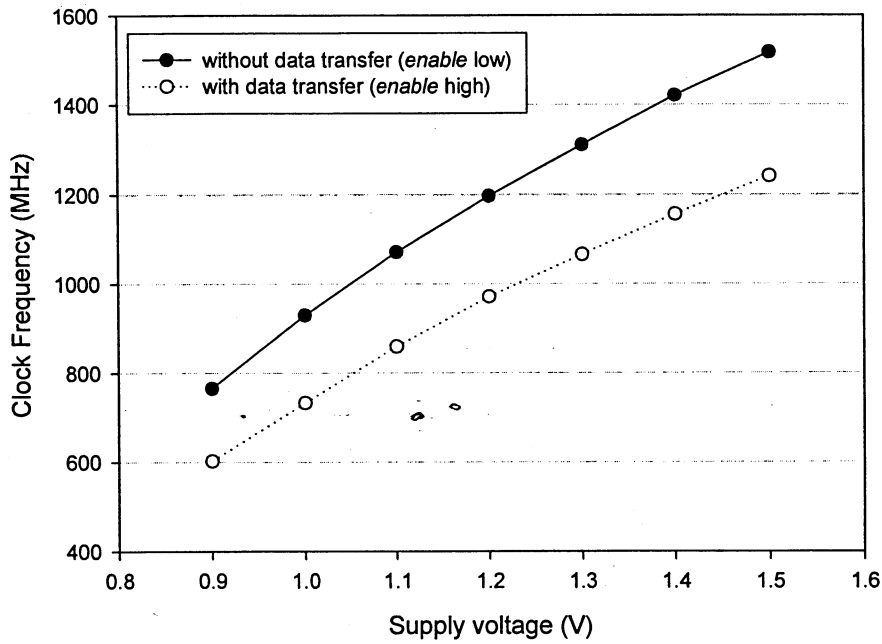


Fig. 3.24 Clock frequency of the receiver with various supply voltages

3.4 Communication schemes for GALS systems

As mentioned above, the GALS systems may include many LS modules that are

Take the sender's module as an example to describe the behavior of the interface. For our consideration, the four-phase protocols are selected due to the larger complexity of control circuits for implementing two-phase protocols. When the LS module is ready to enqueue the data to FIFO, the *en* signal is high and activates the signal transitions of the HS generator, which is the same as write-port describe in Section 3.3.2. At each positive edge clock, a pulse is generated and then four-phase handshake signals, *Req* and *Ack*, begin with the *S_stretch* signal, which is used to stretch or pause the local clock. *Ack* signal will be send back if the FIFO cells are not all full. The serial signal transitions are *enable*⁺ - *pulse*⁺ - *Req*⁺ - *stretch*⁺ - *pulse*⁻ - *Ack*⁺ - *Req*⁻ - *Ack*⁻ - *stretch*⁻ (The "+" represents the rising edge of the signals and the "-" represents the falling edge of the signals). The similar behavior occurs in the receiver's asynchronous wrapper.

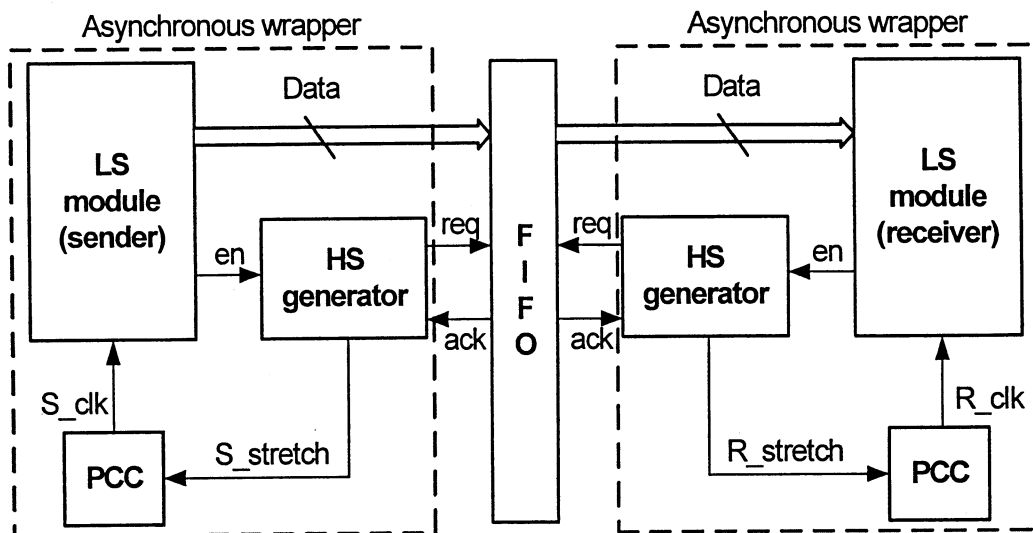


Fig. 4.1 GALS interface architecture with FIFO

4.2 Asynchronous FIFO architecture

The asynchronous FIFO architecture [4.2] contains the serial FIFO cells, which are the storage elements with control signals. Fig. 4.2 shows the asynchronous FIFO architecture. The dash lines mean the token paths for the sender and receiver. The token is like a point. The FIFO cell where the sender's token is indicates that input data will be stored in that cell. Once the data are enqueued, the sender's token will move to the next cell. The path is formed in the circular way. Similarly, when the receiver will get the data from the FIFO, it will

retrieve the data from the FIFO cell where the receiver's token is. Once the data are dequeued, the receiver's token will also move to the next cell.

With the token mechanism, the behavior of the asynchronous FIFO is described as follows: for the sender, as the FIFO receives the request signal *Sreq* from the HS generator, it will broadcast to all FIFO cells, but only one cell where the sender's token is will accept this signal. Then the data are stored in that cell and the *Sack* signal is sent back to the HS generator. However, if the cell where the token is has been full, the *Sack* signal will wait to be sent back until the cell becomes empty. The same behavior occurs at the receiver's aspect. The *Rreq* signal will broadcast to all FIFO cells, and also the cell where the receiver's token is will accept the signal. The data in that cell will be passed to output data buses and *Rack* signal is sent back to the HS generator.

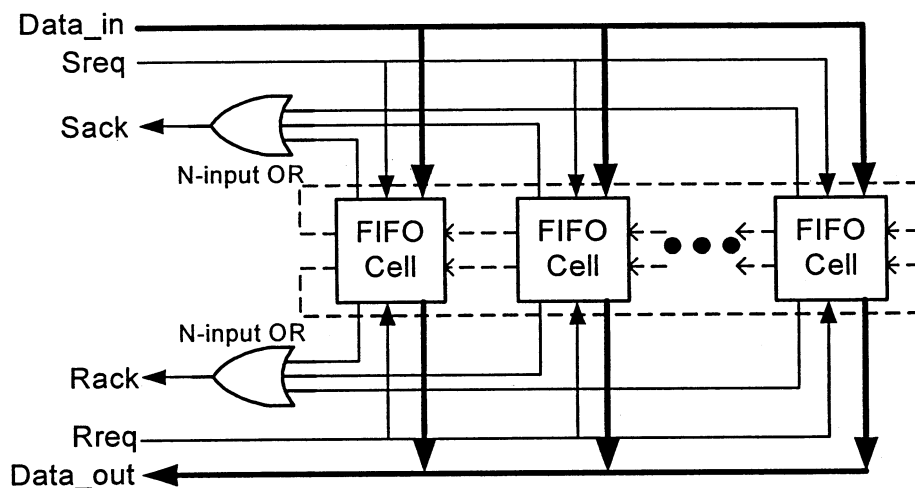


Fig. 4.2 The asynchronous FIFO architecture

There are several advantages for the FIFO architecture. First, the architecture has low latency, which means the delay time from the first sent data to the first received data. For the conventional FIFO, the latency depends on the depth size. The more sizes FIFO has, the longer latency time there is. However, for the architecture, as soon as data are stored in the cell, they are also available for receiving the data. Second, the depth of the FIFO and the width of data buses are scalable with very few circuit modifications. The architecture has the property of being reusable. Third, the control signals are simple and reduce the complexity of the circuits. Therefore, the power dissipation will be lower. In the following sub-section, the

circuits of each functional block will be demonstrated.

4.2.1 Token mechanisms

The token paths are implemented by circular shift registers, which are shown in Fig. 4.3. The “R0 and “R1 mean that outputs of registers are reset to low and high level, respectively. The registers are implemented by the static ones with reset and enable signals. The *en* signal which comes from the LS module indicates that data are ready to be enqueued in the FIFO. Initially, *tokenN* is reset to high level and others are low level. At the positive edge of clock with high level *en*, the *tokenN* pass to *token0* and the cell with *token0* is selected. All token signals are synchronous with the local clock. The token mechanisms implemented by circular shift registers have the advantages that when the FIFO sizes increase, they only expand the register number of the chain. No complicated modification is needed.

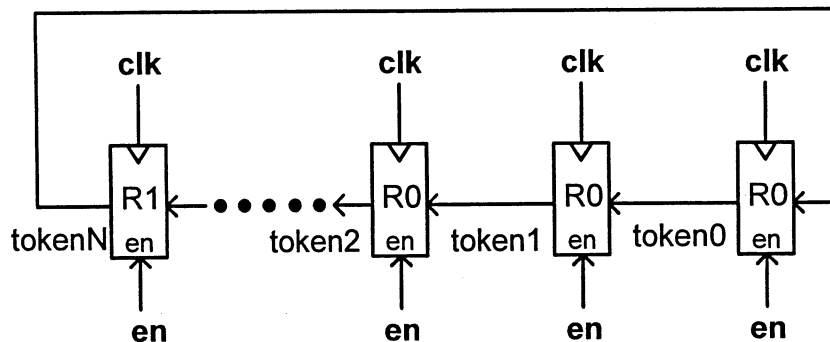


Fig. 4.3 The circular shift registers

4.2.2 N-input OR

N-input OR is used to merge all acknowledge signals from cells into one *ack* signal, which is sent back to HS generator for the N-input OR circuits. It is concerned that if the FIFO sizes increase, no complicated modifications are needed. Therefore, the pseudo-OR circuits will meet the purpose. The N-input OR circuit is shown in Fig. 4.4. To increase one FIFO size, the OR gate only adds one NMOS transistor. The drawback is that PMOS always turns on, and it will waste a little power consumption.

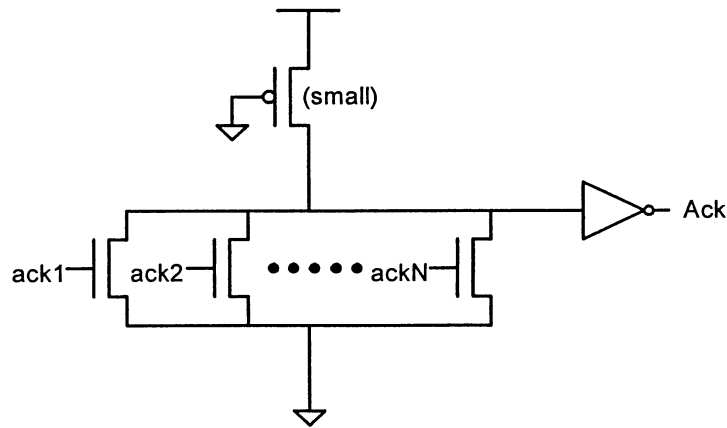


Fig. 4.4 Pseudo N-input OR circuits

4.2.3 New asynchronous FIFO cells

The functions of the FIFO cells are that data are stored in or read out according to the handshake signals. For our purposes, to simplify the control circuits is the key work. Fig. 4.5 shows the proposed FIFO cell. It includes four parts, data latch, full/empty detector, sender's and receiver's HS controllers. The control circuits are all implemented by Muller C elements with some modifications. Therefore, the FIFO cells have less area overhead and controls the peripheral signals easily.

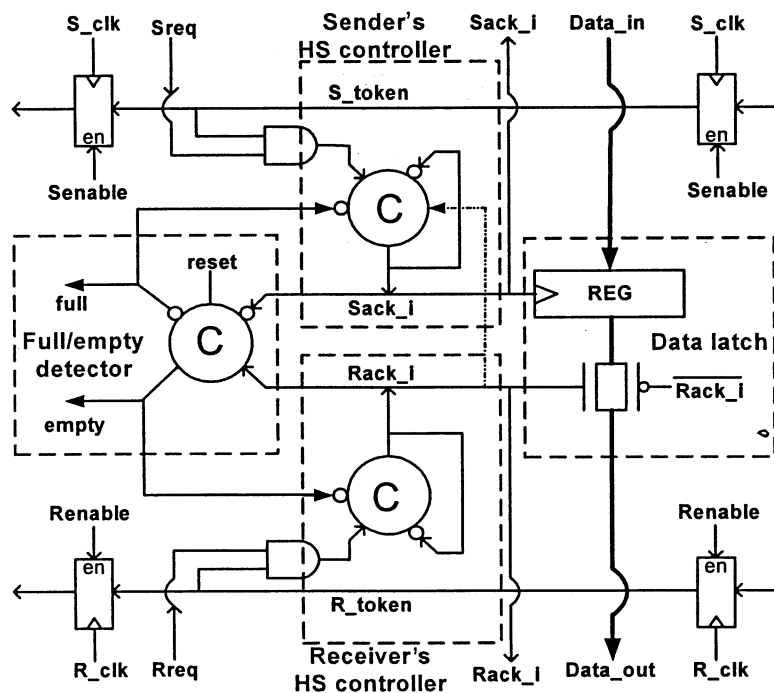


Fig. 4.5 The proposed FIFO cell

The full/empty detector decides the cell states whether the data have been stored in or read from the latch. If *full* is high (*empty* is low), it indicates that input data have been stored in the cells. On the other hand, if *empty* is high (*full* is low), it means that there are no data in the cells. The levels of signals, *full* and *empty*, depend on the *Sack_i* and *Rack_i* by using Muller C element with the reset signal. The circuit implementation and symbol are shown in Fig. 4.6. Initially, the reset signal causes all cells to be empty. When *Sack_i* is high for the specific cell, the input data are sampled and stored in the registers. It also sets the *full* high. When *Rack_i* is high, the transmission gates turn on and the data stored in the registers are passed to the output buses. It resets *full* and *empty* is high. If *Sack_i* and *Rack_i* are high simultaneously, there will be a transparent problem from the input data to the output data. The transparent problem means that there may be a time when the registers sample data and the transmission gates turned on. The input data pass directly to the output data buses. This is really a serious problem. The output data sequence of the FIFOs compared to the input data sequence may be out of order. However, according to our design, *Sack_i* and *Rack_i* won't be high at the same time. The mechanism is controlled by the sender's HS controller. It will be discussed later. The summary of the signal transitions for the full/empty detector is as follows:

IF *Sack_i*+ THEN *full* → low

ELSE IF *Rack_i*+ THEN *empty* → high

(There is no possible for *Sack_i*+ and *Rack_i*+ simultaneously.)

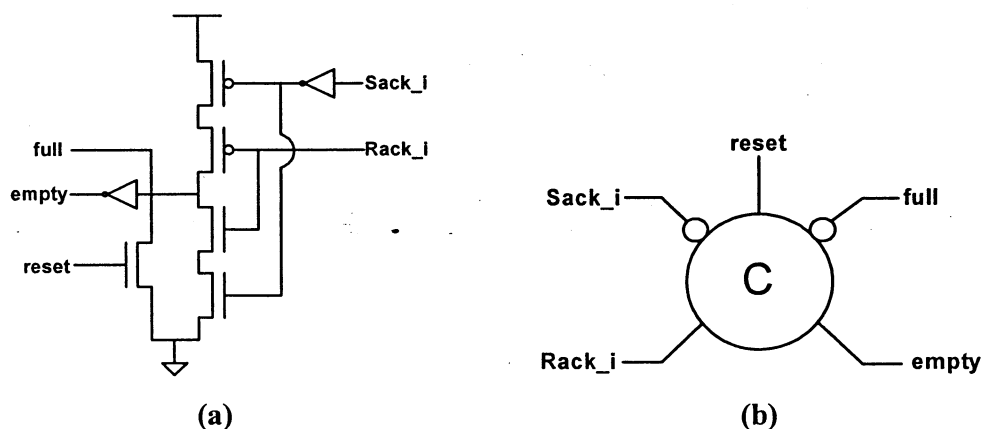


Fig. 4.6 Full/empty detector for (a) circuit implementation (b) symbol

The purpose of the HS controllers is to send the acknowledge signals back to the HS

generators. For the sender's HS controller, once the HS generator generates the $Sreq$ to the FIFO cell where the token is, the rules of the signal transitions are:

IF $full+$ THEN $Sack_i \rightarrow low$
 ELSE IF $Rack_i+$ THEN $Sack_i \rightarrow unchanged$ (still low)
 ELSE IF $Sreq+$ THEN $Sack_i \rightarrow high$
 ELSE IF $Sreq-$ THEN $Sack_i \rightarrow low$

The condition "IF $Rack_i+$ THEN $Sack_i \rightarrow unchanged$ " is to avoid the $Sack_i$ and $Rack_i$ at the high level simultaneously. That is, $Sack_i$ will be high to sample the $data_in$ after $Rack_i$ has been low to turn off the transmission gates. Therefore, the data transparent problems will be avoidable. The circuit and symbol for the sender's HS controller are shown in Fig. 4.7(a) and 4.7(b), respectively.

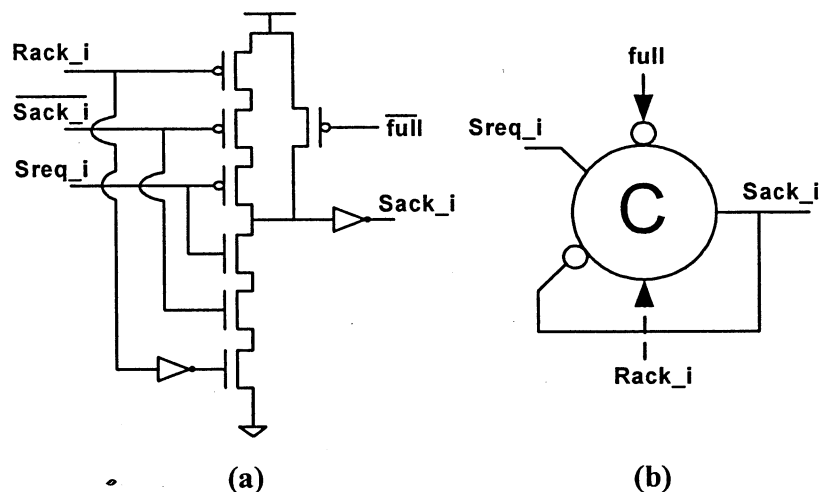


Fig. 4.7 Sender's HS controller for (a) circuit implementation (b) symbol

In the receiver's aspect, when the HS generator sends the $Rreq$ to the FIFO cell where the token is, the rules of the signal transitions are:

IF $empty+$ THEN $Rack_i \rightarrow low$
 ELSE IF $Rreq+$ THEN $Rack_i \rightarrow high$
 ELSE IF $Rreq-$ THEN $Rack_i \rightarrow low$

The circuits could be easily implemented as the sender's HS controller with few

modifications. The circuit and symbol for the sender's HS controller are shown in Fig. 4.8(a) and 4.8(b), respectively.

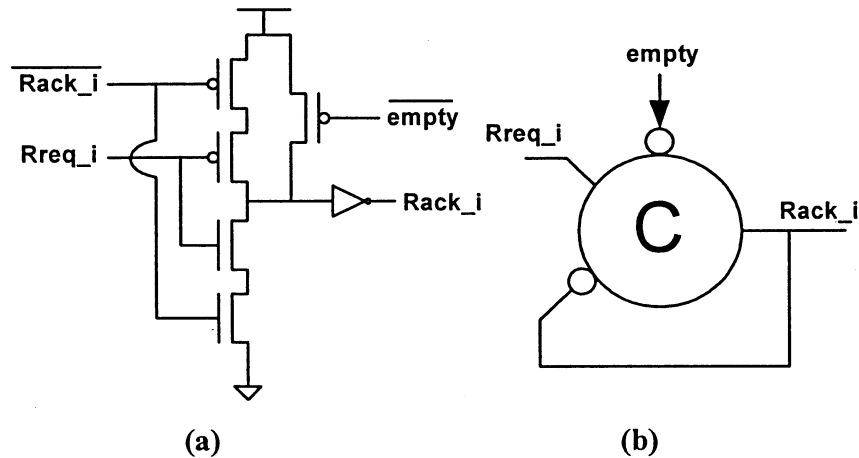


Fig. 4.8 Receiver's HS controller for (a) circuit implementation (b) symbol

Finally, the features of the FIFO cell circuits are concluded as follows: first, all the control circuits are implemented by Muller C elements with few modifications. The delay time of the signal transitions is small and power consumption is also low. Second, the most serious problems are that data punch through the data latch. The situation has been removed. Third, the FIFO cells circuits can be replicated if the FIFO sizes are increased. They have the property of being scalable.

4.3 Layout and post-simulation

4.3.1 Layout

The layouts are based on the TSMC 0.13um LOGIC 1P8M Technology.

4.3.1.1 Shift register layout

For the layout stage of the shift registers, if the D flops are arranged as Fig. 4.9 (a), there will be a long path. In order to ensure that capacitance of a single path does not become large and degrade the performance. The layout arrangement of the shifter register is modified as Fig. 4.9 (b). All connection paths between registers are as more balanced as possible.

5.4 Asynchronous FIFO in dual-VDD systems

The asynchronous FIFO architecture described in Chapter 4 can be used in the interface between two adjacent modules operating at different frequencies. In the section, the asynchronous FIFO architecture is extended to be suited for the interface between modules at different supply voltages. The architecture is shown in Fig. 5.14. For the sender's modules, they will be assigned by the V_{DDL} supply voltage; while for the receiver's modules, they will be powered by the V_{DDH} supply voltage.

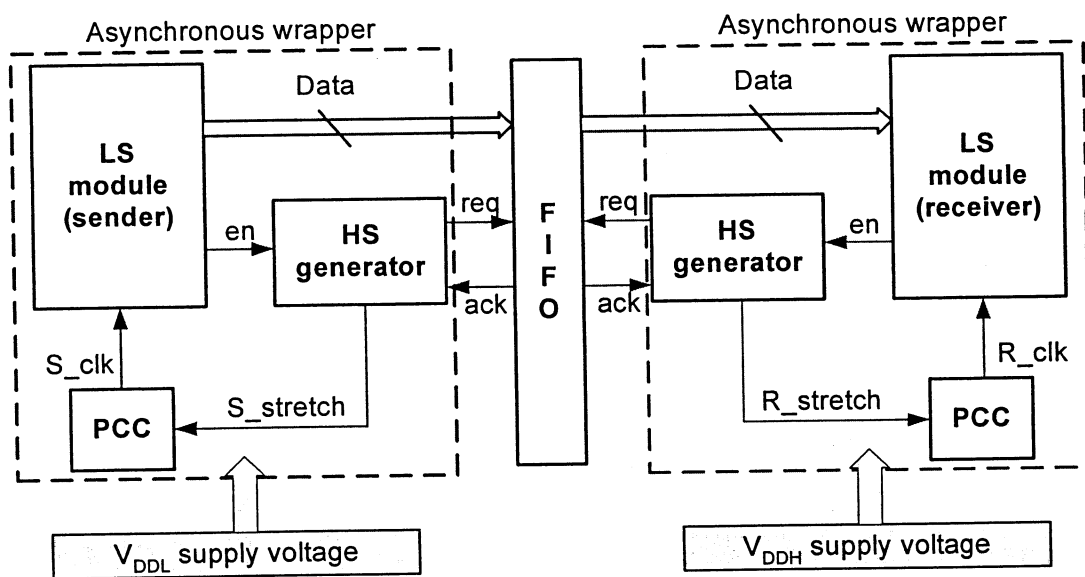


Fig. 5.14 The interface architecture for dual-VDD systems

5.4.1 Asynchronous FIFO architecture for dual VDD

The asynchronous FIFO architecture considered here is from the V_{DDL} region to the V_{DDH} region. The architecture is shown in Fig. 5.15. The blue lines are V_{DDL} swing, while the red lines are V_{DDH} swing. From the discussion previously, the dc current in the FIFO cells must be avoided when the inputs at V_{DDH} region are driven by the V_{DDL} signals. Therefore, the FIFO cells are needed to be modified to solve the problems.

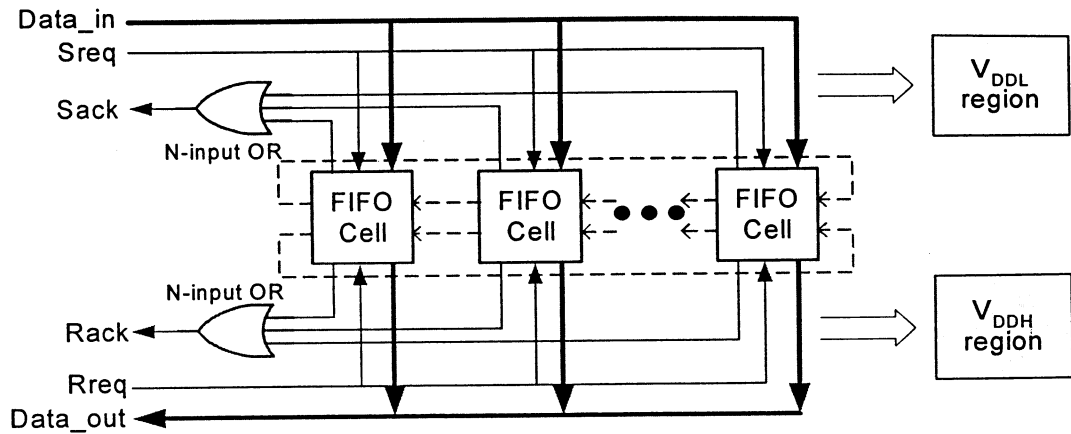


Fig. 5.15 The asynchronous FIFO architecture for dual supply voltages

5.4.2 Asynchronous FIFO cells for dual VDD

Fig. 5.16 illustrates the analysis of the asynchronous FIFO cells. It can be found that there are two locations which meet the situation for the input gates at V_{DDH} region driven by V_{DDL} signals. One is in the data latch, and the other is that the *empty* signal sends to the receiver's HS controller. Therefore, they have to insert the level converters.

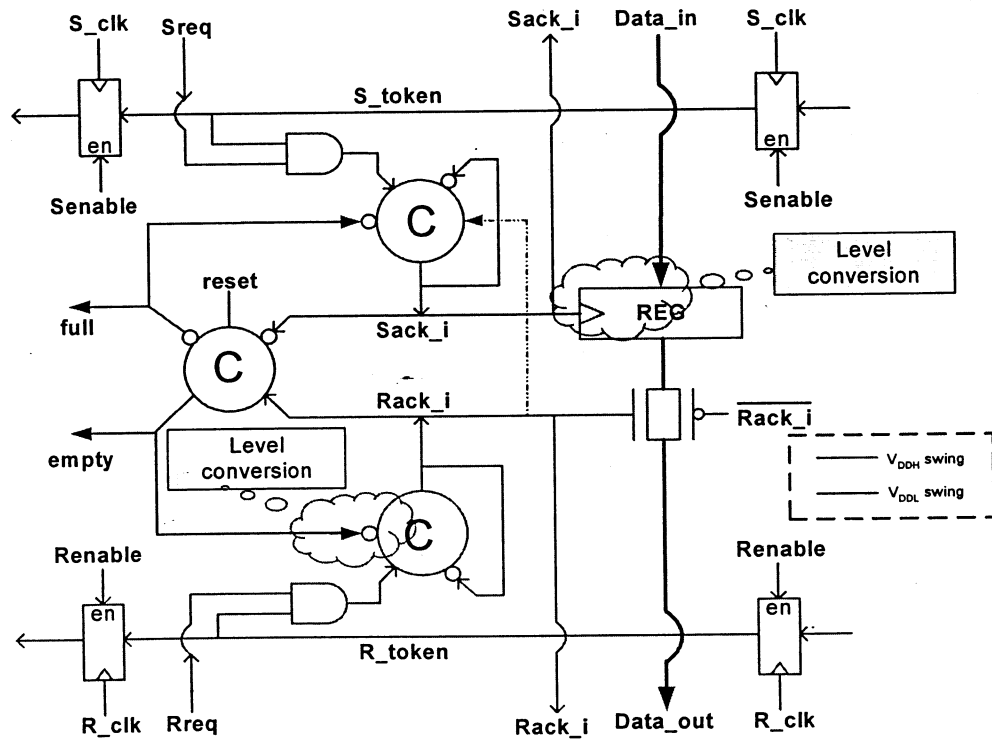


Fig. 5.16 The analysis for signal swings in FIFO cells

However, if the asynchronous level converters are only added in the inputs of data latch, it will degrade the performance for the delay and power consumption. In view of this, the level converter flip-flop (LCFF) described in the previous section is used. The modified asynchronous FIFO cells for dual supply voltages are shown in Fig. 5.17. The pulse generator is not needed because the sampling signal $Sack_i$ for the flip-flop acts as a pulse. The circuits of the level converter flip-flop are also suited for our asynchronous FIFO cells due to the low loadings for the $Sack_i$ signals. It only drives one transistor. Therefore, the driving buffers to flip-flops could be smaller than original ones and there will be some power savings.

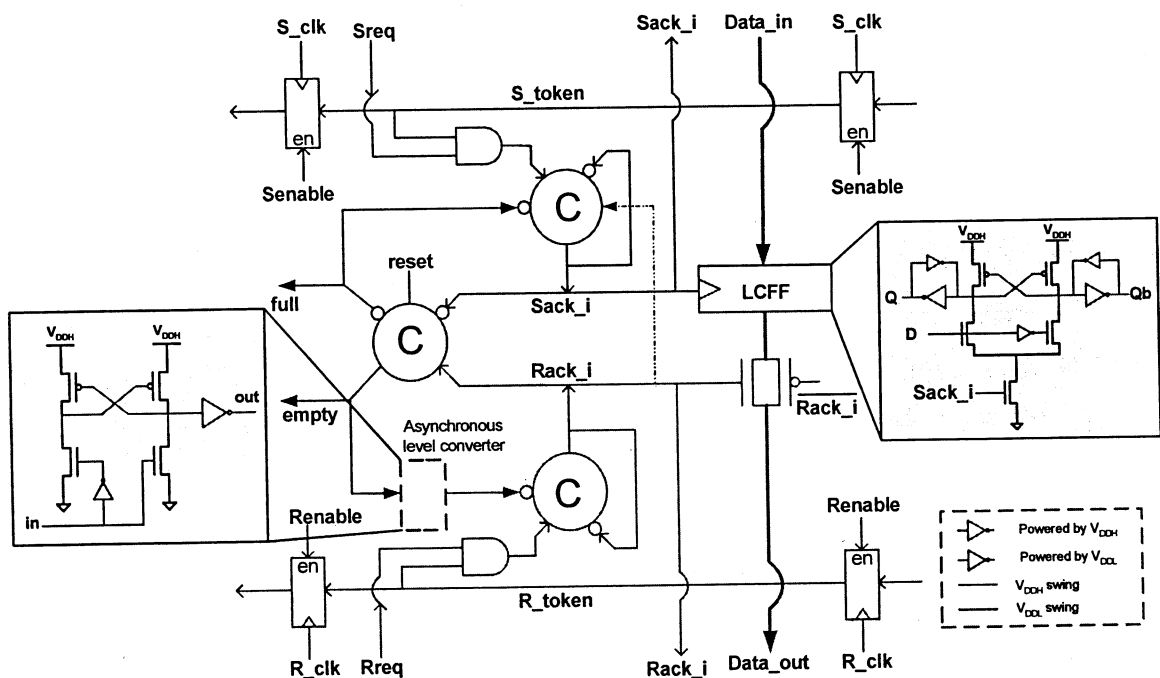


Fig. 5.17 The modified FIFO cells for dual supply voltages

5.4.3 Performance consideration

To evaluate the modified FIFO cells for dual supply voltages, three cases are considered in the data latch, which are shown in Fig. 5.18. (i) No level converters are in the FIFO cells and the registers are powered by $VDDH$. (labeled as “no LC”) (ii) The asynchronous level converters are followed by the registers, which are powered by $VDDL$. (labeled as “reg_ALC”) (iii) It uses the level conversion flip-flop, which is shown in Fig. 5.17. (labeled as “LCFF”)

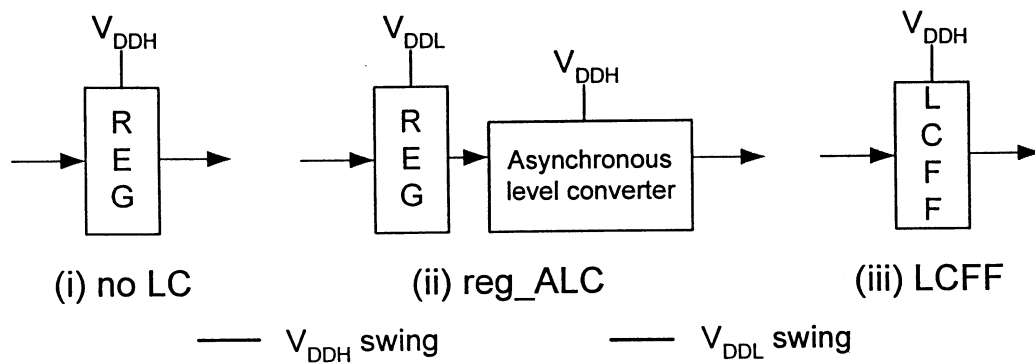


Fig. 5.18 Three cases for the data latch of FIFO cells

5.4.3.1 Power Dissipation

First, the simulation environment is considered for $V_{DDL}=0.9V$ at the sender and $V_{DDH}=1.2V$ at the receiver. The power dissipation for different FIFO sizes is shown in Fig. 5.19. It shows that the data latch using level conversion flip-flop will consume less power. There will be about 12.85% power savings compared to no level converter for the FIFO sizes of sixteen. As discussed in previous section, there will be dc currents without the level converter. With the level converter, it will reduce the dc power consumption, but the extra circuits will also consume power. For the cases of $V_{DDL}=0.9V$ and $V_{DDH}=1.2V$, it seems that the power savings is not reduced much. Thus, the difference between V_{DDL} and V_{DDH} is increased to be $V_{DDL}=0.9V$ and $V_{DDH}=1.5V$. The power dissipation for different FIFO sizes is shown in Fig. 5.20. The power consumption at the V_{DDH} region will dominate the total power dissipation. It can be found that the power consumption will be reduced more than 50% for these FIFO sizes. It is because the dc currents for larger difference of V_{DDL} and V_{DDH} without the level converter will be increased, and thus it consumes more power. The registers powered by V_{DDH} will also consume more power. With the level converter, these power dissipations can be reduced much.

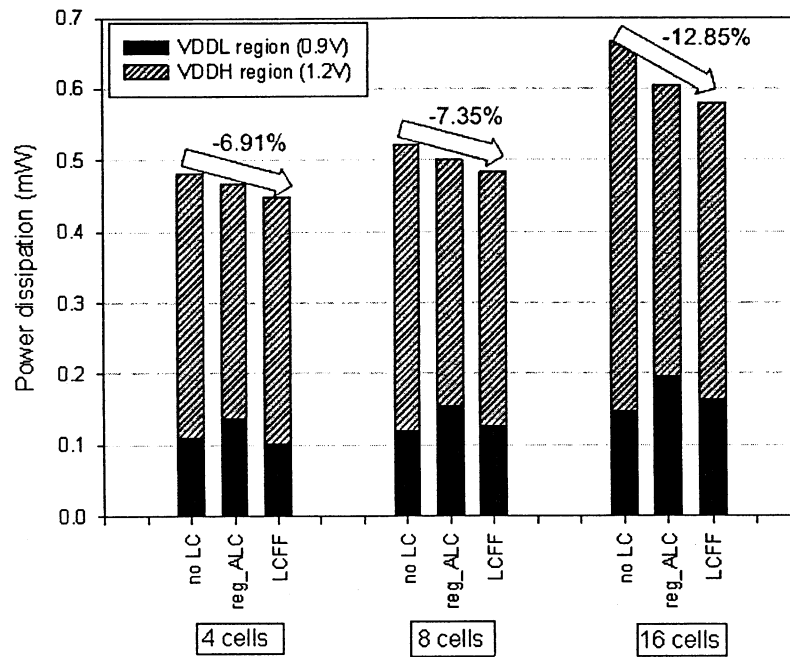


Fig. 5.19 Power dissipation for various FIFO sizes at $V_{DDL}=0.9V$ and $V_{DDH}=1.2V$

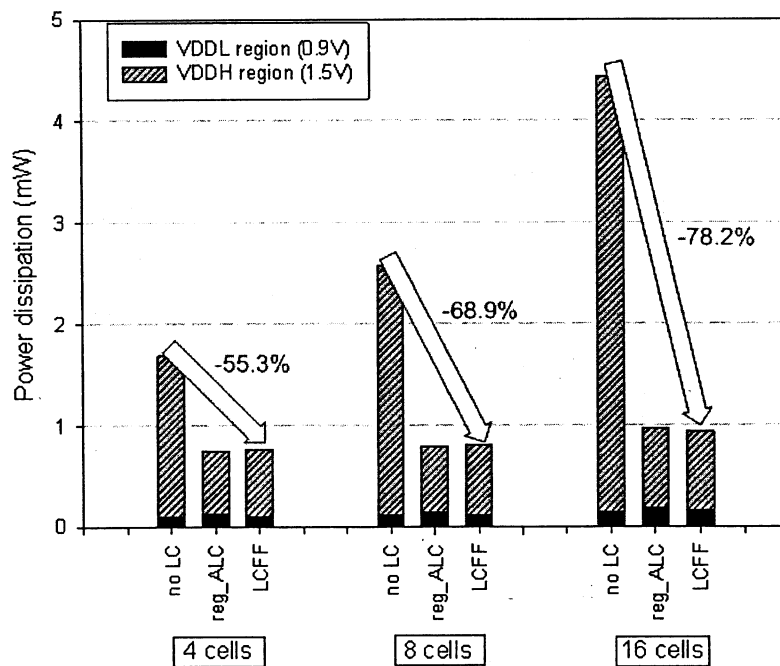


Fig. 5.20 Power dissipation for various FIFO sizes at $V_{DDL}=0.9V$ and $V_{DDH}=1.5V$

5.4.3.2 The clock periods

The minimal clock period as the data are transferred is mainly dominated by the control circuits at the V_{DDL} region. Table 5.2 lists the minimal clock period at $V_{DDL}=0.9V$ and $V_{DDH}=1.2V$ for these three cases. However, there is not much difference for them. The LCFF one is a little faster than others due to the smaller loadings on the control signals, $Sack_i$.

Table 5.2 The minimal clock period at $V_{DDL}=0.9V$ and $V_{DDH}=1.2V$

FIFO sizes		4	8	16
The data latch cases	No LC	2.3	2.42	2.48
	Reg_ALC	2.33	2.44	2.48
	LCFF	2.25	2.35	2.45

(Unit: ns)

5.5 The 16-point GALS-based FFT processor in dual-VDD systems

In this section, four schemes of the radix- 2^2 FFT architecture will be examined. They are (i) the synchronous FFT architecture in single-vdd systems (ii) the synchronous FFT architecture in dual-vdd systems (iii) the GALS-based FFT architecture in single-vdd systems (iv) the GALS-based FFT architecture in dual-vdd systems.

5.5.1 The synchronous FFT architecture in single-vdd systems

Fig. 5.21 shows the synchronous FFT architecture in single-vdd systems. The supply voltage is 1.2V. According to our design, the global clock period dominated by the complex multiplier is 9 ns.

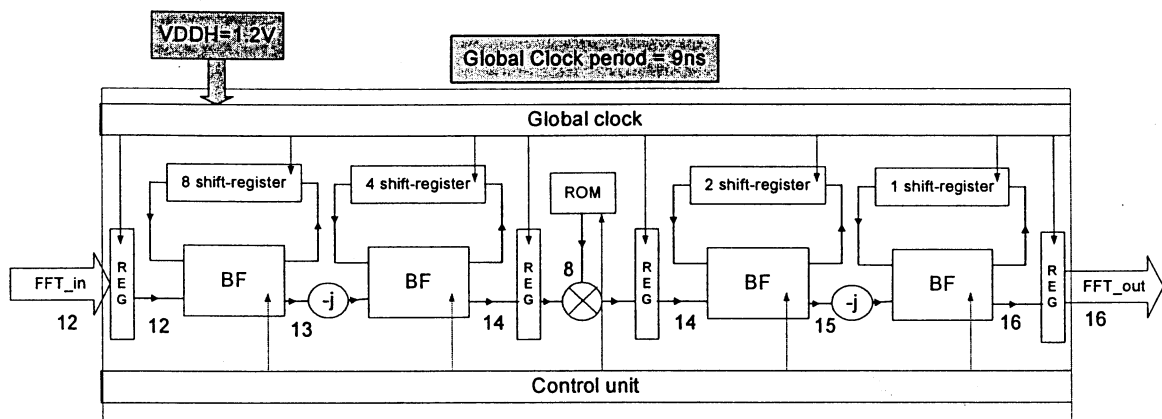


Fig. 5.21 The synchronous FFT architecture in single-vdd systems

5.5.2 The synchronous FFT architecture in dual-vdd systems

Fig 5.22 shows the synchronous FFT architecture in dual-vdd systems. The first and last two stages are powered by $V_{DDL}=0.9V$, and other blocks, including the complex multiplier, ROM, global clock circuits and control unit, are powered by $V_{DDH}=1.2V$. The global clock period is also 9ns. The registers between the first two stages and the complex multiplier have to be replaced with the level conversion flip-flop due to the V_{DDH} gates driven by the V_{DDL} swing.

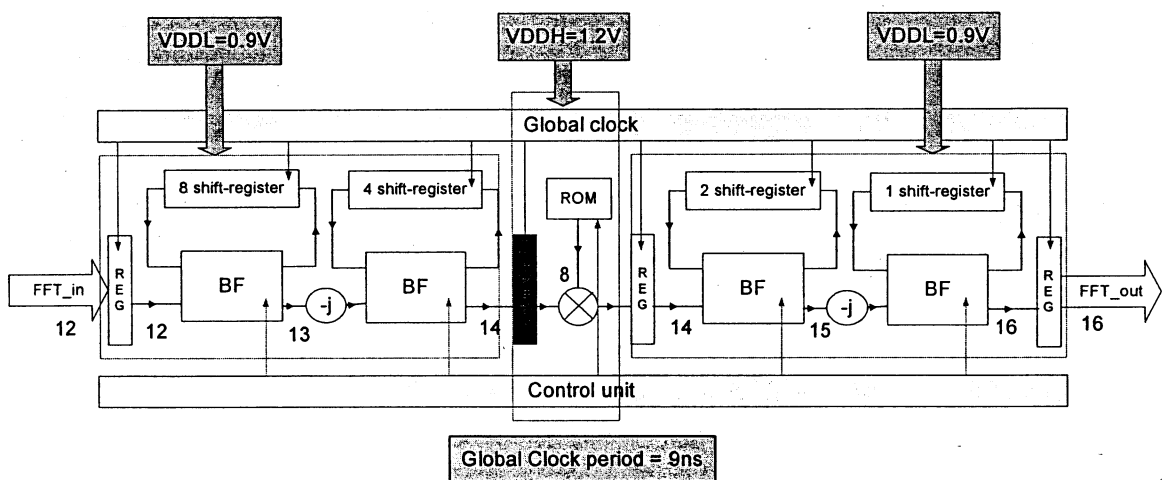


Fig. 5.22 The synchronous FFT architecture in dual-vdd systems

5.5.3 The GALS-based FFT architecture in single-vdd systems

The GALS-based FFT has been demonstrated in Section 5.3.2. Fig 5.23 shows the

GALS-based FFT architecture in single-vdd systems. The supply voltage is assigned by 1.2V. According to our design, the local clock periods of the wrapper 1 and wrapper 3 can be faster to 3.5ns and the clock period of the wrapper 2 is also 9ns, which is dominated by the complex multiplier.

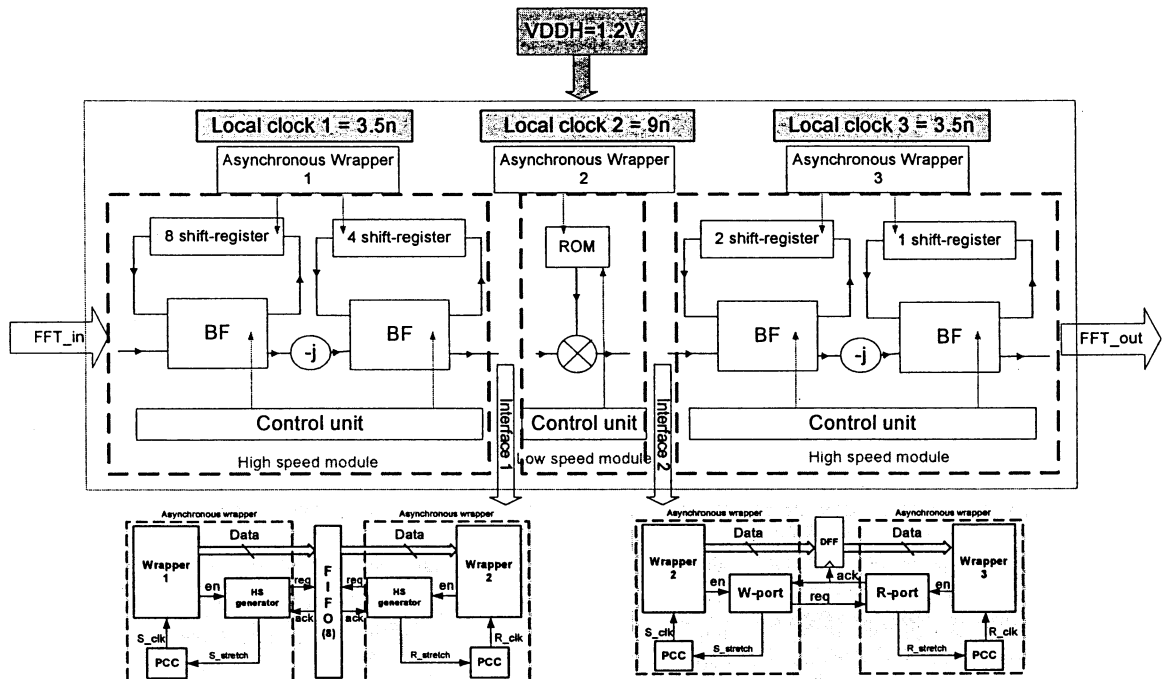


Fig. 5.23 The GALS-based FFT architecture in single-vdd systems

5.5.4 The GALS-based FFT architecture in dual-vdd systems

For the GALS-based FFT architecture in dual-vdd systems, shown in Fig. 5.24, the wrapper 1 and wrapper 3 are powered by $V_{DDL}=0.9V$, while the wrapper 2 are powered by $V_{DDH}=1.2V$. Due to the reduction of supply voltage from 1.2V to 0.9V in wrapper 1 and 3, the delay will increase and the local clock period reduces to 5ns. The local clock of wrapper 2 is still 9ns. The interfaces are a little modification due to the difference of supply voltage. For the interface 1, the FIFO is implemented by the discussion in Section 5.4. The FIFO is suited for the interface with different supply voltages. For the interface 2, the ack signal from R-port to W-port is the situation of V_{DDL} swing to V_{DDH} swing. Therefore, asynchronous level converter will be inserted in the location.

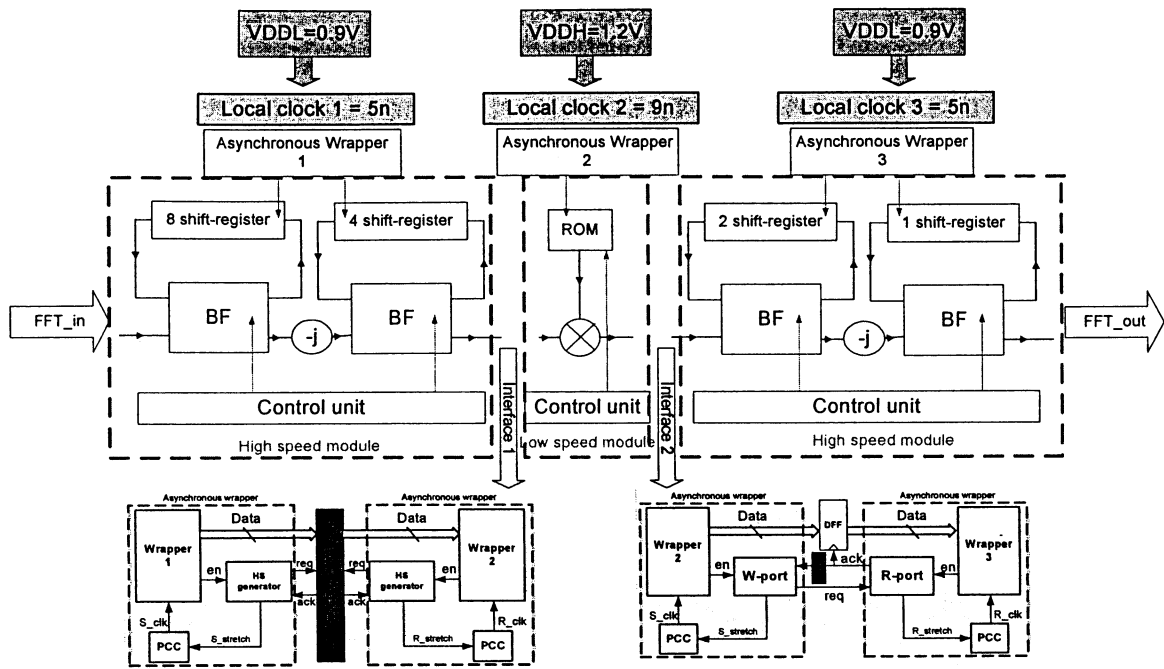


Fig. 5.24 The GALS-based FFT architecture in dual-vdd systems

5.5.5 Performance comparison

5.5.5.1 Power dissipation

Fig. 5.25 shows the power dissipation for four schemes of FFT architecture. Undoubtedly, the architecture in dual-vdd systems will consume less power than that in single-vdd systems. For synchronous FFT, there will be about 12.5% power savings for dual-vdd systems compared to single-vdd systems. Consider the GALS-based and synchronous FFT in the same supply voltage systems. The wrapper 1 and wrapper 3 of GALS-based FFT will increase the power consumption compared to synchronous one due to the higher frequency and extra interface circuits. The wrapper 2 which performs the complex multiplier operation consumes most of total power. For the GALS-based FFT, it will reduce some power compared to synchronous one. It is explained from the example waveform in Fig. 5.26. Clk_2 indicates the local clock of wrapper 2. It shows that there is some time that clk_2 doesn't oscillate. It is because the data from the wrapper 1 is not ready to be sent, and thus the wrapper 2 has to wait until the data is enabled. Therefore, there is no clock switching to the ROM and complex multiplier. It will save some switching power. The wrapper 3 has the same reason for switching power savings. However, from the Fig. 5.25, GALS-based

FFT doesn't reduce total power compared to synchronous one in single-vdd systems. It seems that the power consumption from extra interface circuits is larger than the power savings from the switching. If the higher point FFT is implemented by the GALS design, the power savings from no clock switching maybe larger and reduce the total power. Finally, from the Fig. 5.25, it shows that the GASL-based FFT in dual-vdd systems has the best power savings (30%) compared to the synchronous one.

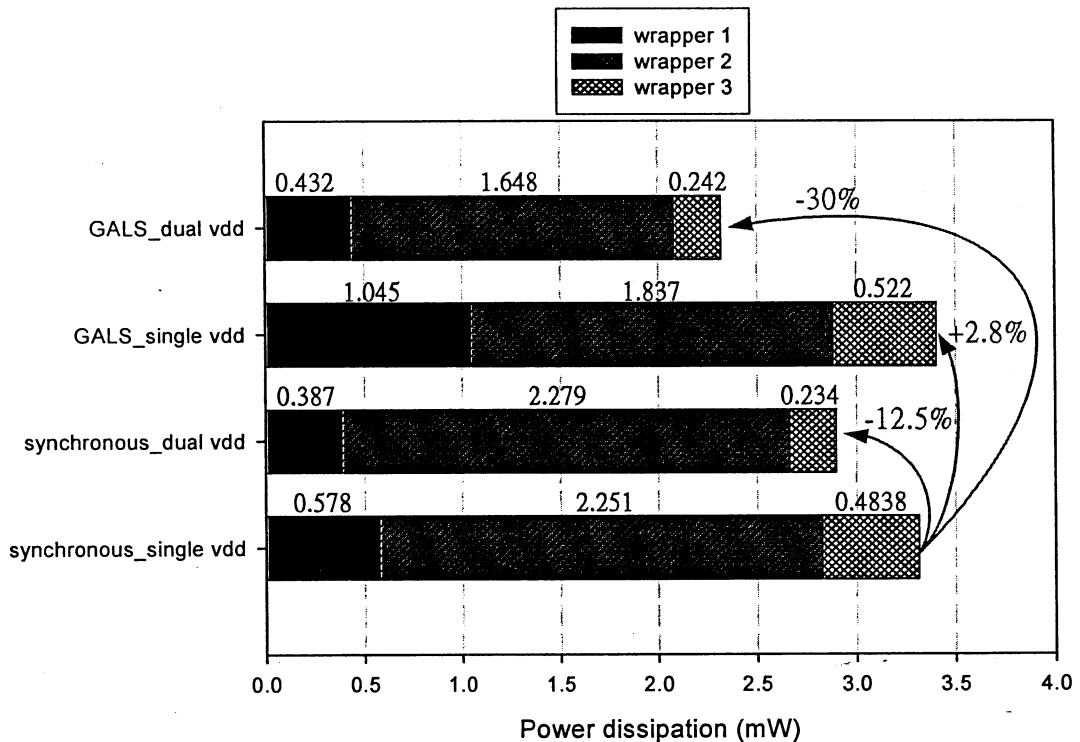


Fig. 5.25 Power dissipation for four schemes of FFT architecture

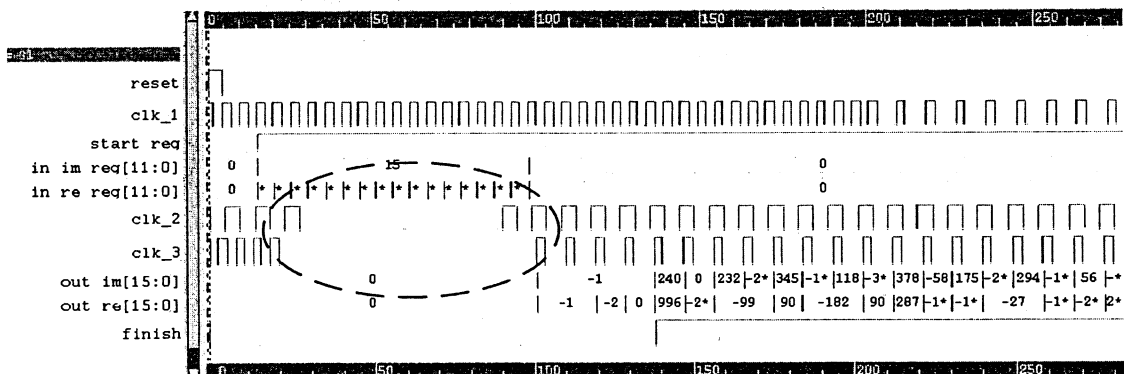


Fig. 5.26 The example waveform of FFT architecture

5.5.5.2 Latency

The latency is the time from the first sent input data to the first finished output data. According to our design, the latency of the synchronous FFT is 161ns. For GALS-based FFT, the clock frequency of wrapper 1 is faster than synchronous FFT and the latency is also reduced. There will be 40.3% and 25.5% reduction compared to synchronous one in single-vdd and dual-vdd, respectively.

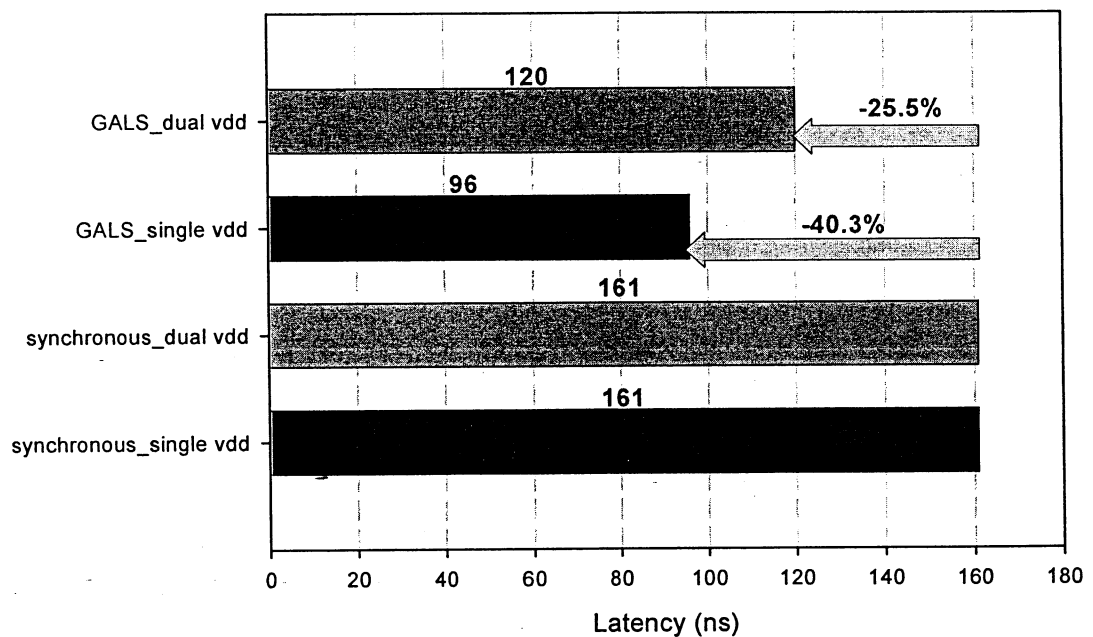


Fig. 5.27 Latency for four schemes of FFT architecture

5.6 Conclusion

The multiple supply voltage technique is the powerful method to reduce the power consumption. In the chapter, it applied the asynchronous level converter and level conversion flip-flop to the FIFO cells proposed in chapter 4. Therefore, the asynchronous FIFO architecture can be operated not only at different clock frequencies but also in the different supply voltage systems.

A case study of GALS design is the 16-point radix-2² FFT processor. It is partitioned

十、申請專利範圍：

1.一種單電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，而該單電壓系統之非同步先進先出暫存器單元包括：

一資料門鎖器，包括一暫存器，負責資料的輸入與輸出；

一狀態偵測器，用來偵測該資料門鎖器內的資料存取狀態；

一傳送者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；以及

一接收者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器的有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器。

2.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料門鎖器，倘若此時該資料暫存沒有空間存放，則必須等到該資料門鎖器有存放空間，再將該傳送者回應訊號傳送至該第一包覆器。

3.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者狀態控制器要有接收該接收者憑證，才能將儲存於該資料門鎖器的資料輸出，倘若此時該資料門鎖器之所儲存的資料已經輸出，則必須等到該資料門鎖器有資料儲存時，再將該接收者回應訊號傳送至該

第二包覆器。

4.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料門鎖器，會產生一第一致能信號開始運作；

一第一交握訊號產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一可停止時脈控制器，接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料門鎖器。

5.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同時模組，當該第二局部同步模組要將暫存在該資料門鎖器的資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，與負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，接收處理該第二延長訊號，和產生第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料門鎖器內的資料。

6.如申請專利範圍第4項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈產生器能夠停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈產生器的時間，與處理資料被傳送至該資料鎖器的時間過於接近。

7.如申請專利範圍第5項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈產生器能夠停止或延長該第二延長訊號，以避免該第二延長訊號到達該第二可停止時脈產生器的時間，與處理儲存於該資料門鎖器的資料輸出時間過於接近。

8.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，接收該傳送者回應訊號；

一第二互補式電晶體，接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之P型電晶體和N型電晶體之間，且該第二互補式電晶體之P型電晶體外接一反相器；

一N型電晶體，其連接在該第二互補式電晶體之P型電晶體和N型電晶體之間，該N型電晶體作為該資料偵測器偵測到該資料門鎖器有資料存放時之一重置(reset)訊號的輸入端；以及

一第一輸入端，位於該第二互補式電晶體之間，作為該偵測器的輸出端。

9.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一第三互補式電晶體，接收該接收者要求訊號，且該第三互補式電晶體之N

型電晶體外接一反相器；

一第四互補式電晶體，接收該傳送者要求訊號之反相訊號至，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第五互補式電晶體，接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該資料偵測器偵測到該資料門鎖器有資料存放之一反相信號輸入端；

一第一 P 型電晶體，其連接在第五互補式電晶體之 P 型電晶體和 N 型電晶體之間；以及

一第二輸入端，其外接一反相器並位於第五互補式電晶體之間，係作為該傳送者交握控制器的輸入端。

10.如申請專利範圍第 1 項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

一第六互補式電晶體，接收該接收者要求訊號之反相訊號；

一第七互補式電晶體，接收該接收者要求訊號，且該第七互補式電晶體係位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第二 P 型電晶體，其連接在第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該資料偵測器偵測到該資料門鎖器無資料存放之一反相信號輸入端；以及

一第三輸入端，外接一反相器並位於該第七互補式電晶體之間，係作為該接收者交握控制器的輸入端。

11.如申請專利範圍第 9 項所述之單電壓系統之非同步先進先出暫存器單

元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器的所產生的該接收者回應訊號，可以預防資料從輸入端直接穿透到輸出端。

12.一種雙電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，且該第一非同步包覆器係外接一第一供應電壓，該第二非同步包覆器係外接一第二供應電壓，又該第二供應電壓比該第一供應電壓大，而該雙電壓系統之非同步先進先出暫存器單元包括：

- 一資料門鎖器，負責資料的輸入與輸出，並包括一準位轉換正反器，其具有正反器和準位轉換的功能；

- 一狀態偵測器，用來偵測該資料門鎖器內的資料存取狀態；

- 一傳送者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；

- 一接收者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器的有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器；以及

- 一非同步準位轉換器，其連接於該接收者交握控制器和該狀態偵測器之間，用來將第一供應電壓之大小變換至第二供應電壓之大小。

13.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單

元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料門鎖器，倘若此時該資料暫存沒有空間存放，則必須等到該資料門鎖器有存放空間，再將該傳送者回應訊號傳送至該第一包覆器。

14.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者狀態控制器要有接收該接收者憑證，才能將儲存於該資料門鎖器的資料輸出，倘若此時該資料門鎖器之所儲存的資料已經輸出，則必須等到該資料門鎖器有資料儲存時，再將該接收者回應訊號傳送至該第二包覆器。

15.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，傳送一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料門鎖器，會產生一第一致能信號開始運作；

一第一交握訊號產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一時脈控制器，接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料門鎖器。

16.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同時模組，當該第二局部同步模組要將暫存在該資料門鎖器的

資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，與負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，接收處理該第二延長訊號，和產生第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料門鎖器內的資料。

17.如申請專利範圍第 13 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈產生器能停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈產生器的時間，與處理資料被傳送至該資料鎖器的時間過於接近。

18.如申請專利範圍第 14 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈產生器能停止或延長該第一延長訊號，以避免該第二延長訊號到達該第二可停止時脈產生器的時間，與處理儲存於該資料門鎖器的資料輸出時間過於接近。

19.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，接收該傳送者回應訊號；

一第二互補式電晶體，接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之 P 型電晶體和 N 型電晶體之間，且該第二互補式電晶體之 P 型電晶體外接一反相器；

一 N 型電晶體，其連接在該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，該 N 型電晶體作為該資料偵測器偵測到該資料門鎖器有資料存放之一重置(reset)訊號的輸入端；以及

一 第一輸入端，位於該第二互補式電晶體之間，作為該偵測器的輸出端。

20.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一 第三互補式電晶體，接收該接收者要求訊號，且該第三互補式電晶體之 N 型電晶體外接一反相器；

一 第四互補式電晶體，接收該傳送者要求訊號之反相訊號至，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一 第五互補式電晶體，接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該資料偵測器偵測到該資料門鎖器有資料存放的一反相信號輸入端；

一 第一 P 型電晶體，其連接在第五互補式電晶體之 P 型電晶體和 N 型電晶體之間；以及

一 第二輸入端，其外接一反相器並位於第五互補式電晶體之間，係作為該傳送者交握控制器的輸入端。

21.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

一 第六互補式電晶體，接收該接收者要求訊號之反相訊號；

一 第七互補式電晶體，接收該接收者要求訊號，且該第七互補式電晶體係

位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

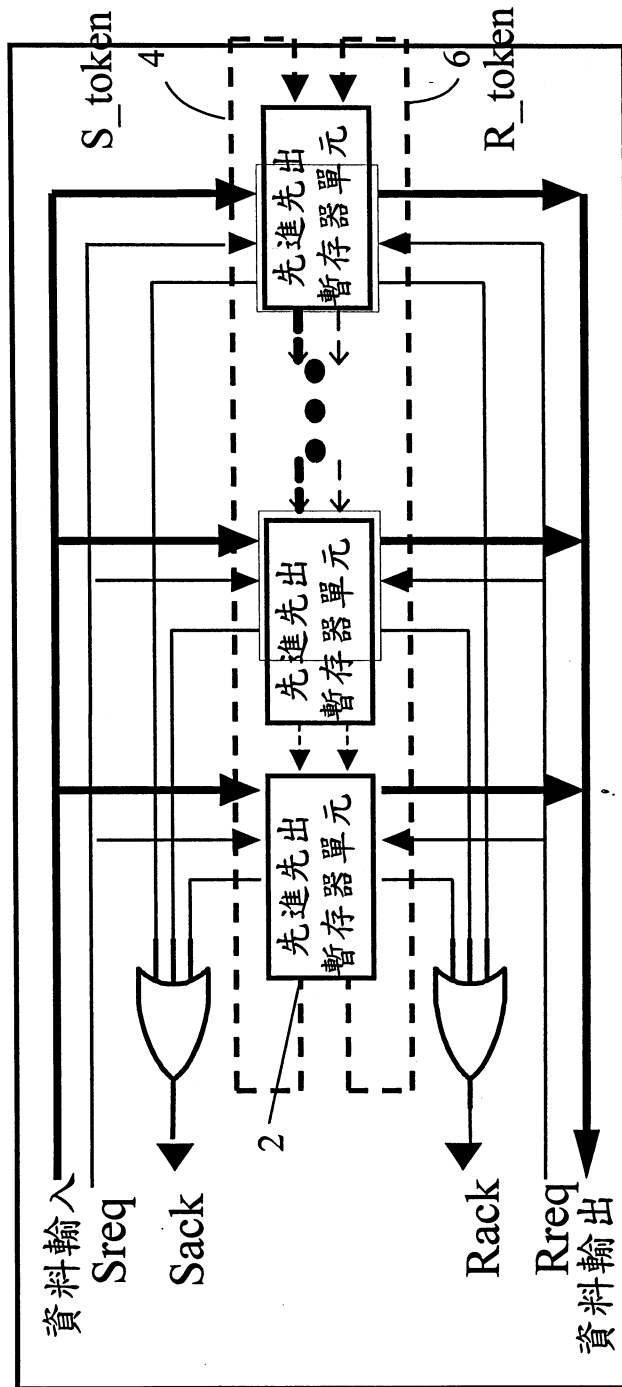
一第二 P 型電晶體，其連接在第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該資料偵測器偵測到該資料門鎖器無資料存放之一反相信號輸入端；以及

一第三輸入端，外接一反相器並位於該第七互補式電晶體之間，係作為該接收者交握控制器的輸入端。

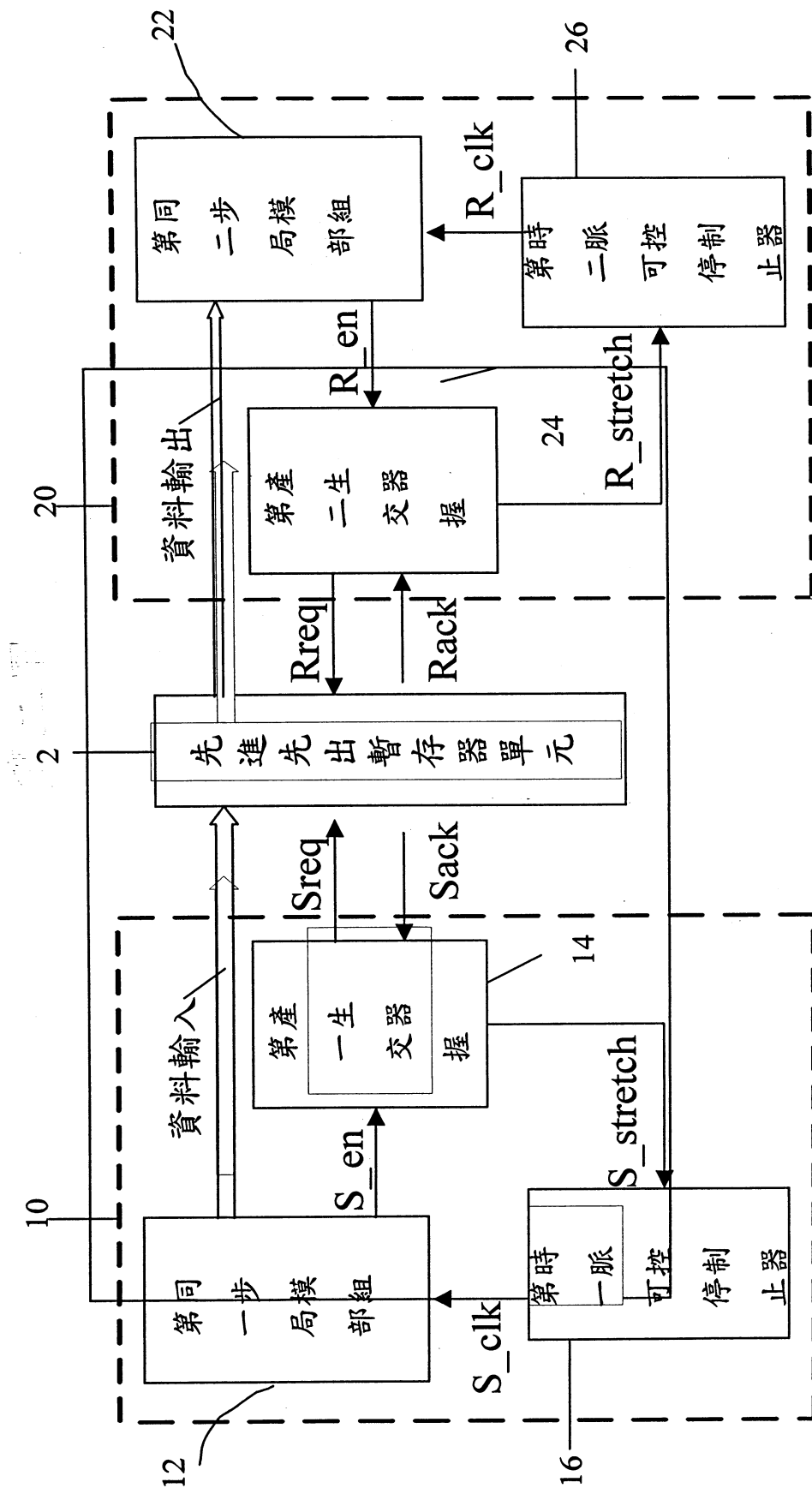
22.如申請專利範圍第 20 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器的輸出訊號，可以預防資料從輸入端直接穿透到輸出端。

23.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該準位轉換正反器用的係脈波正反器(pulsed flip-flop)，該準位轉換正反器耦合(sample)該傳送者回應訊號時，就相當於是一個脈波。

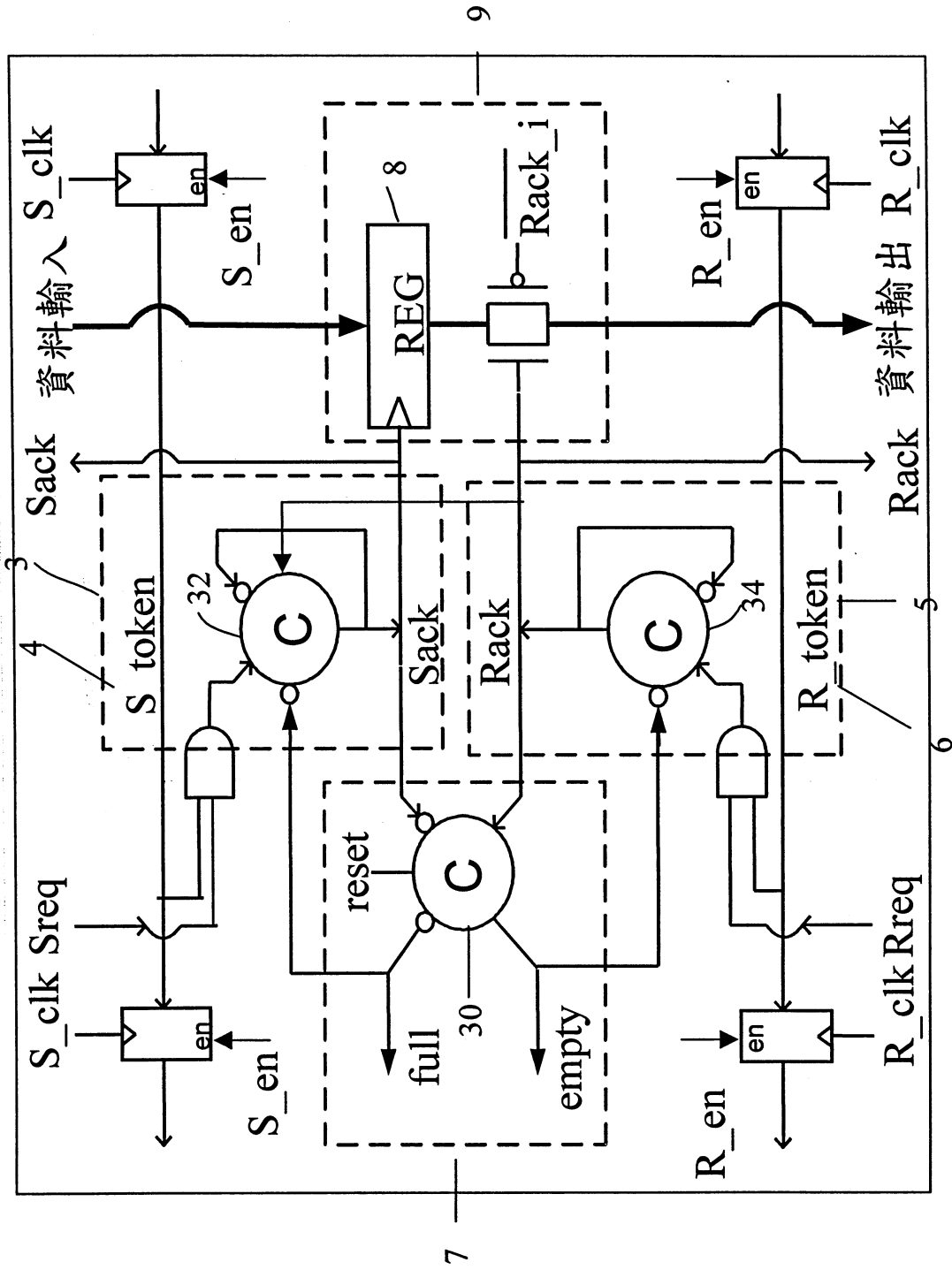
24.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該非同步準位轉換器可以防止 P 型電晶體在不會被完全關掉的時候，所造成功率率的消耗。



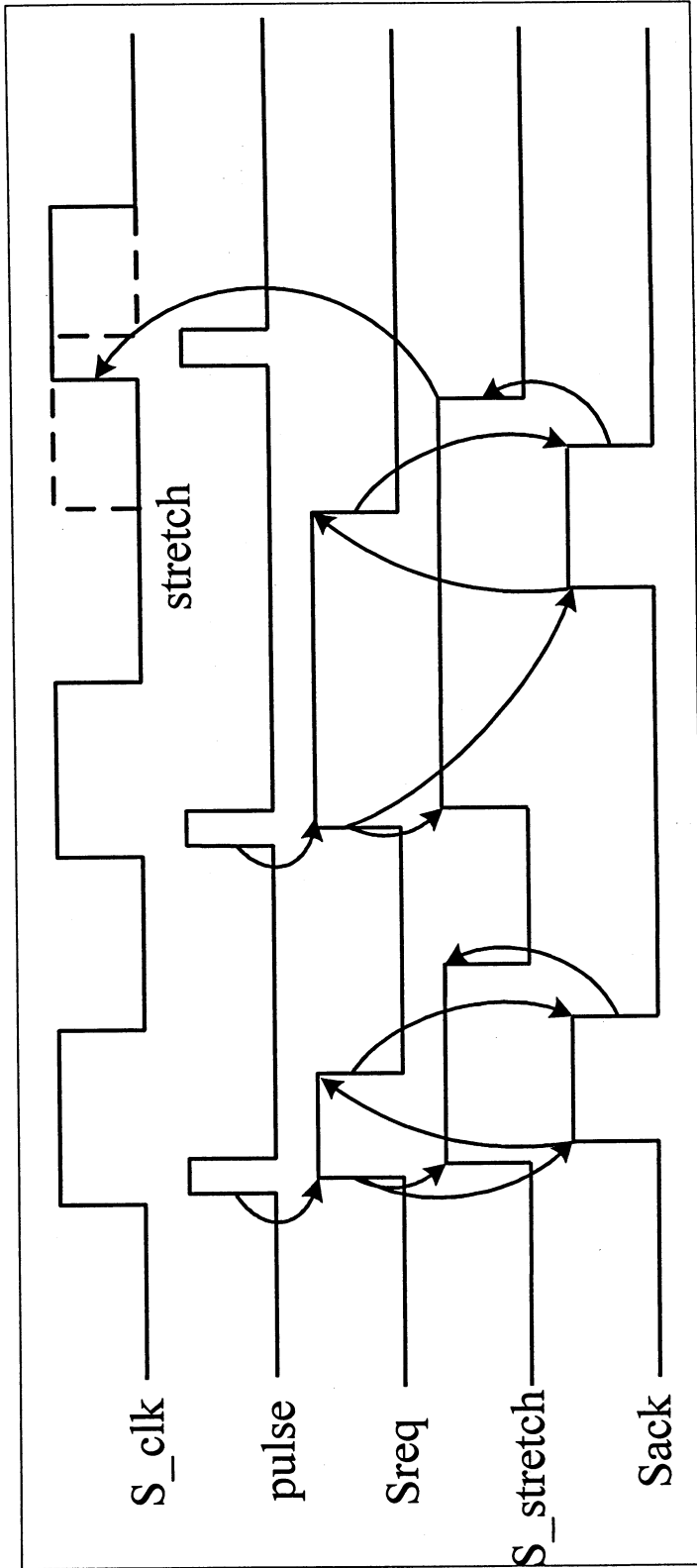
第一圖



第二圖

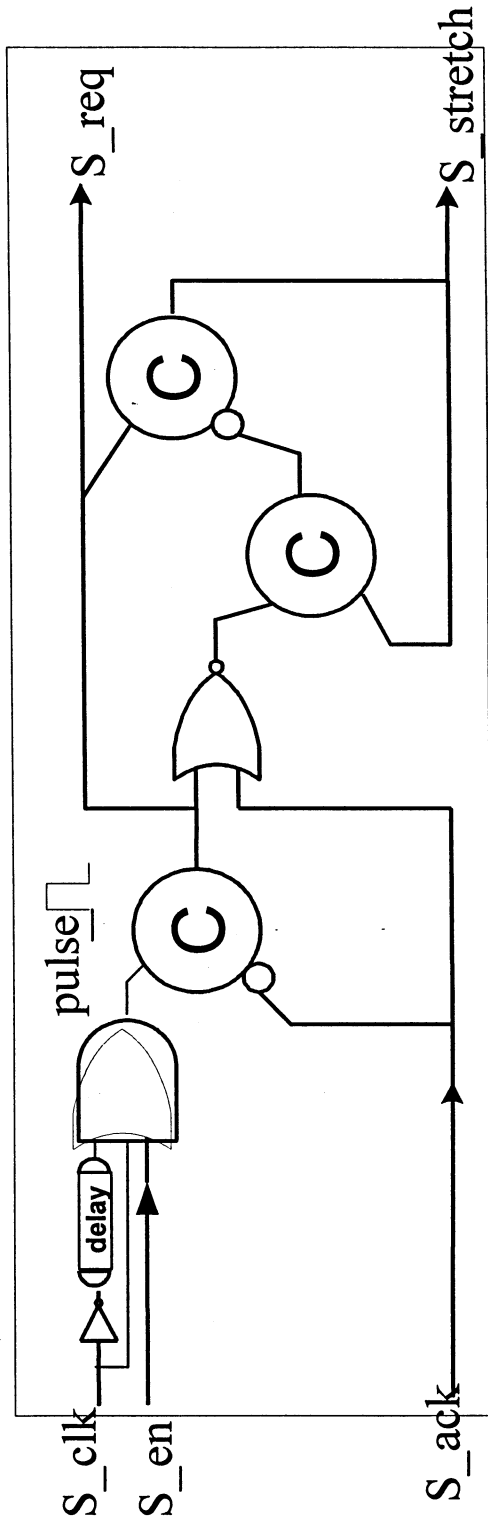


第三圖

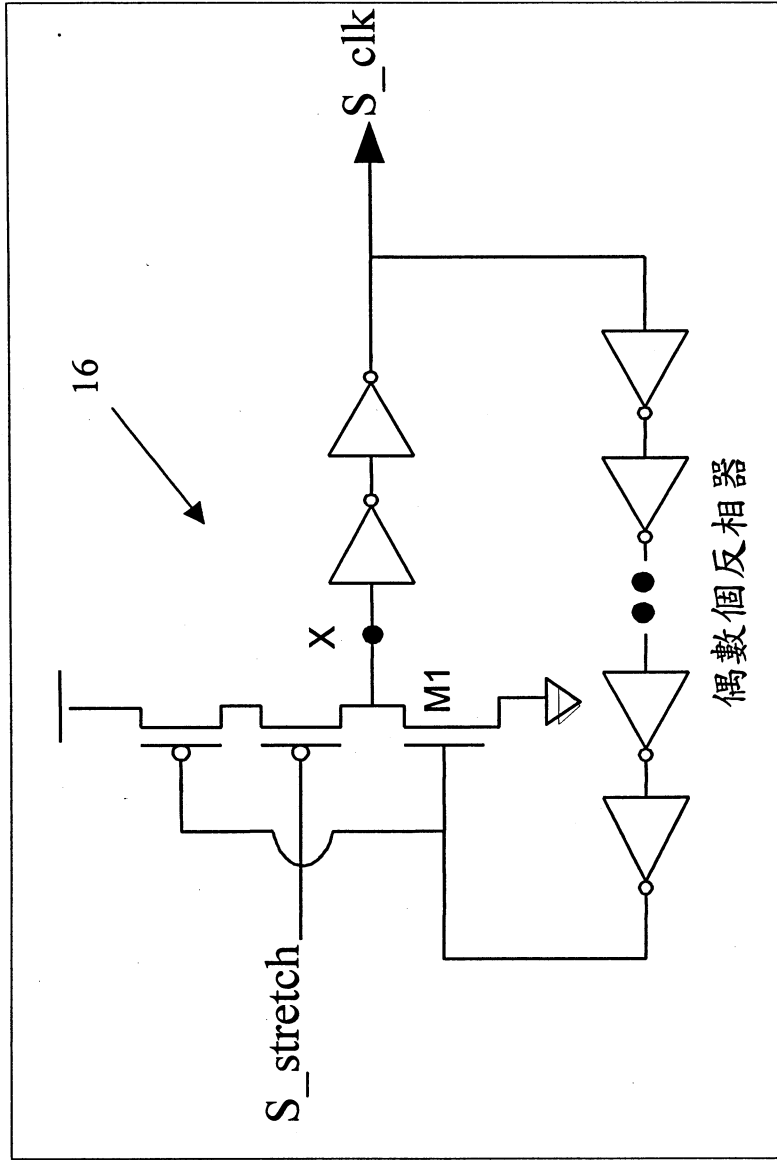


第四圖

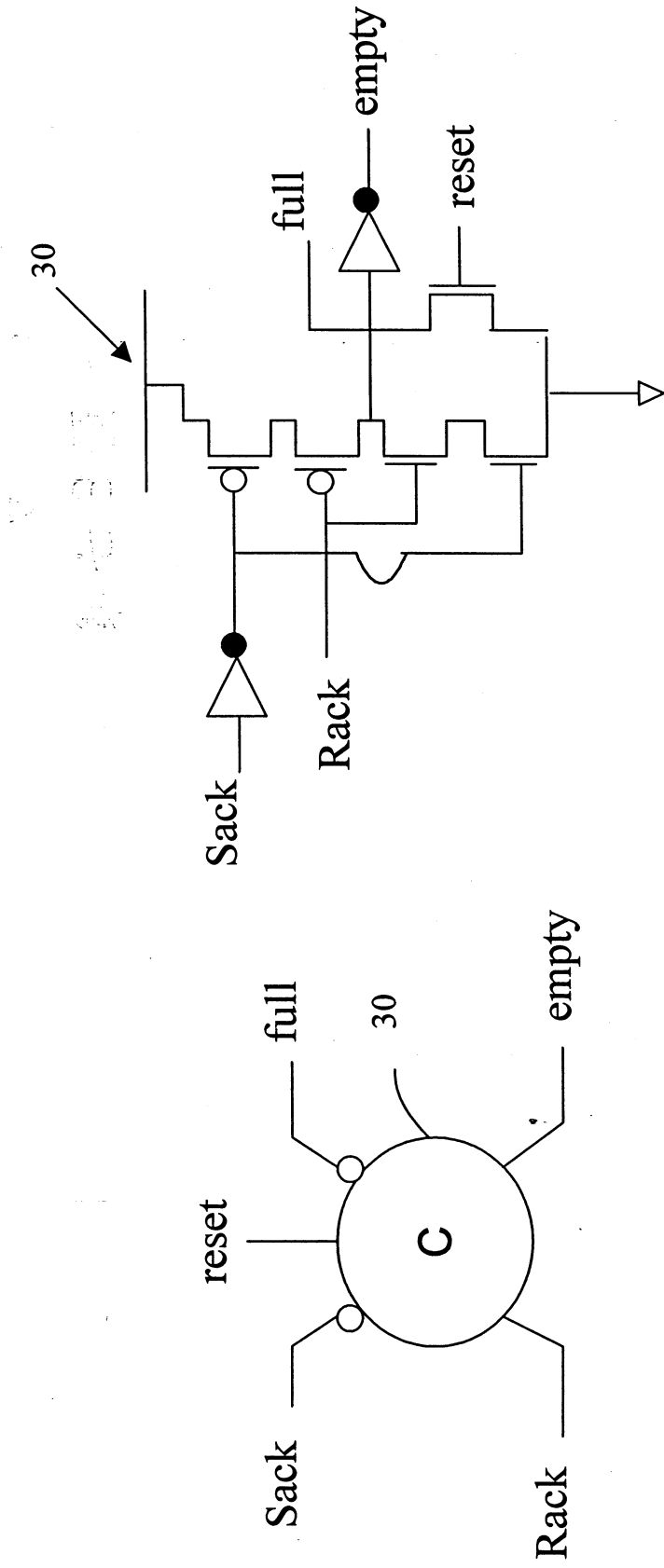
14



第五A圖

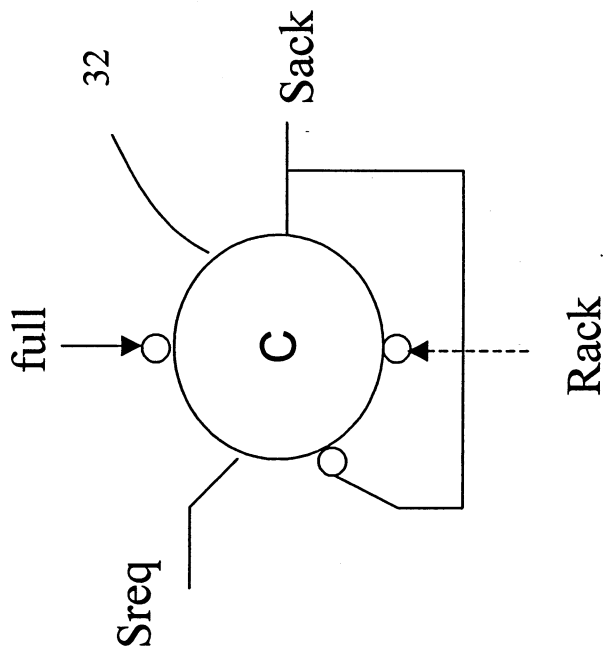


第五B圖

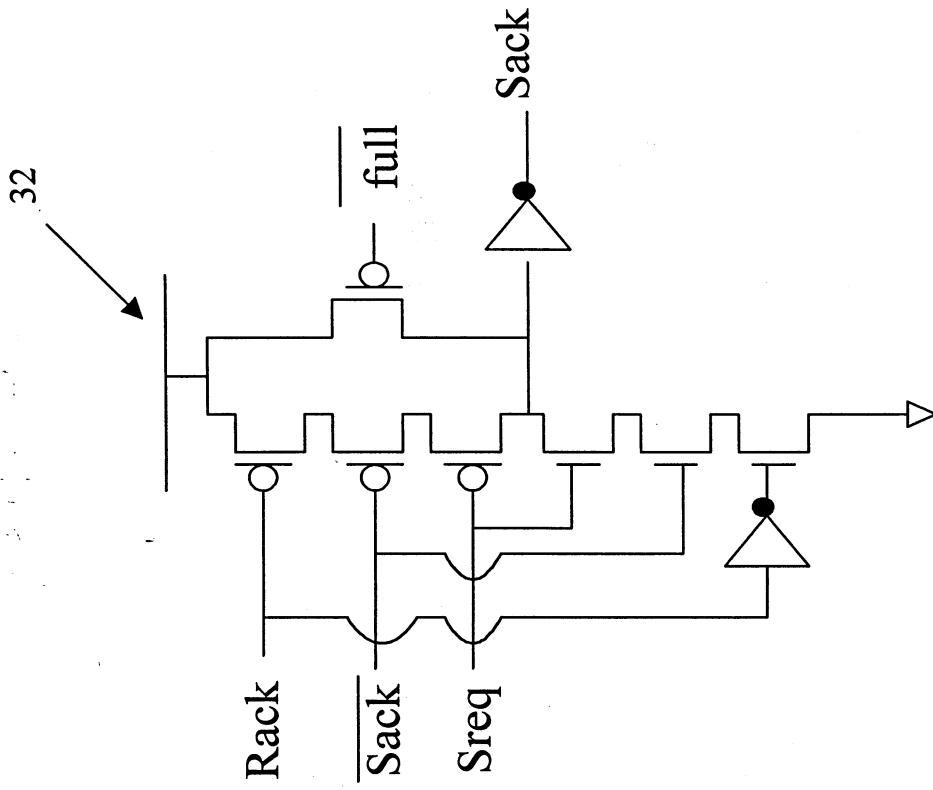


第六B圖

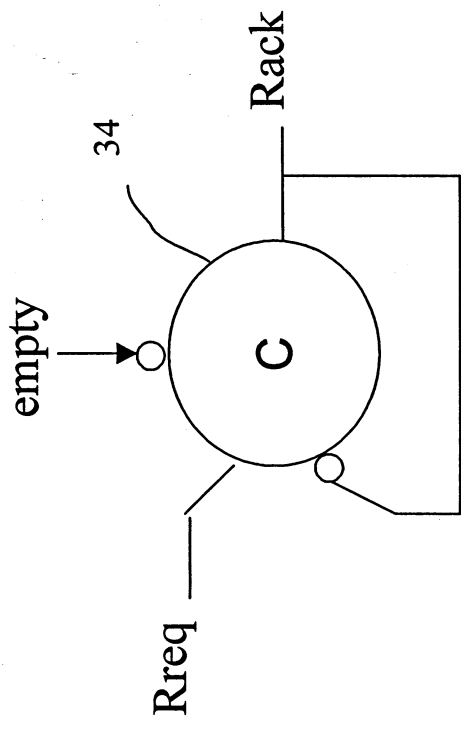
第六A圖



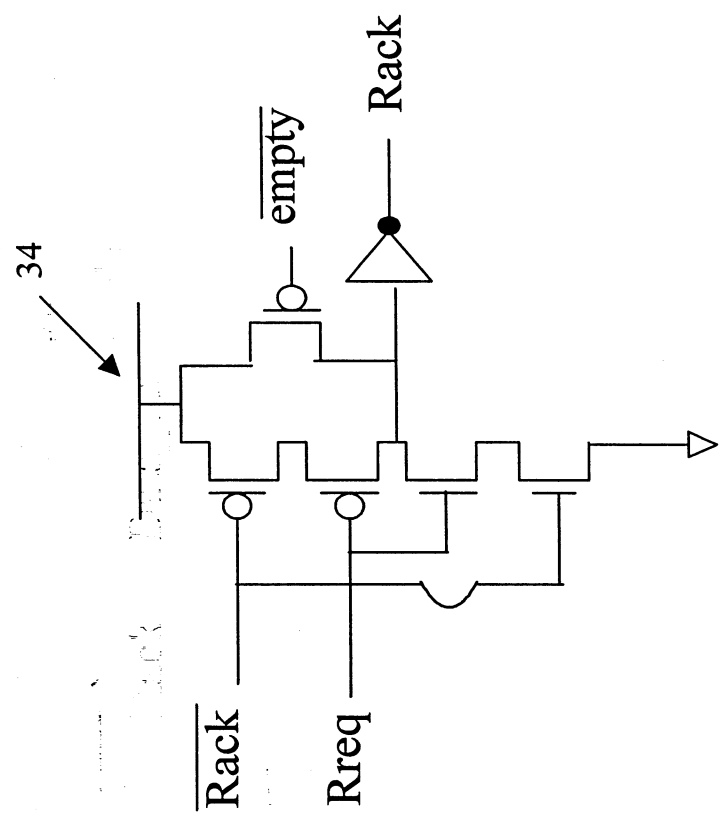
第七A圖



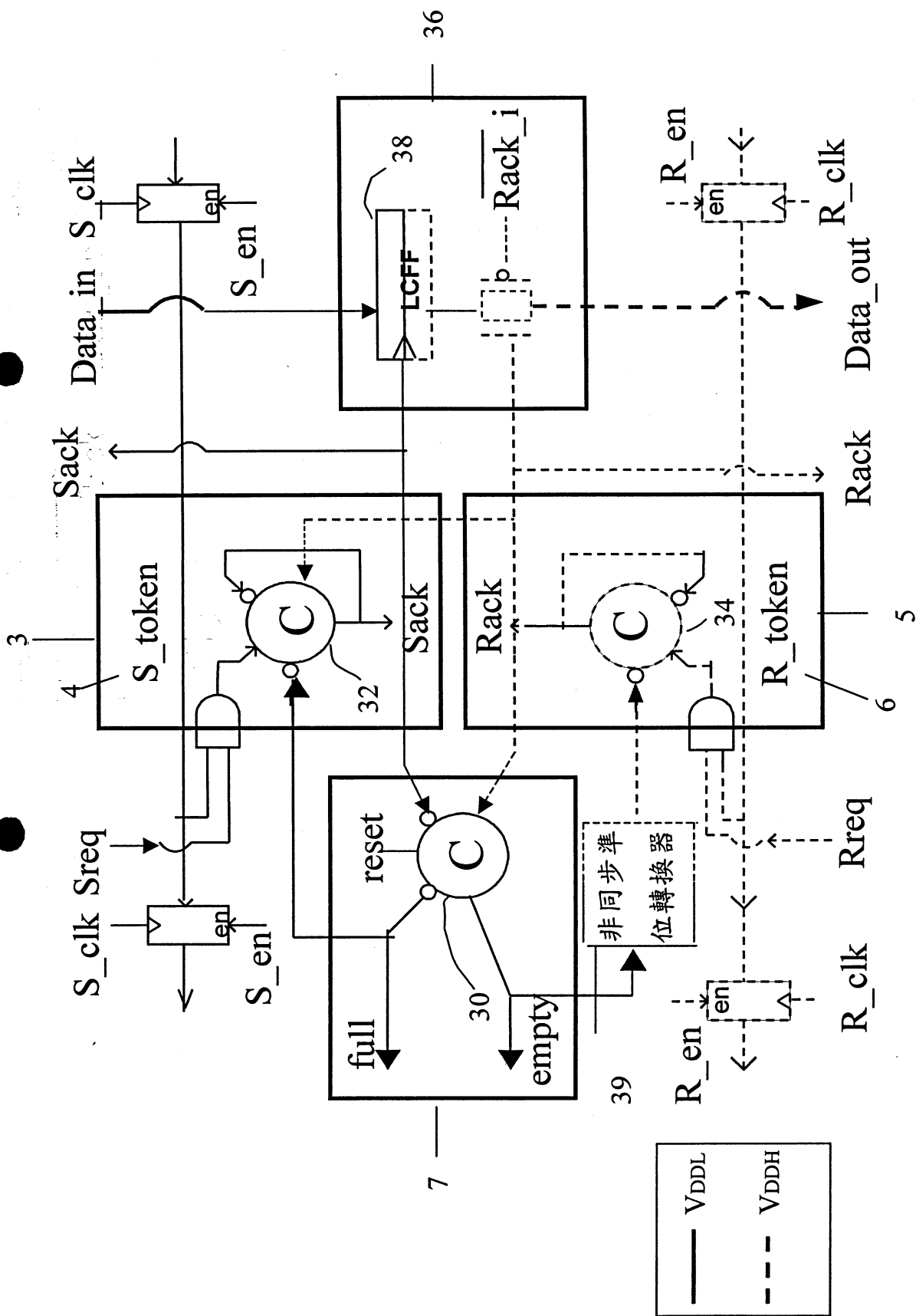
第七B圖



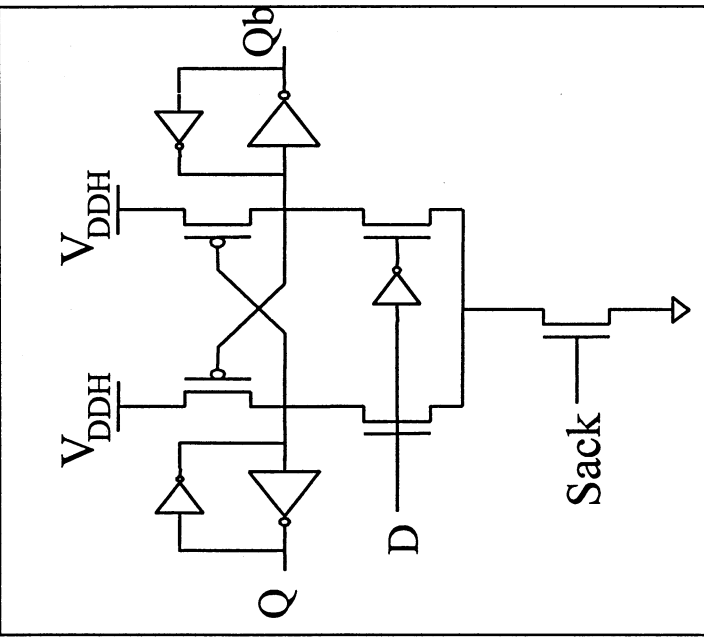
第八A圖



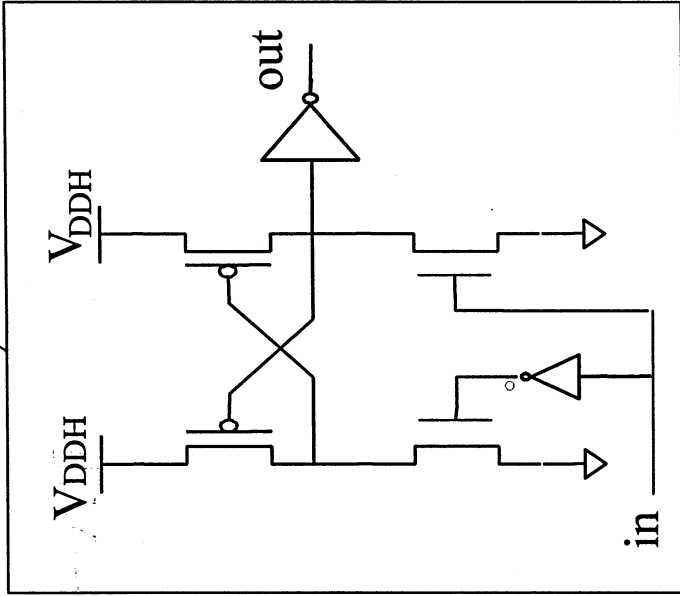
第八B圖



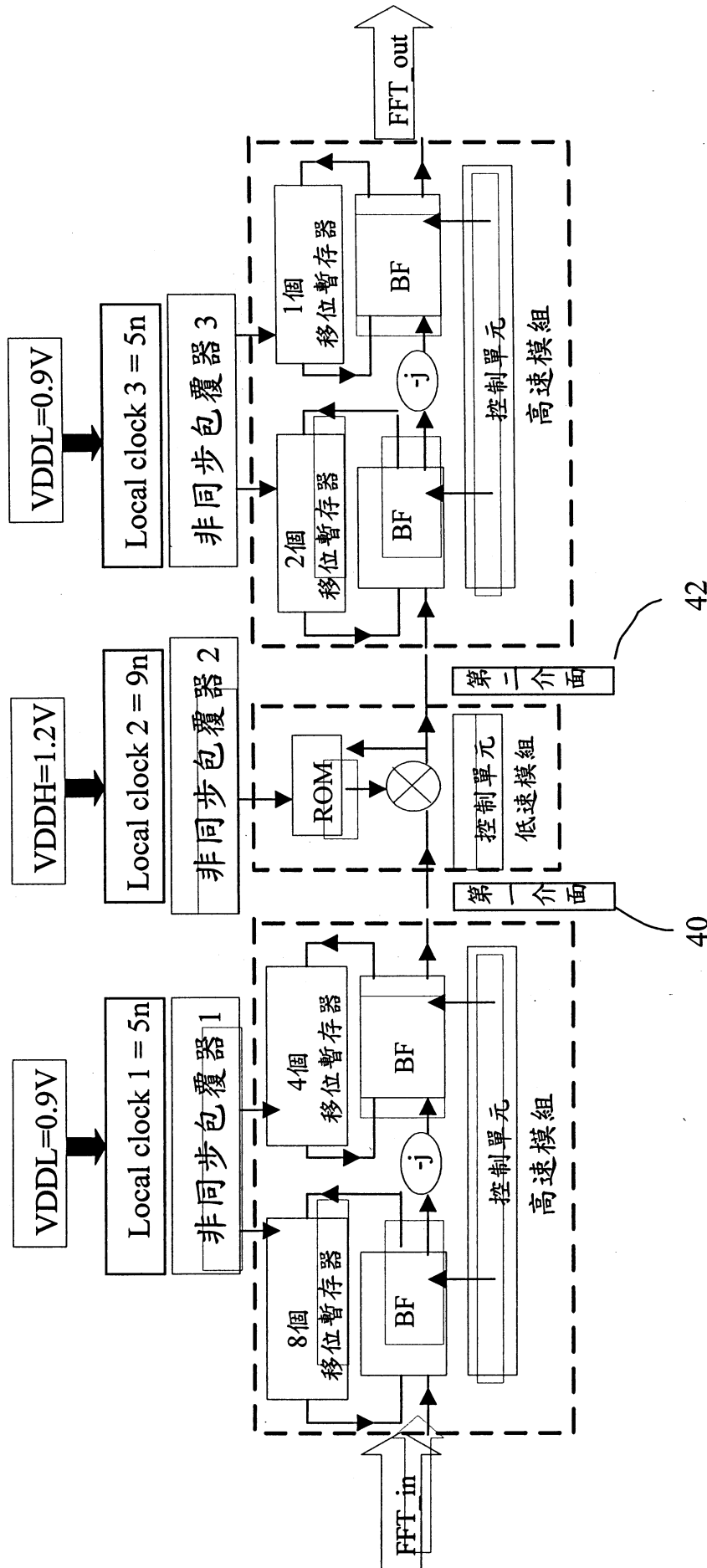
第九圖



第十A圖

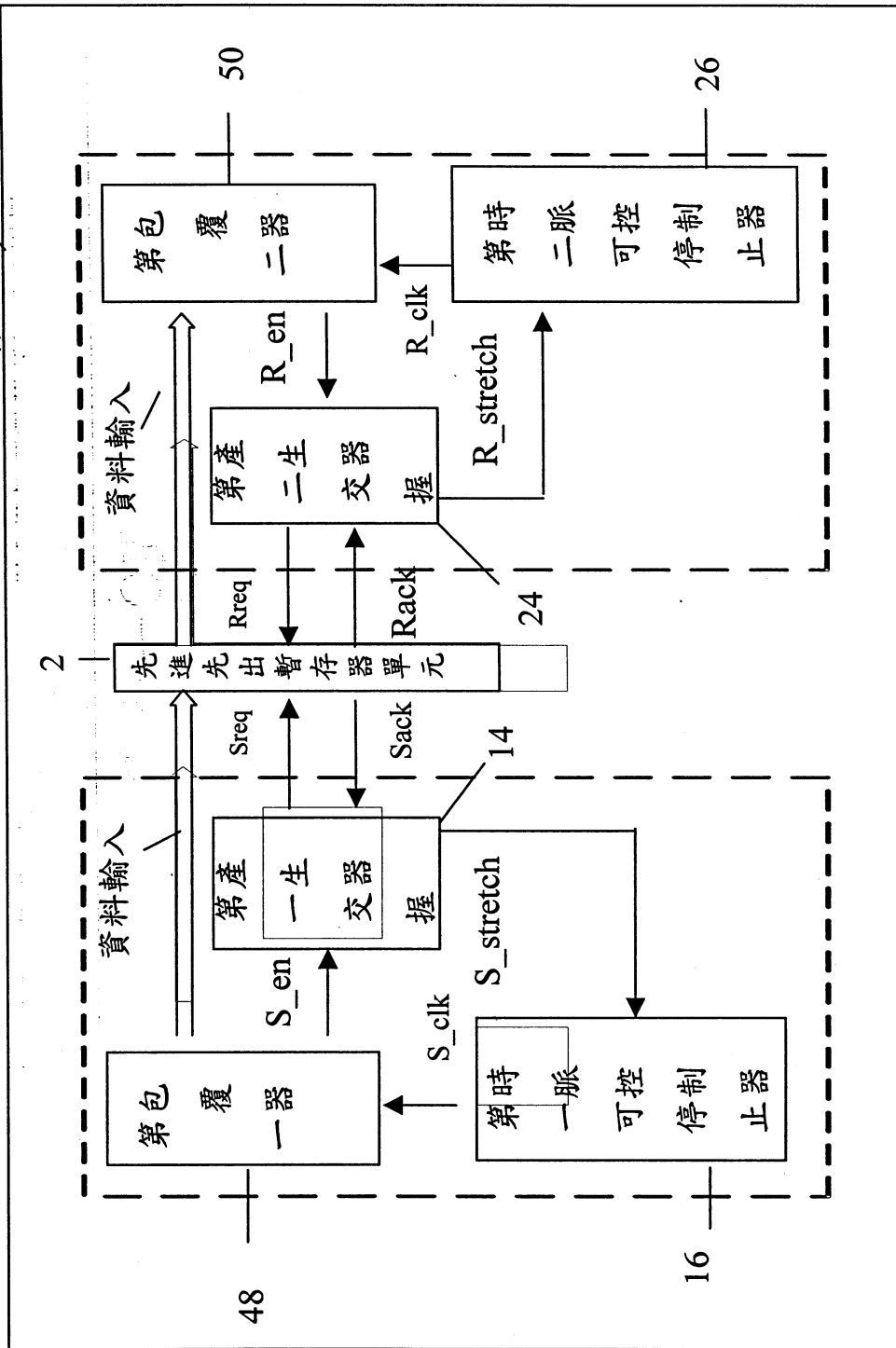


第十B圖



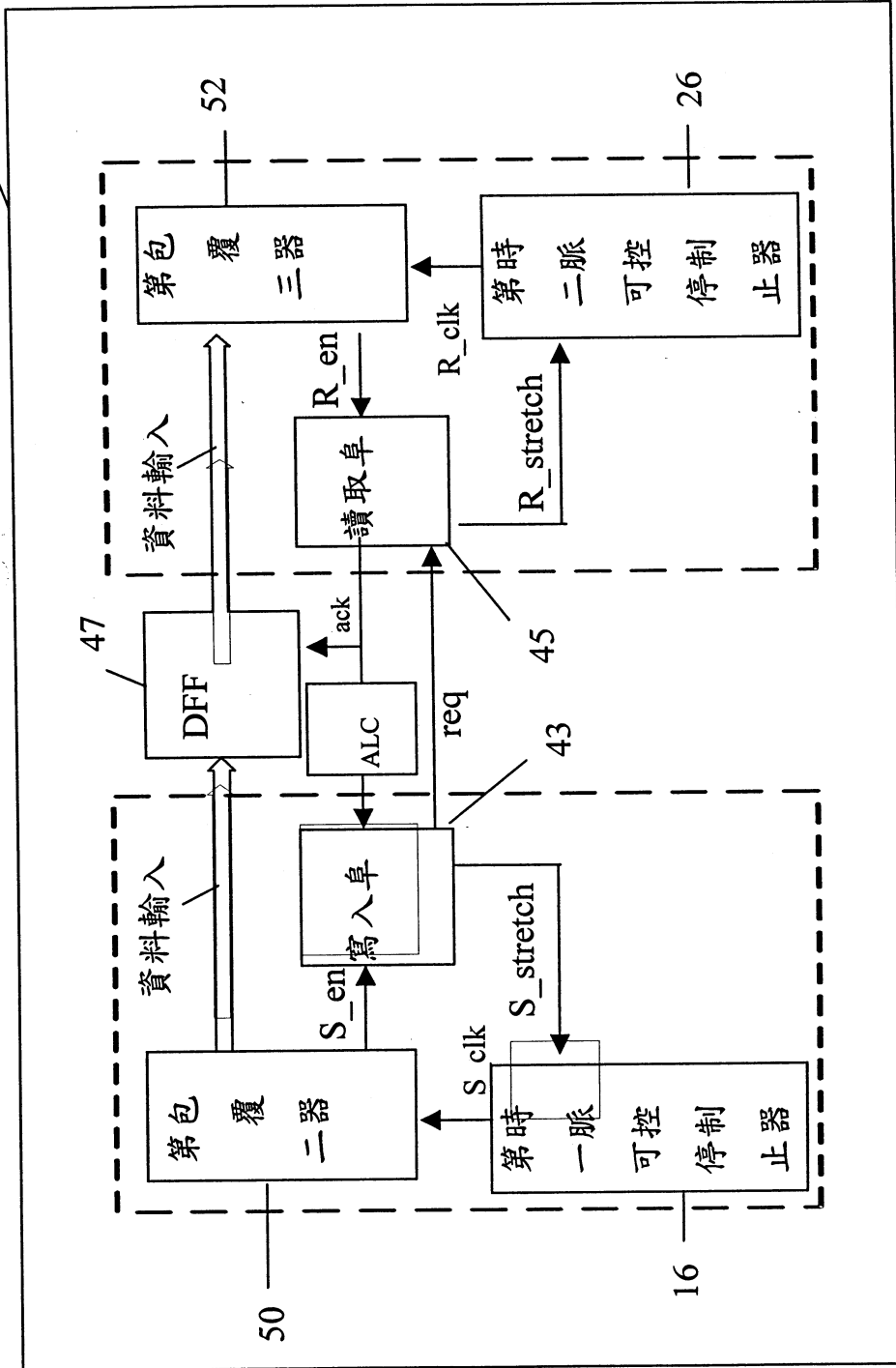
第十一A圖

40

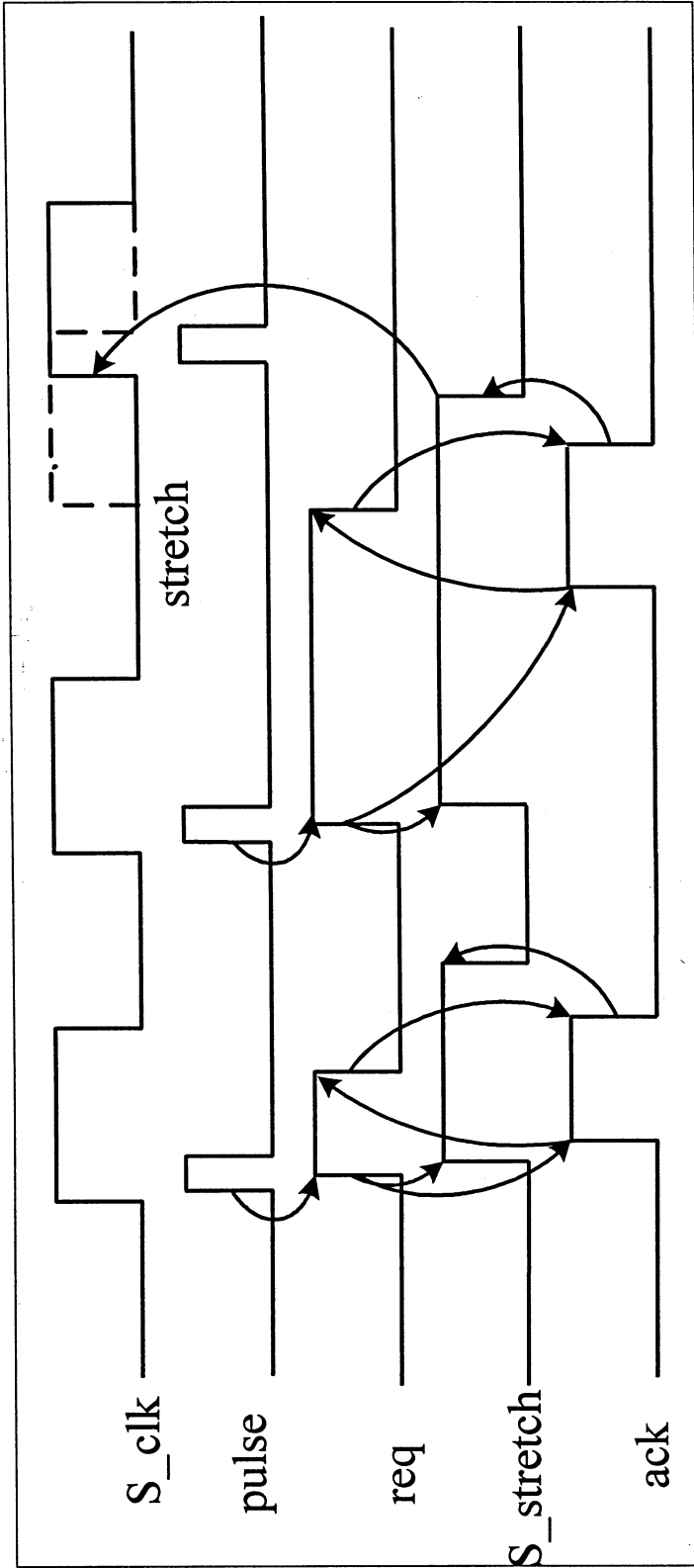


第十一B圖

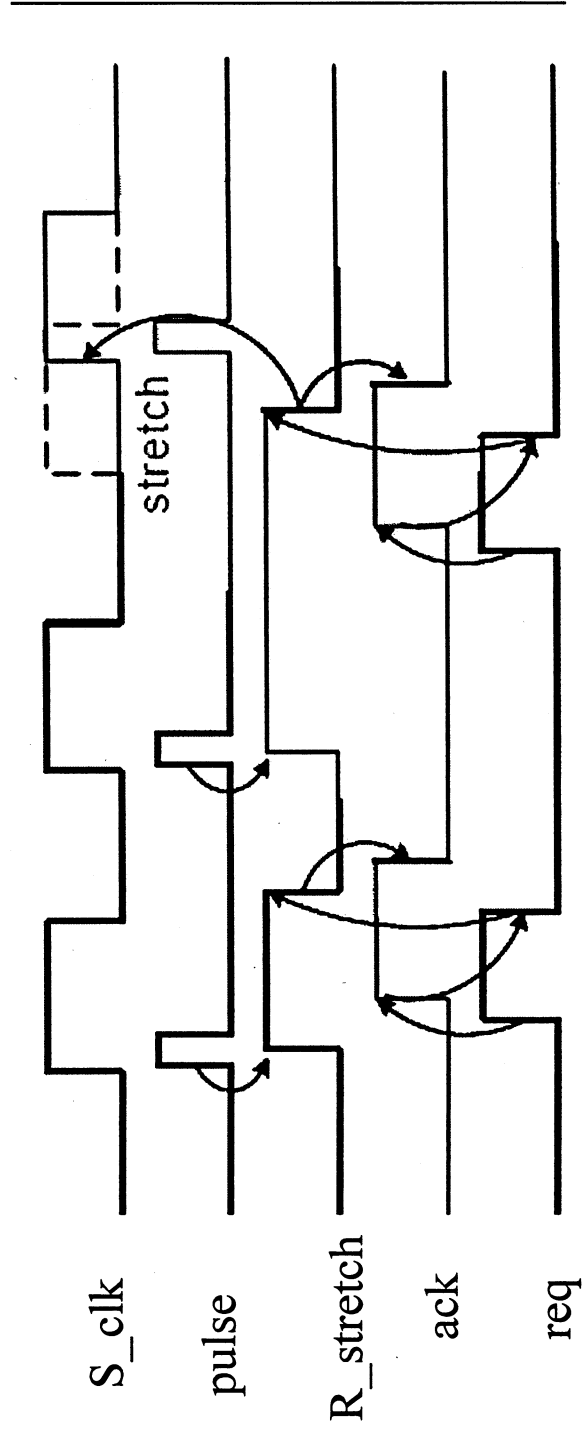
42



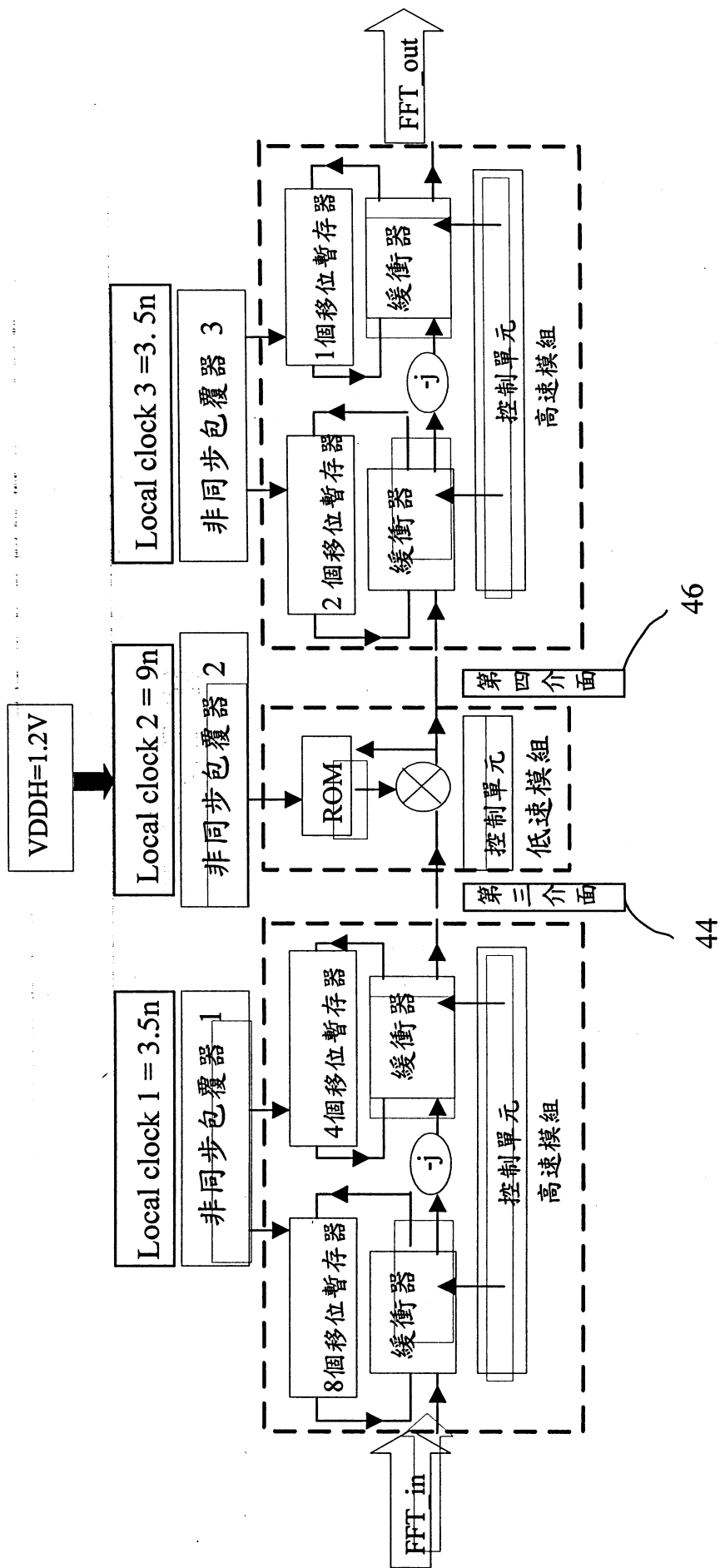
第十一C圖



第十二圖

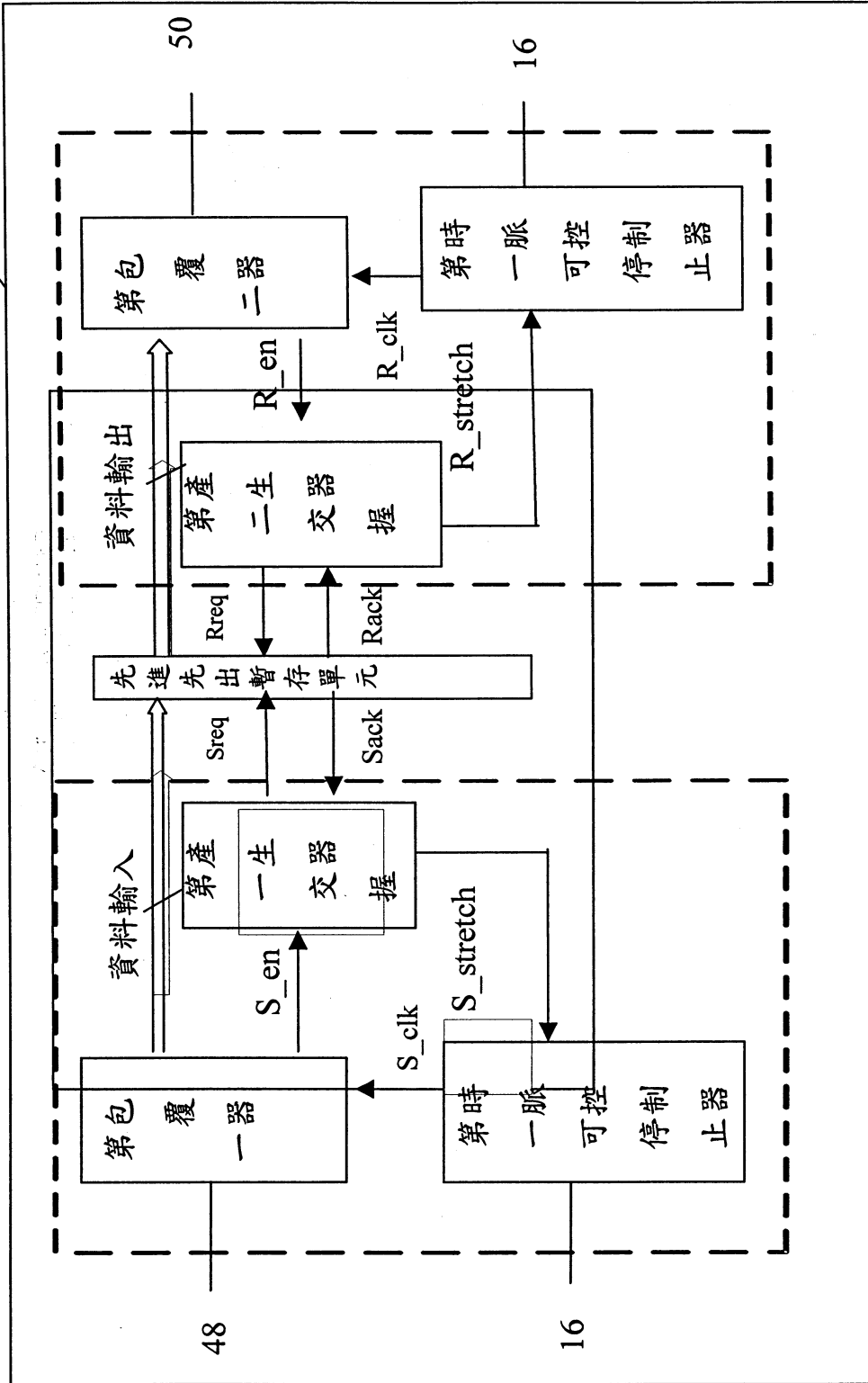


第十三圖



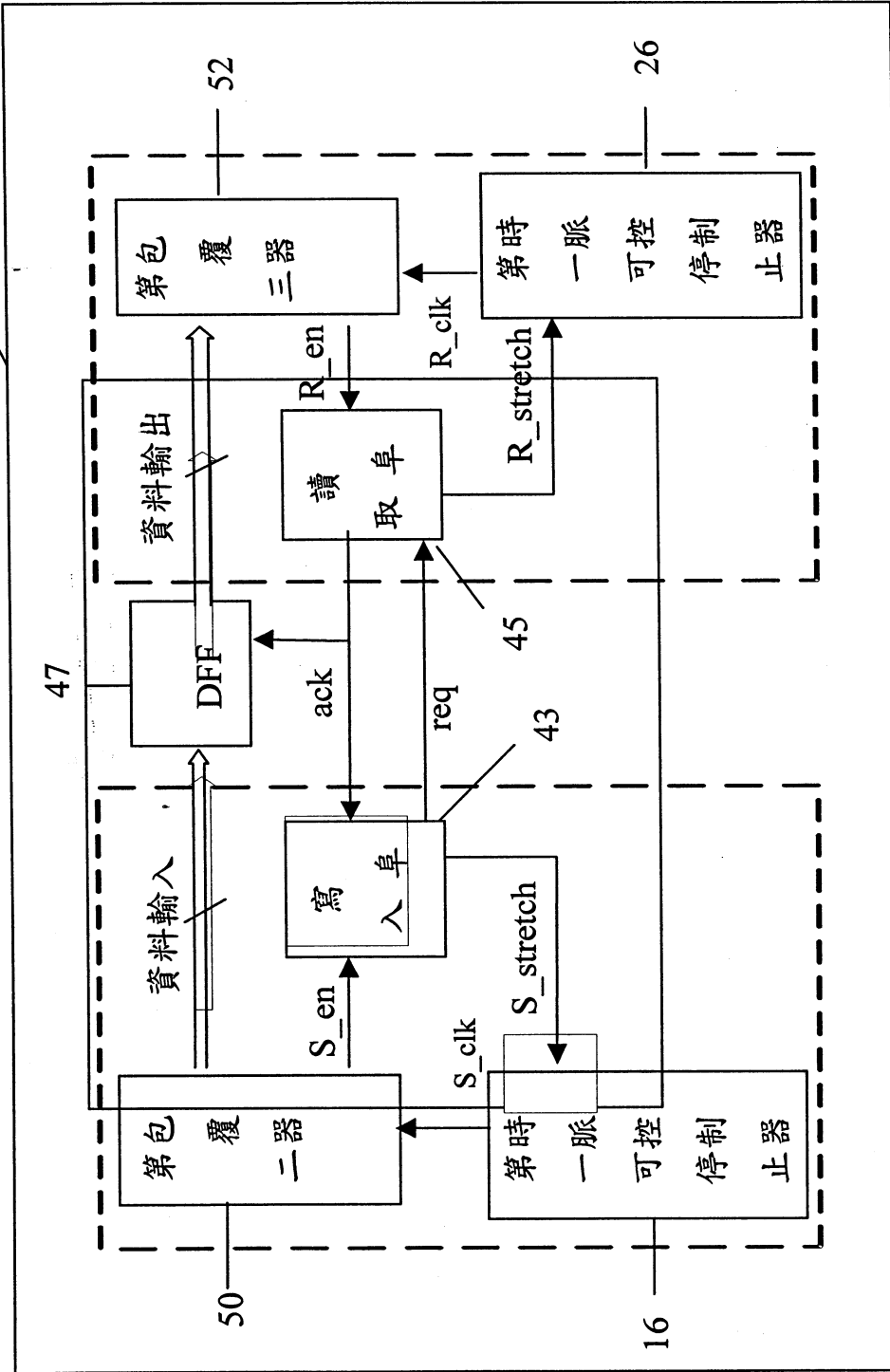
第十四A圖

44

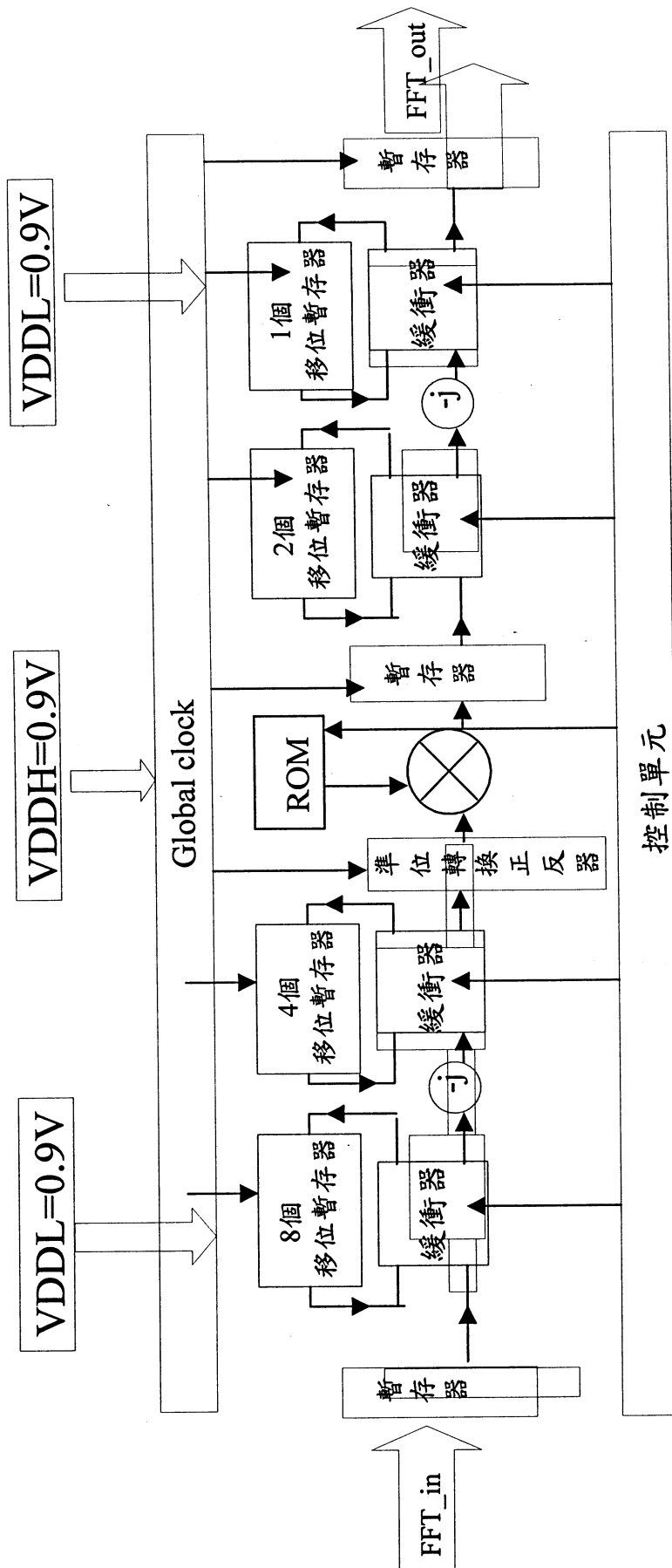


第十四B圖

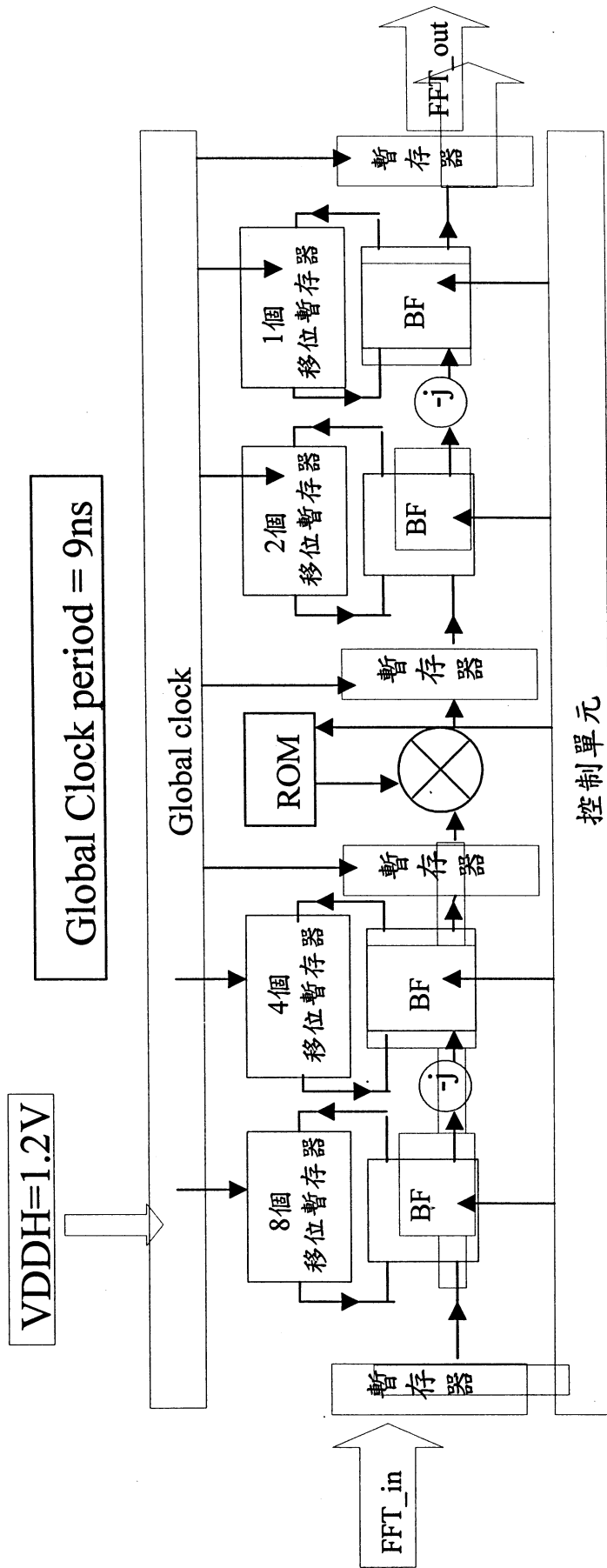
46



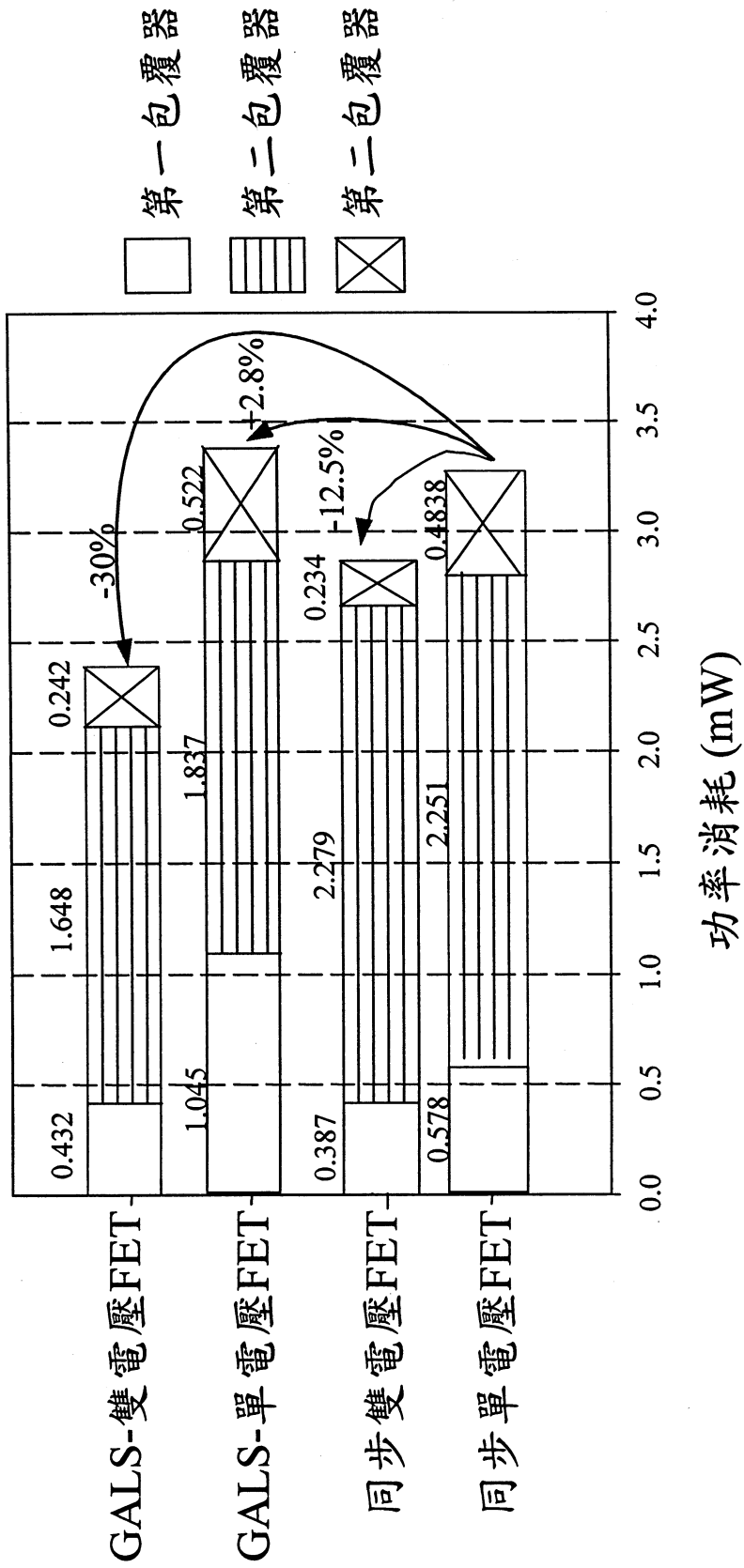
第十四C圖



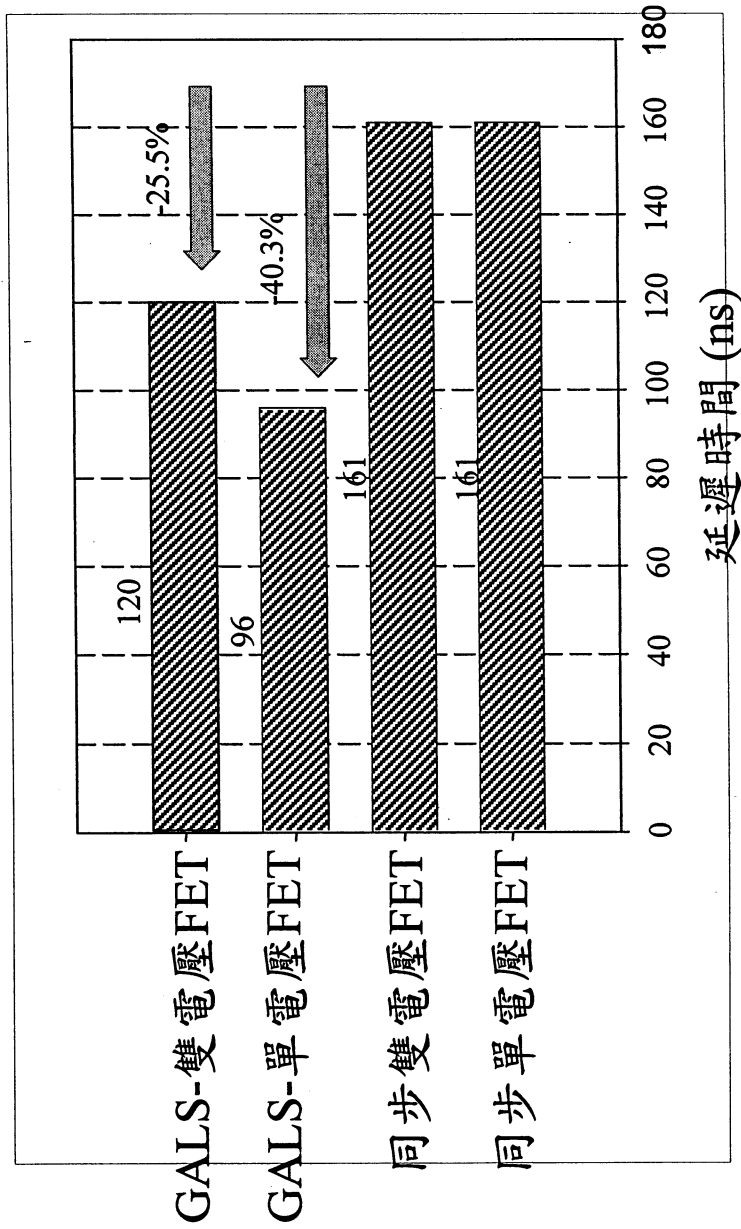
第十五圖



第十六圖



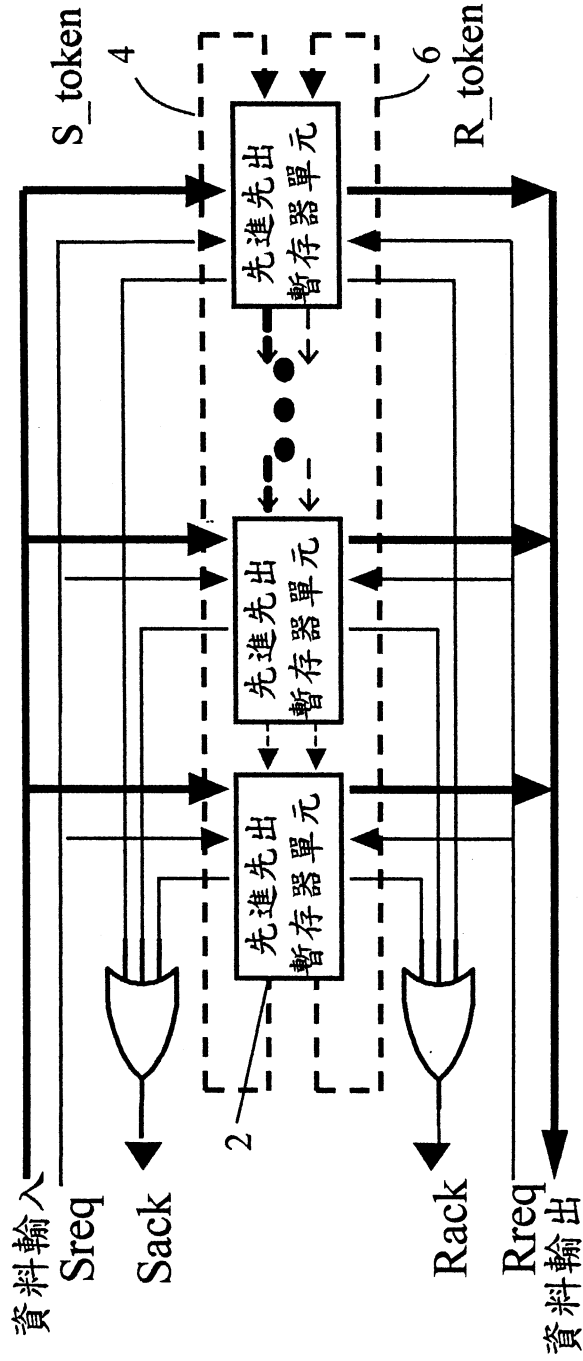
第十七圖



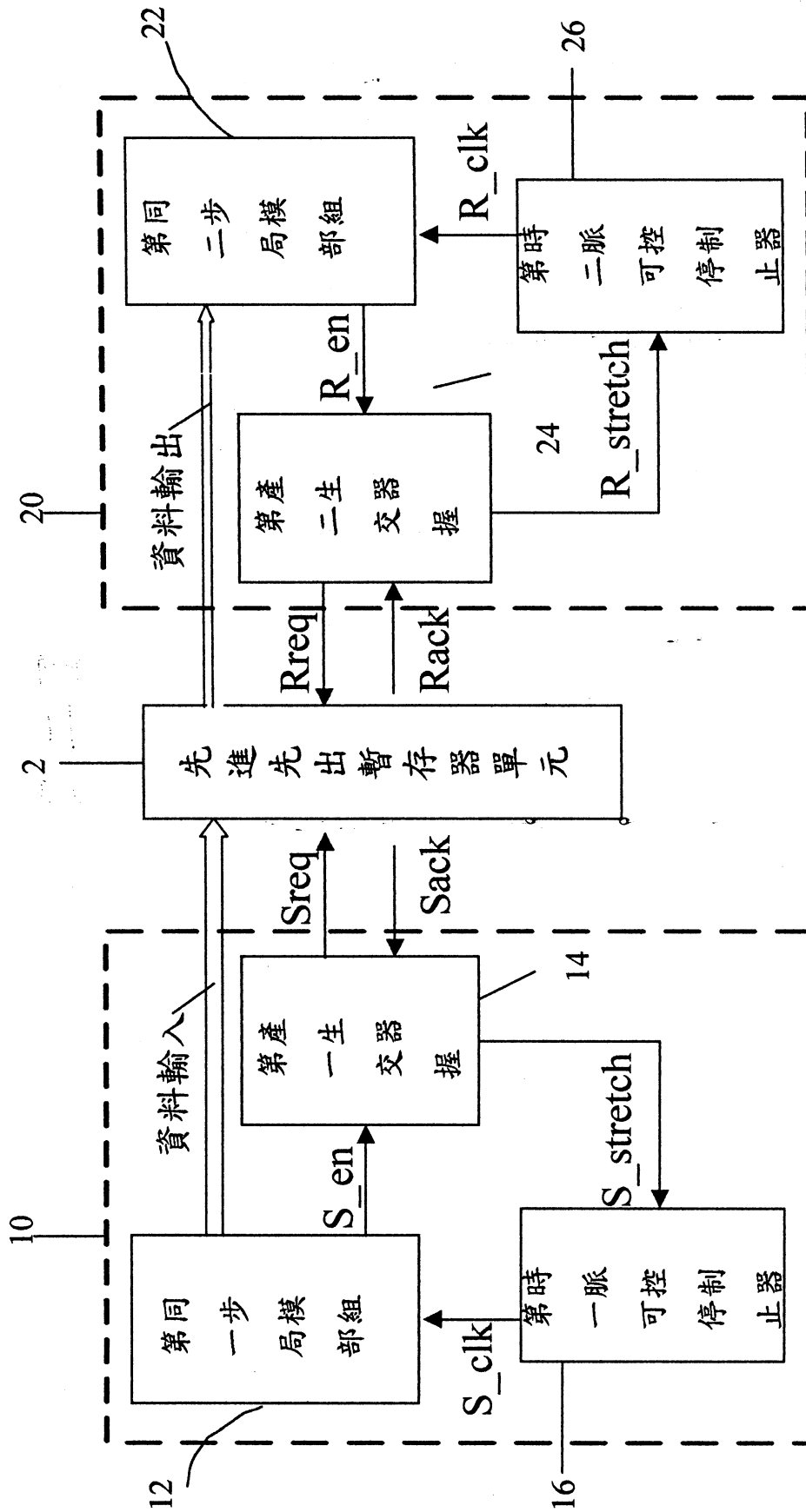
第十八圖

P4137830

修正
補充 94年1月8日

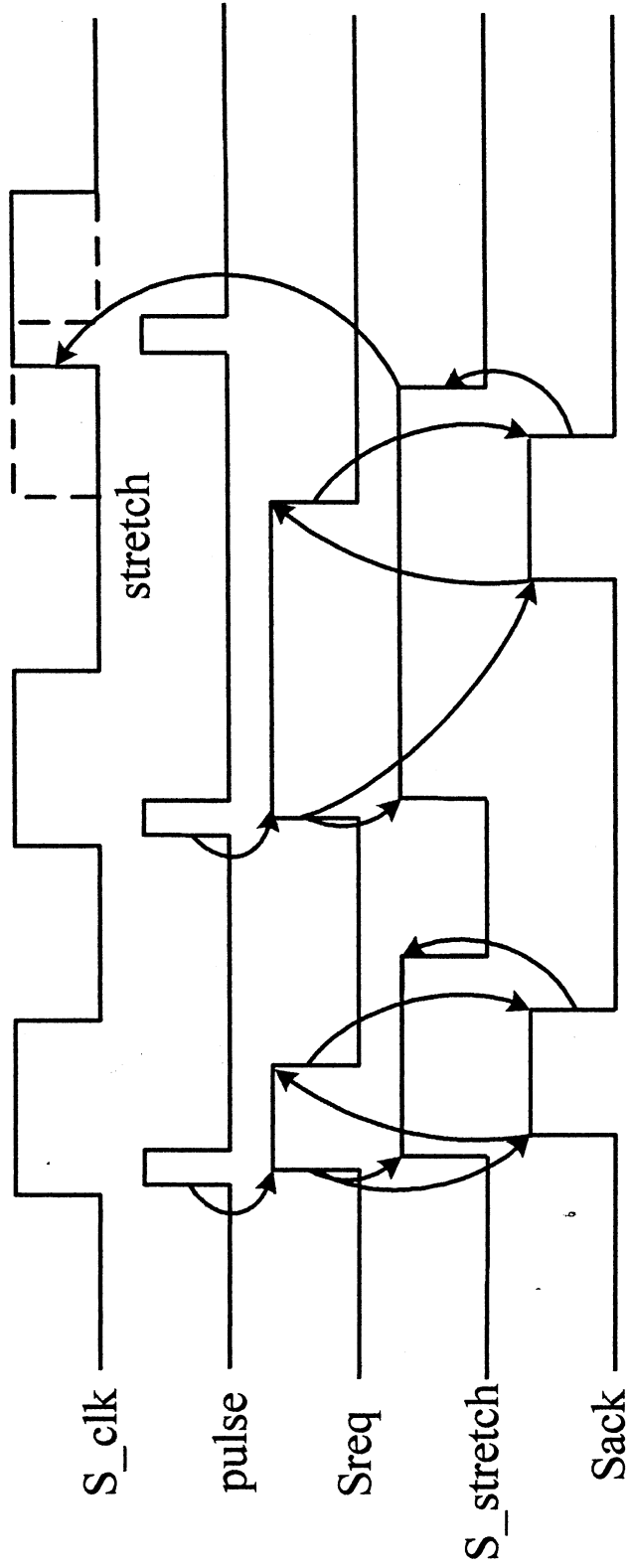


第一圖



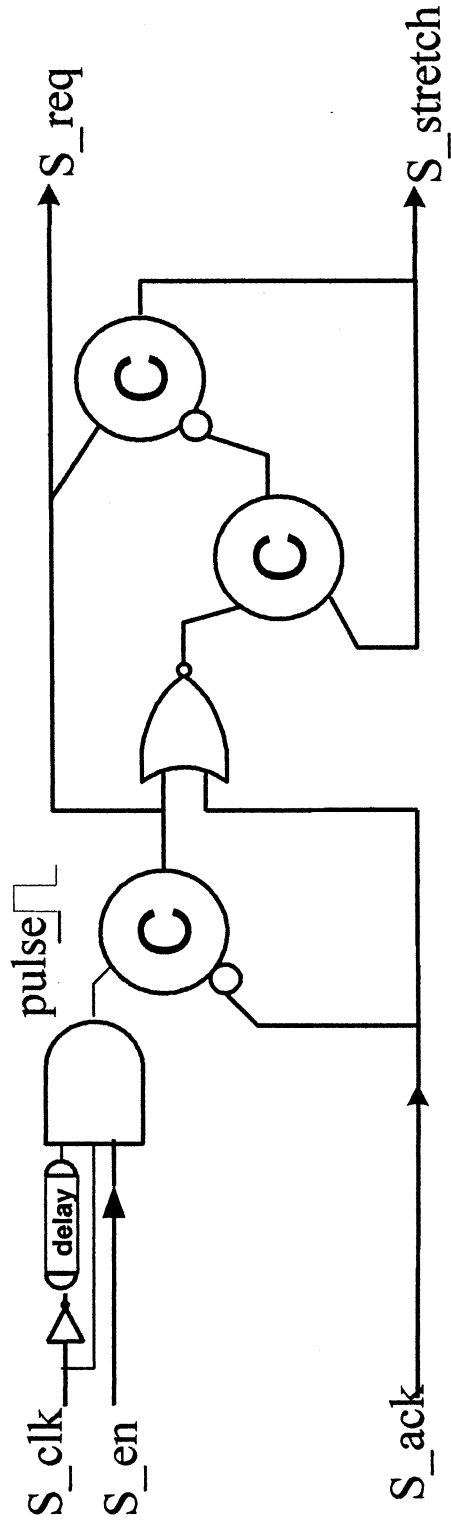
第二圖

Figure 4

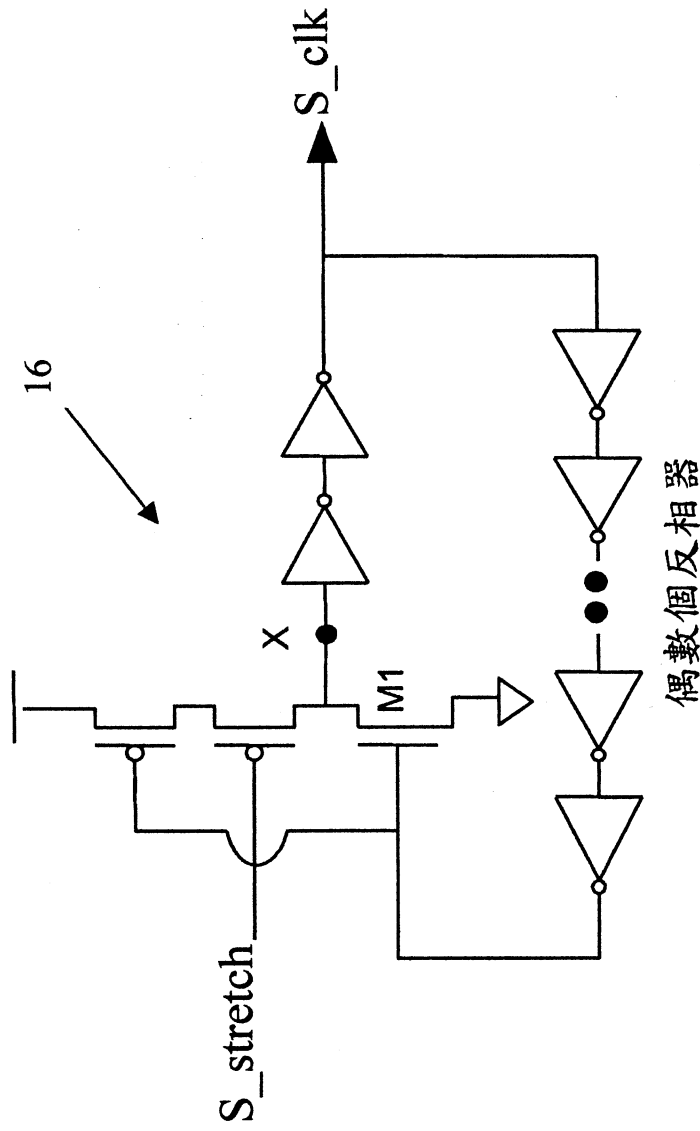


第四圖

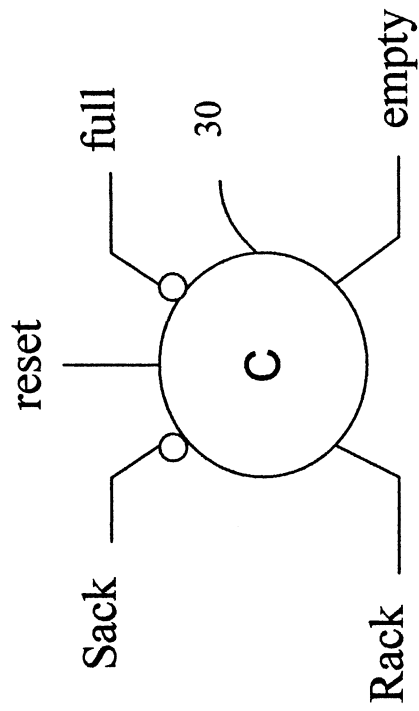
14



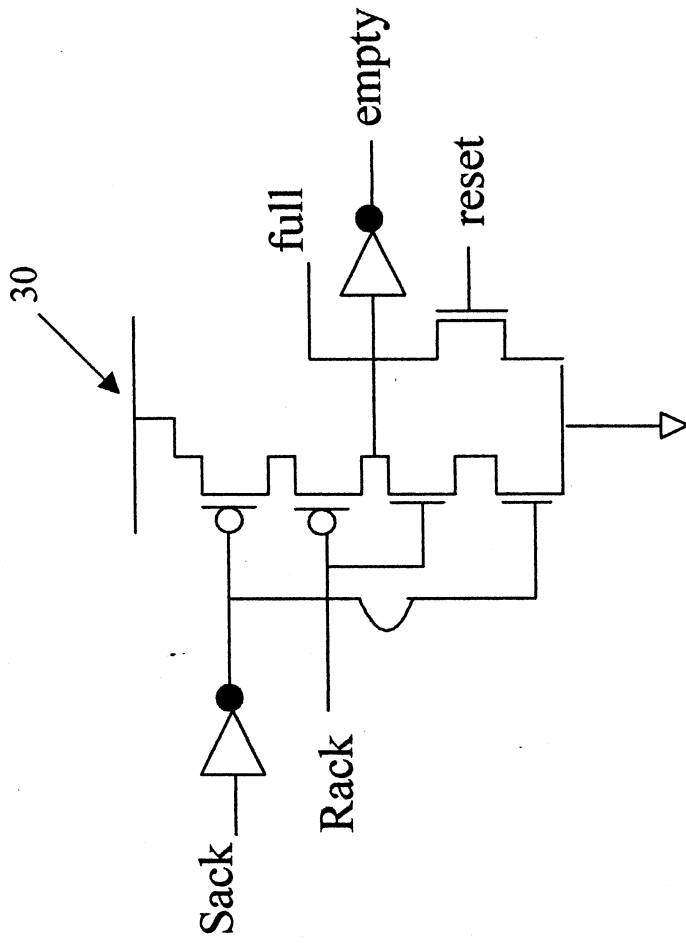
第五A圖



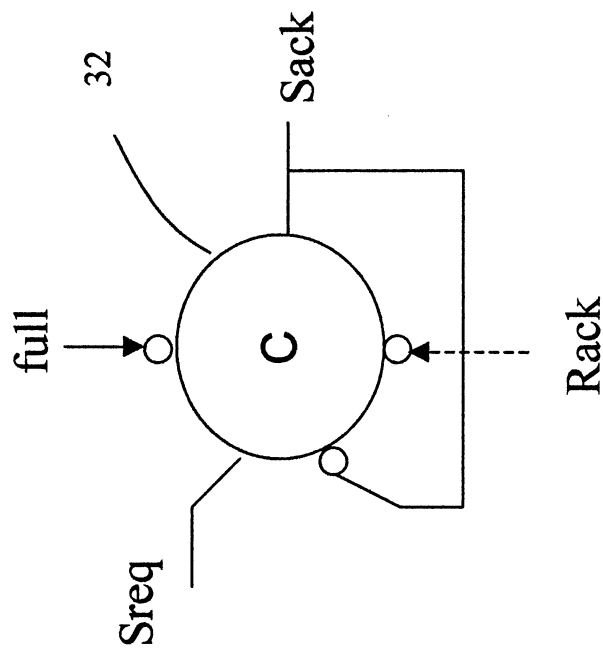
第五B圖



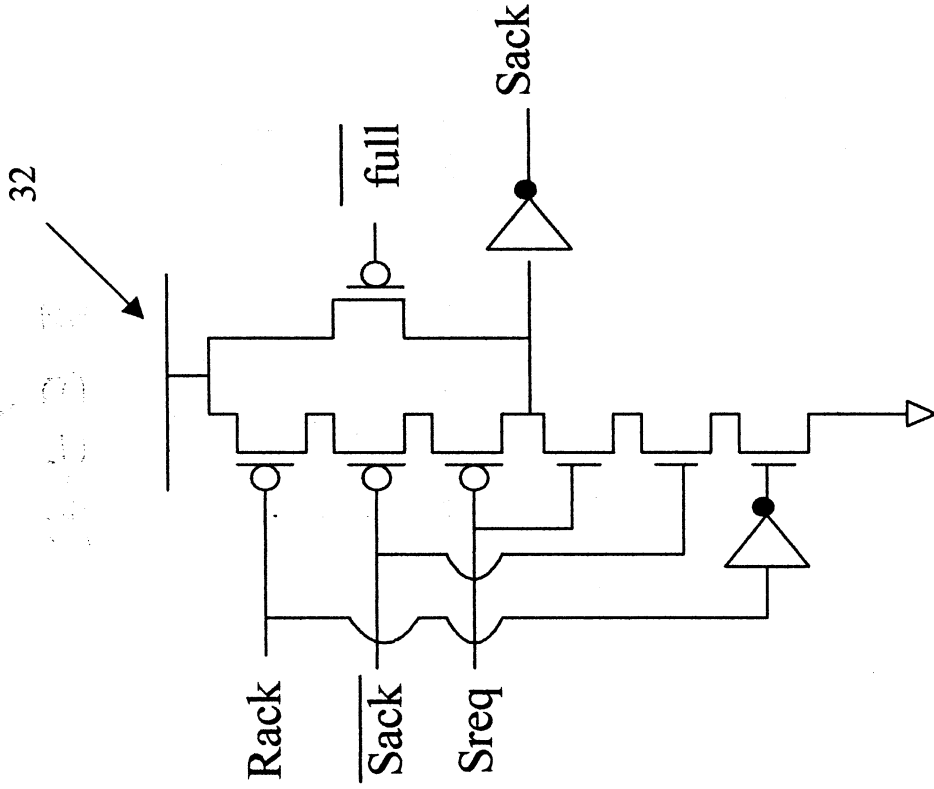
第六A圖



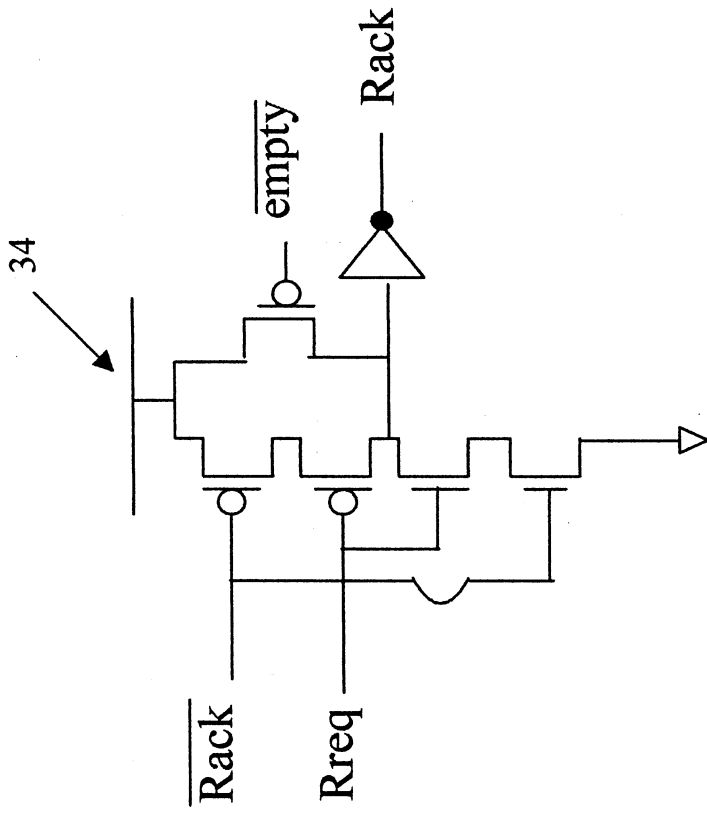
第六B圖



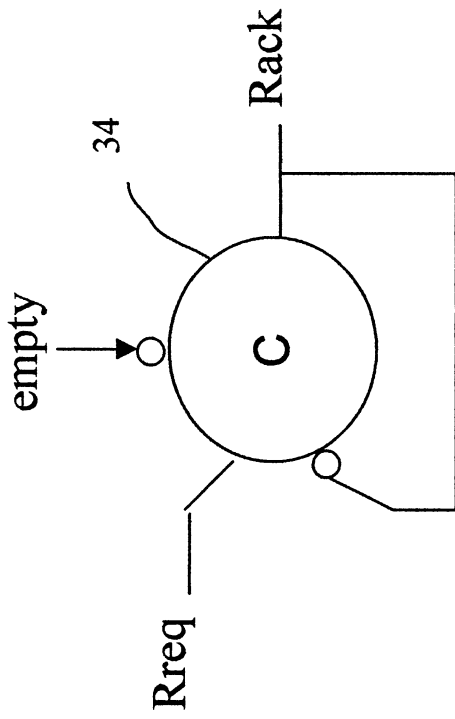
第七A圖



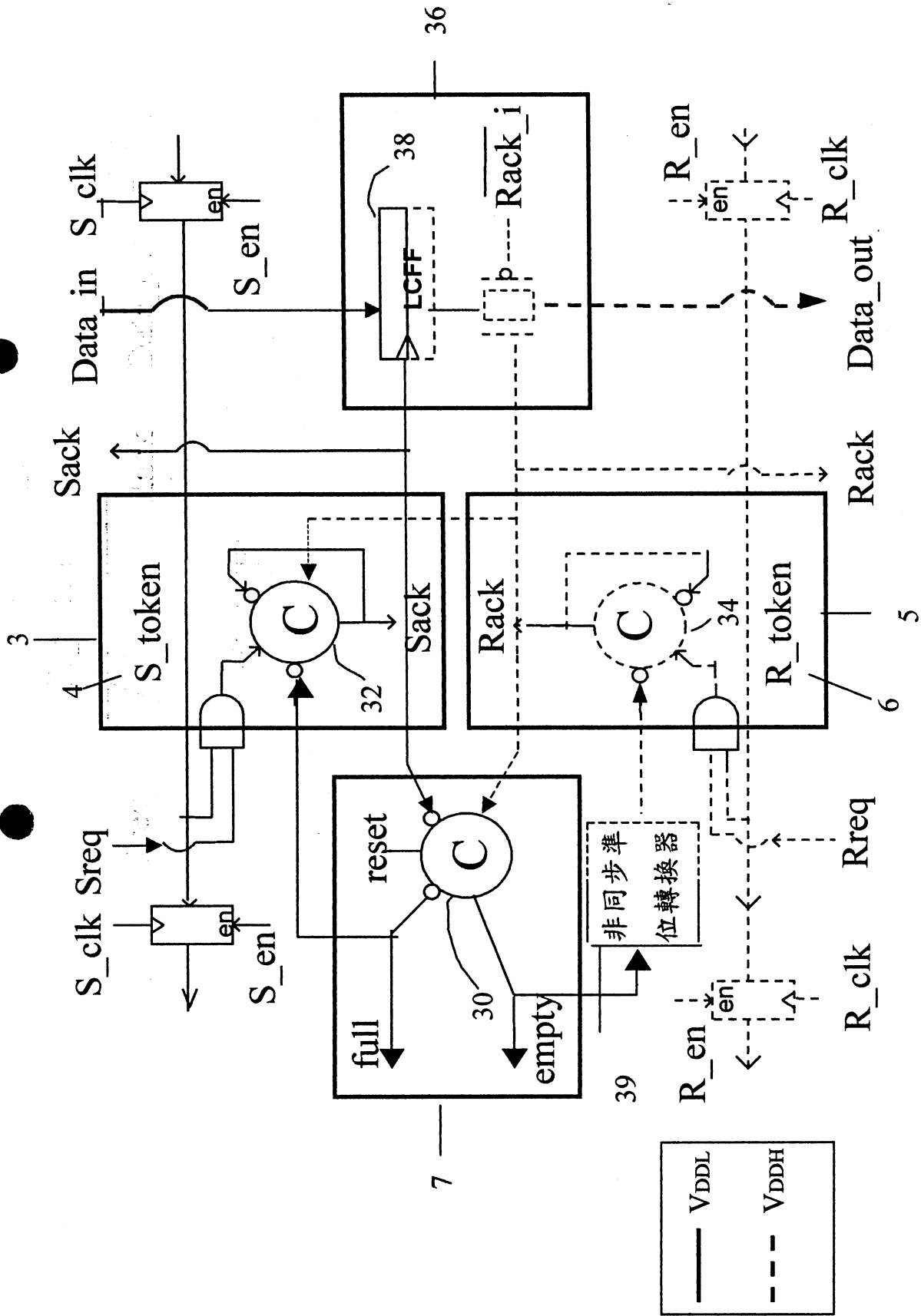
第七B圖



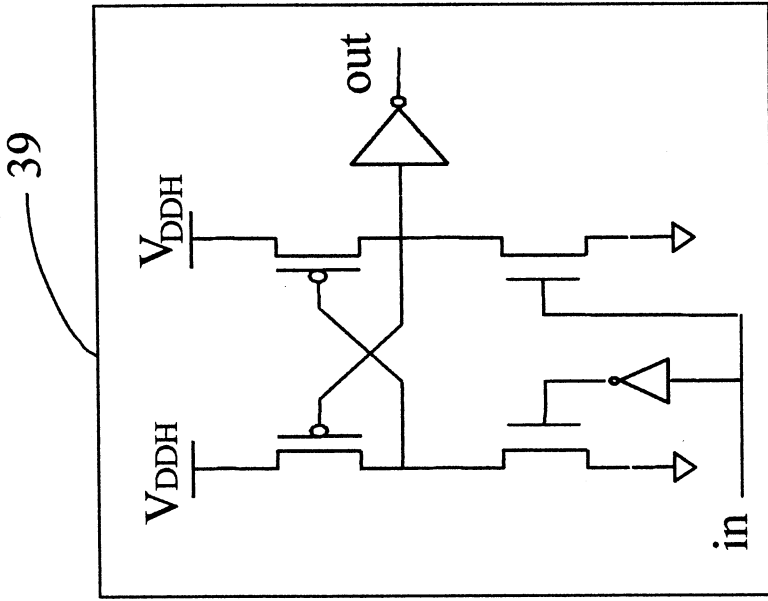
第八B圖



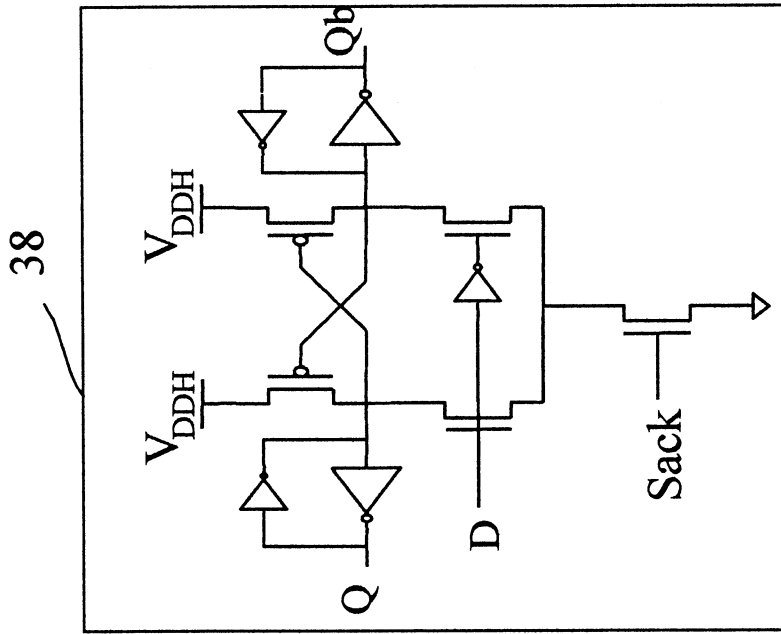
第八A圖



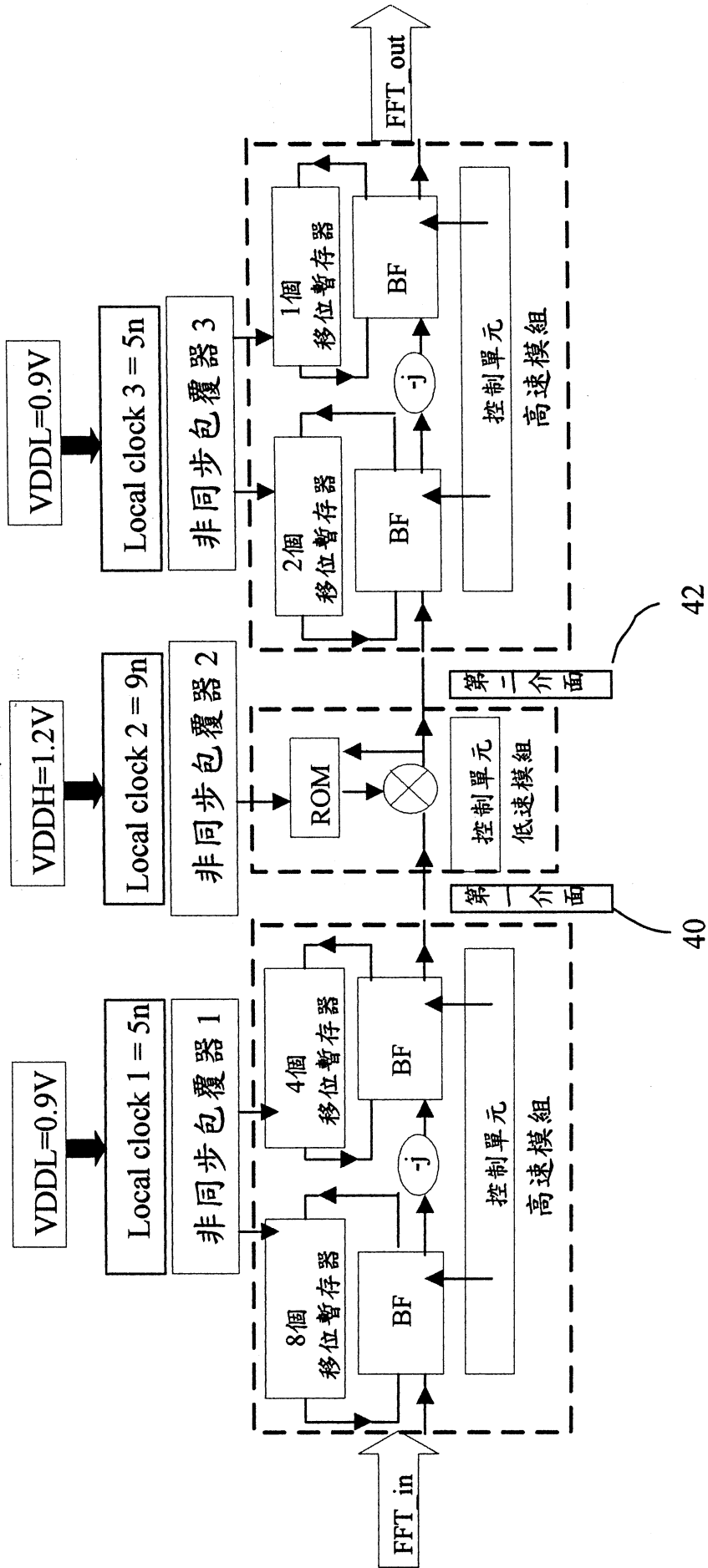
第九圖



第十B圖

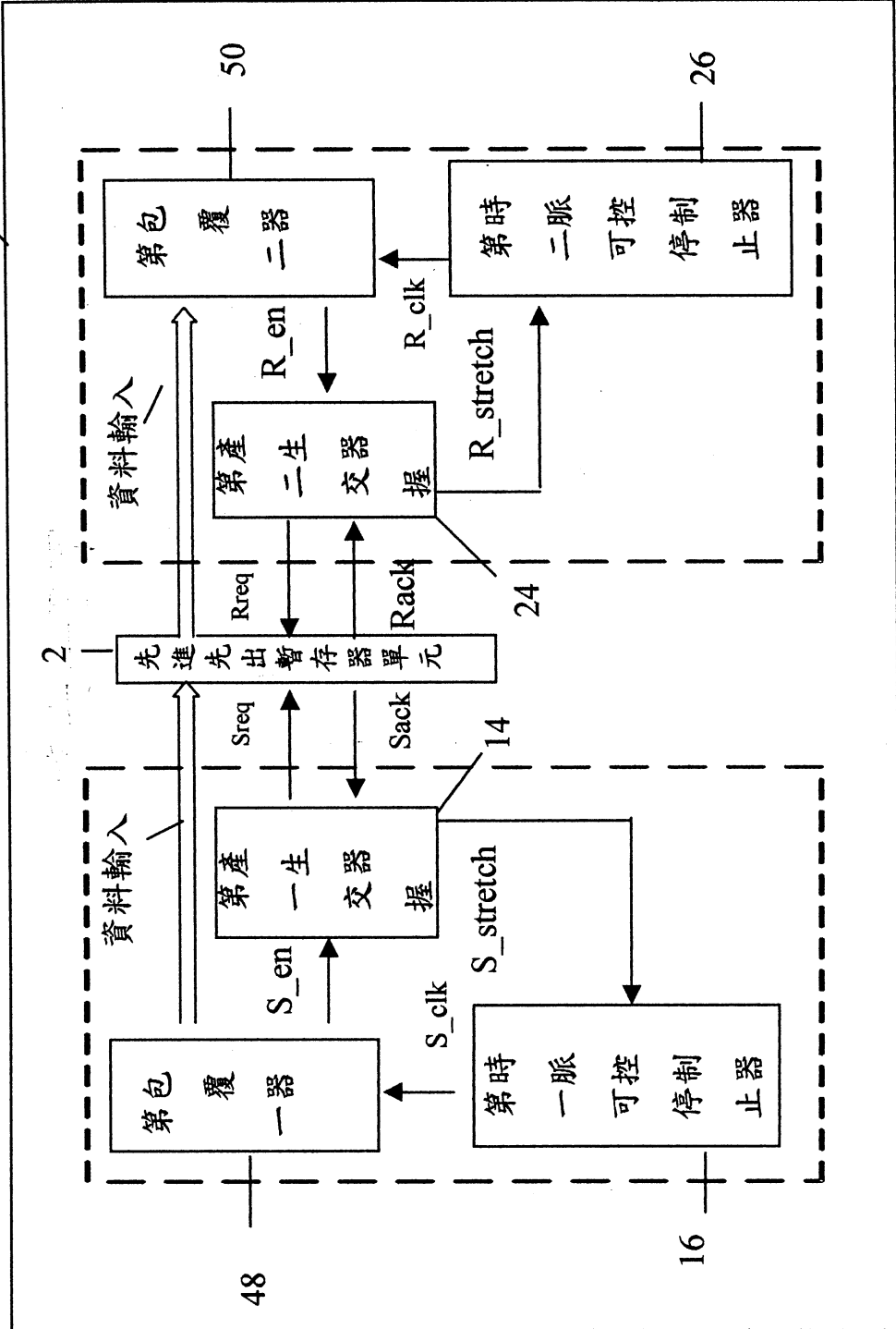


第十A圖



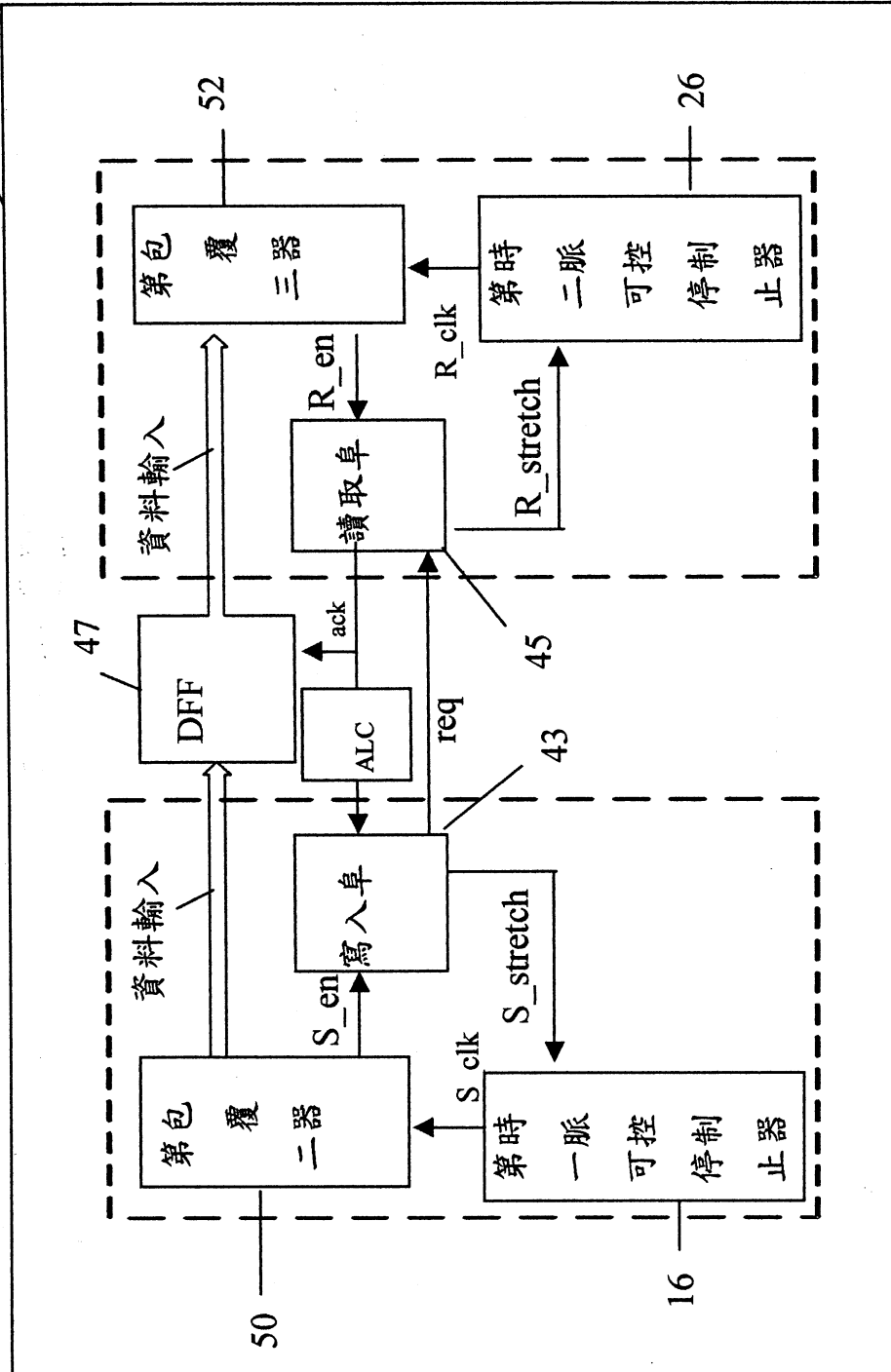
第十一A圖

40

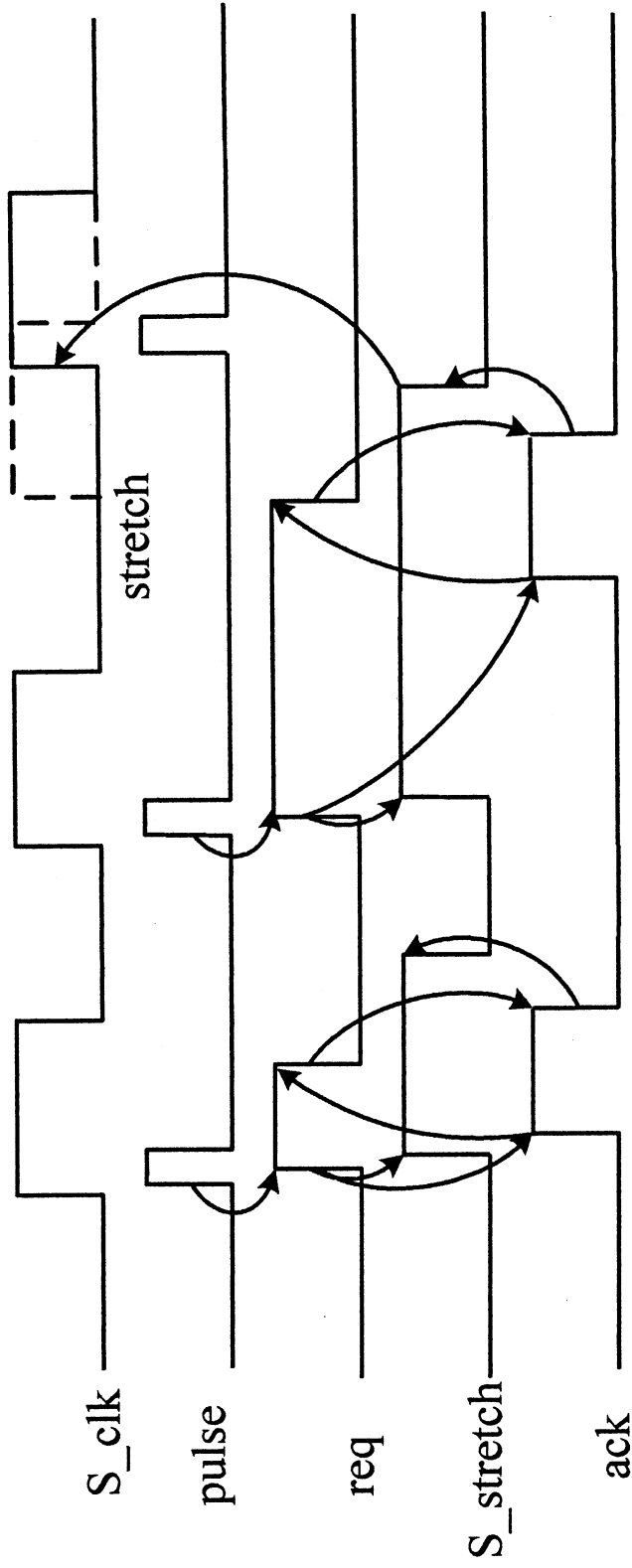


第十一B圖

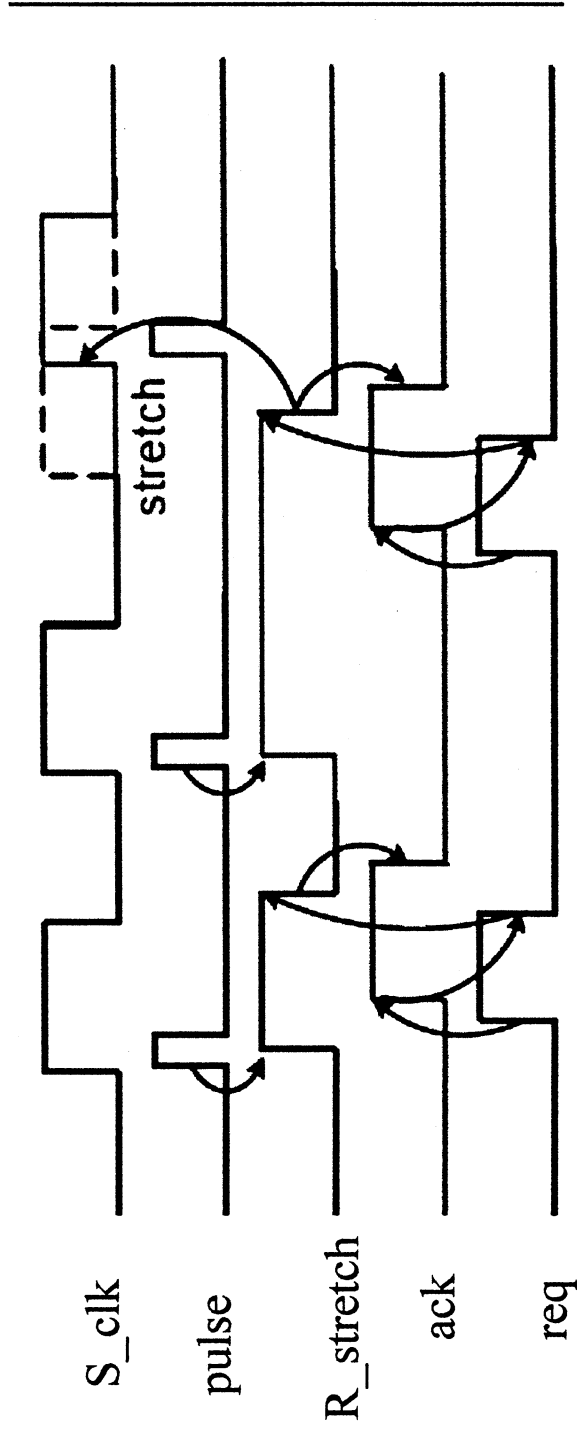
42



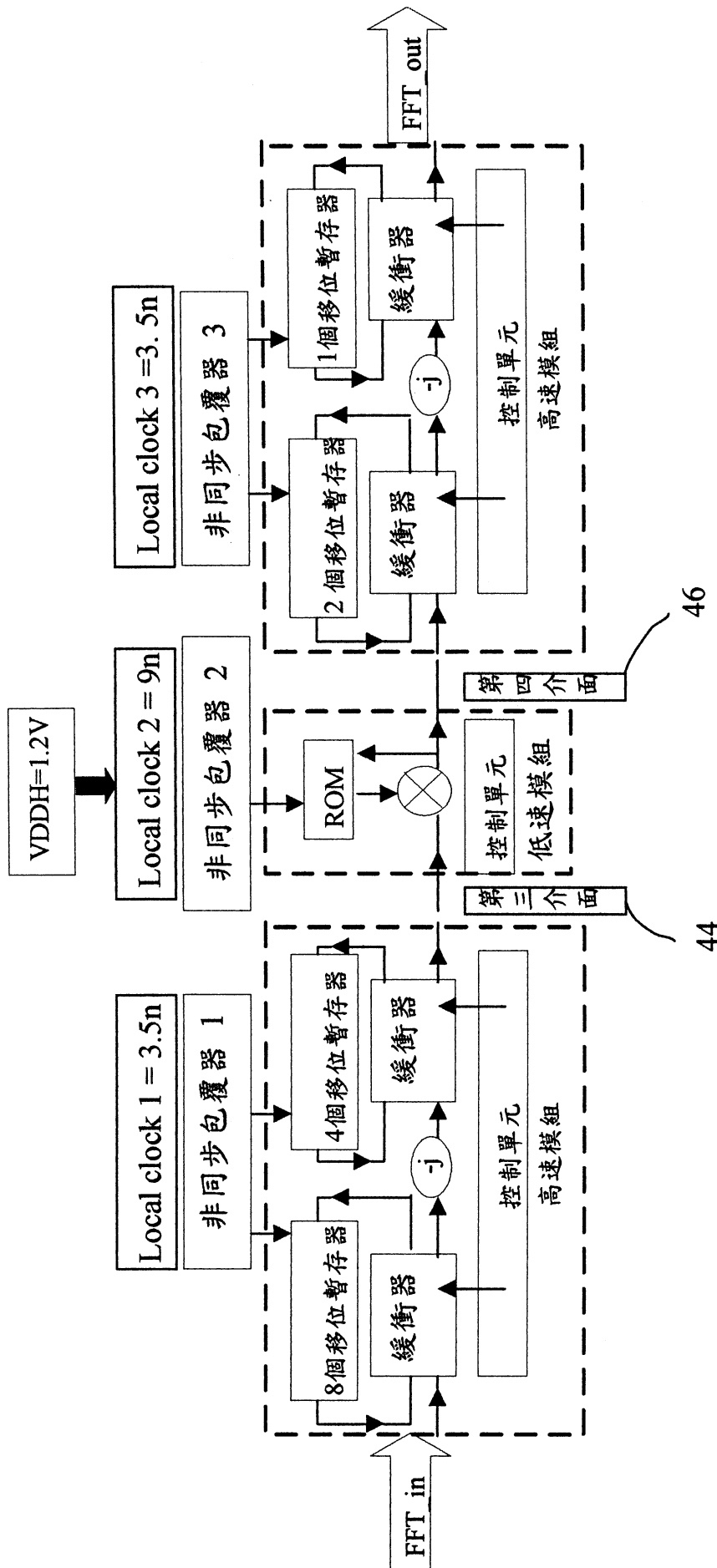
第十一C圖



第十二圖

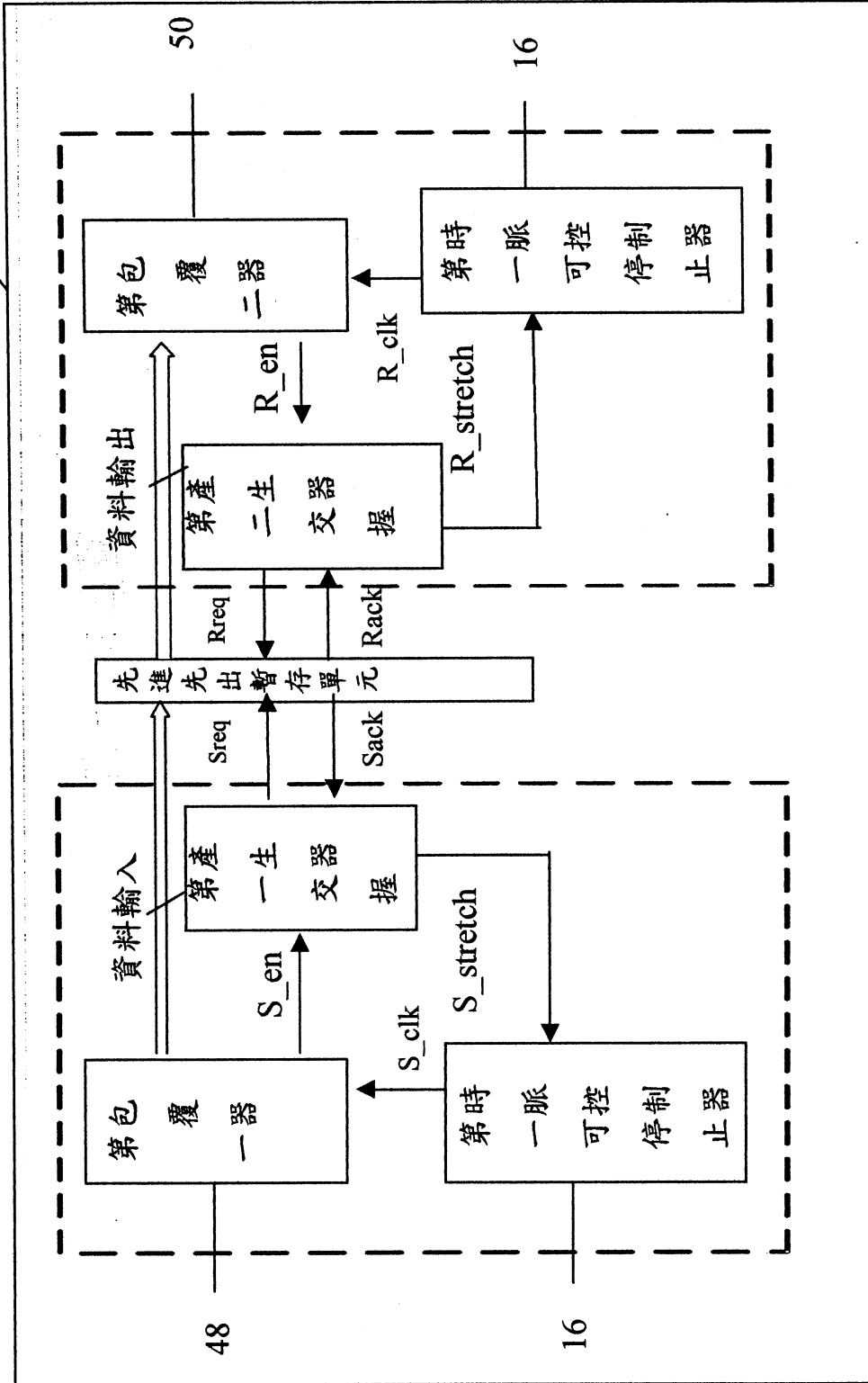


第十三圖

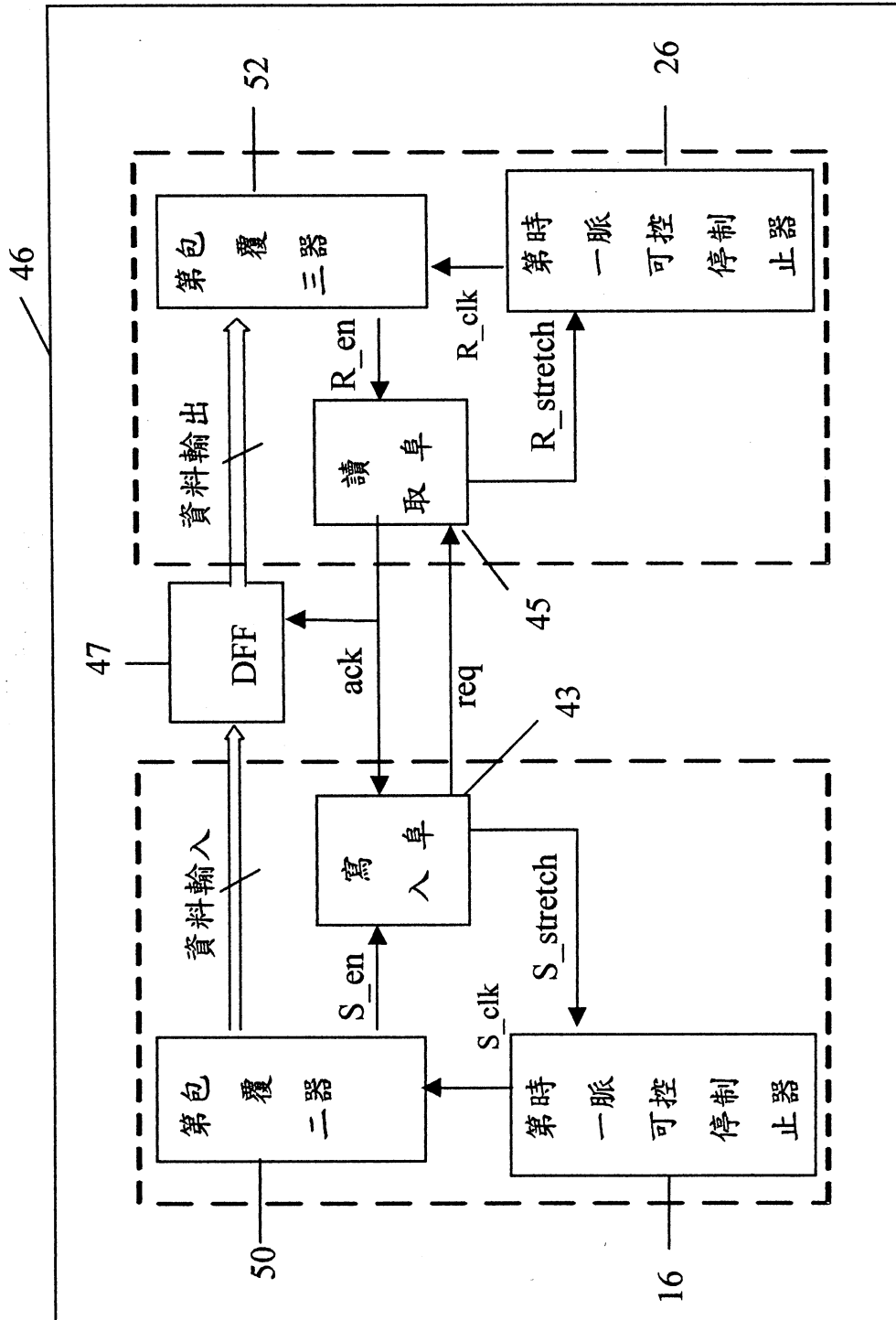


第十四A圖

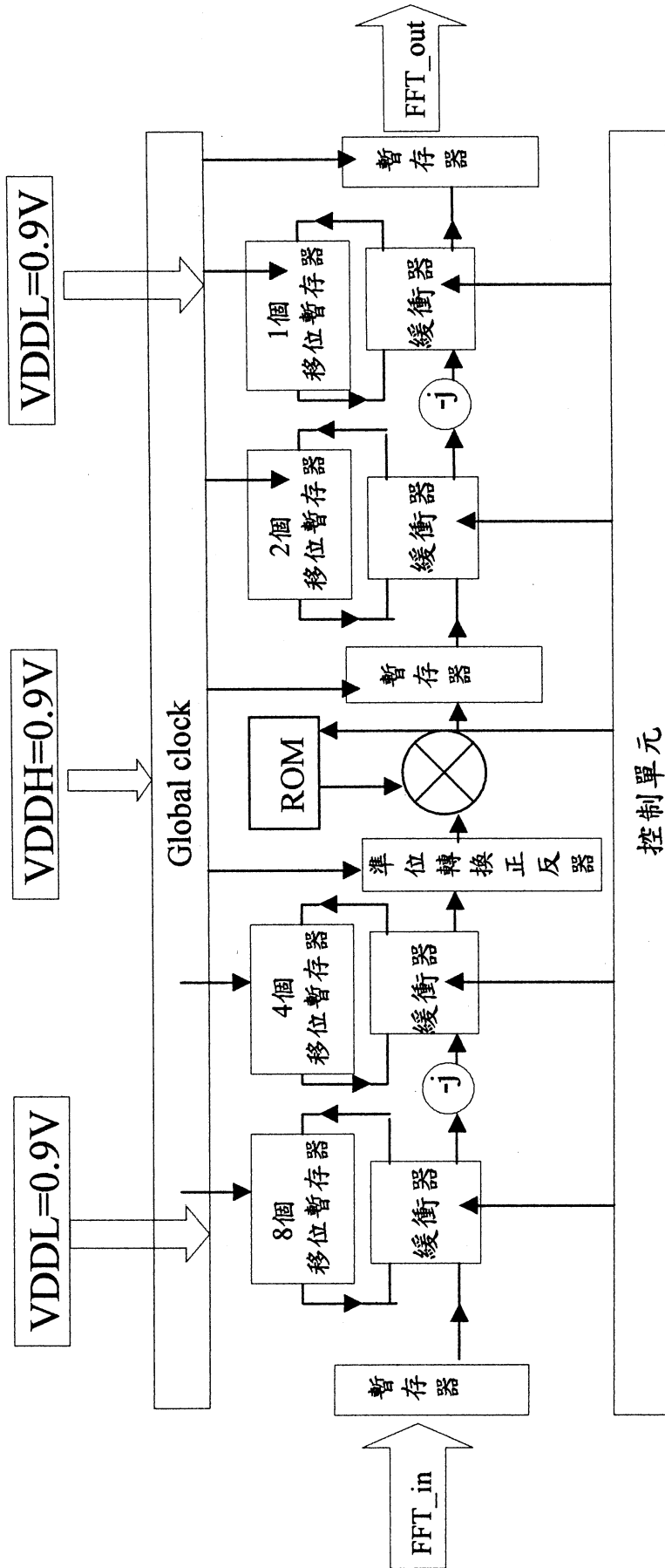
44



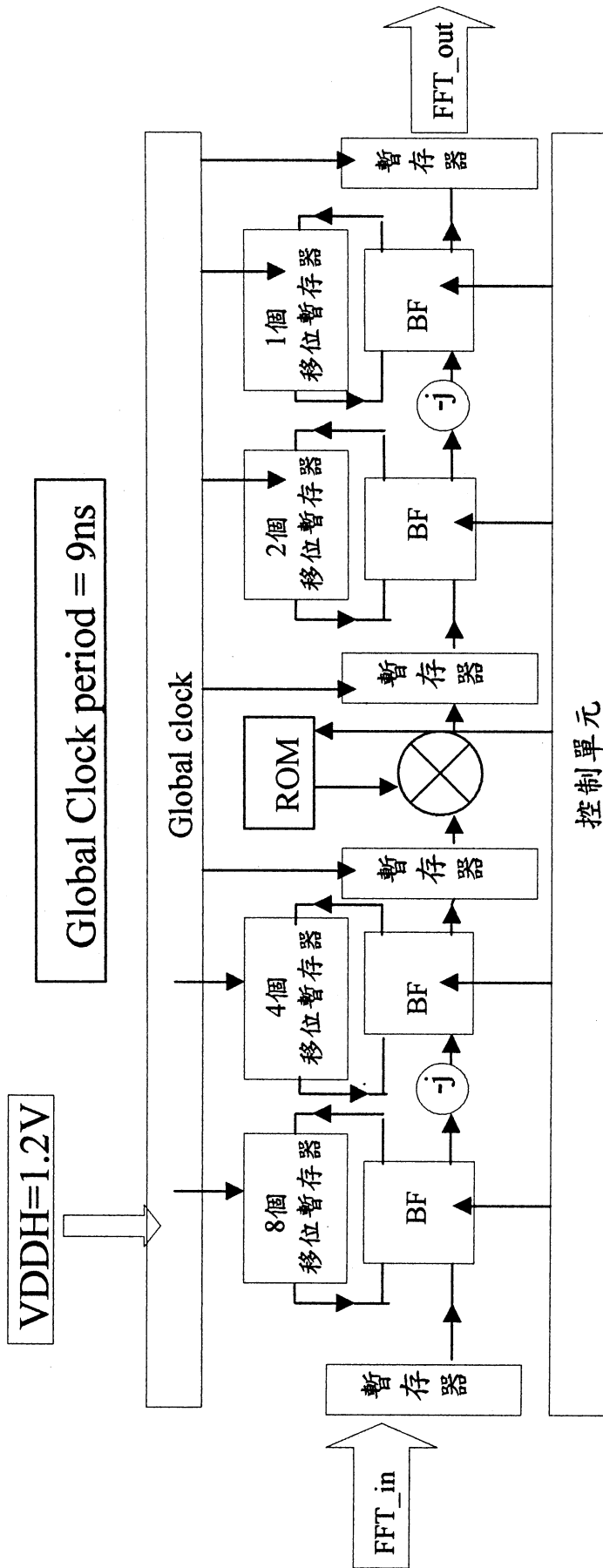
第十四B圖



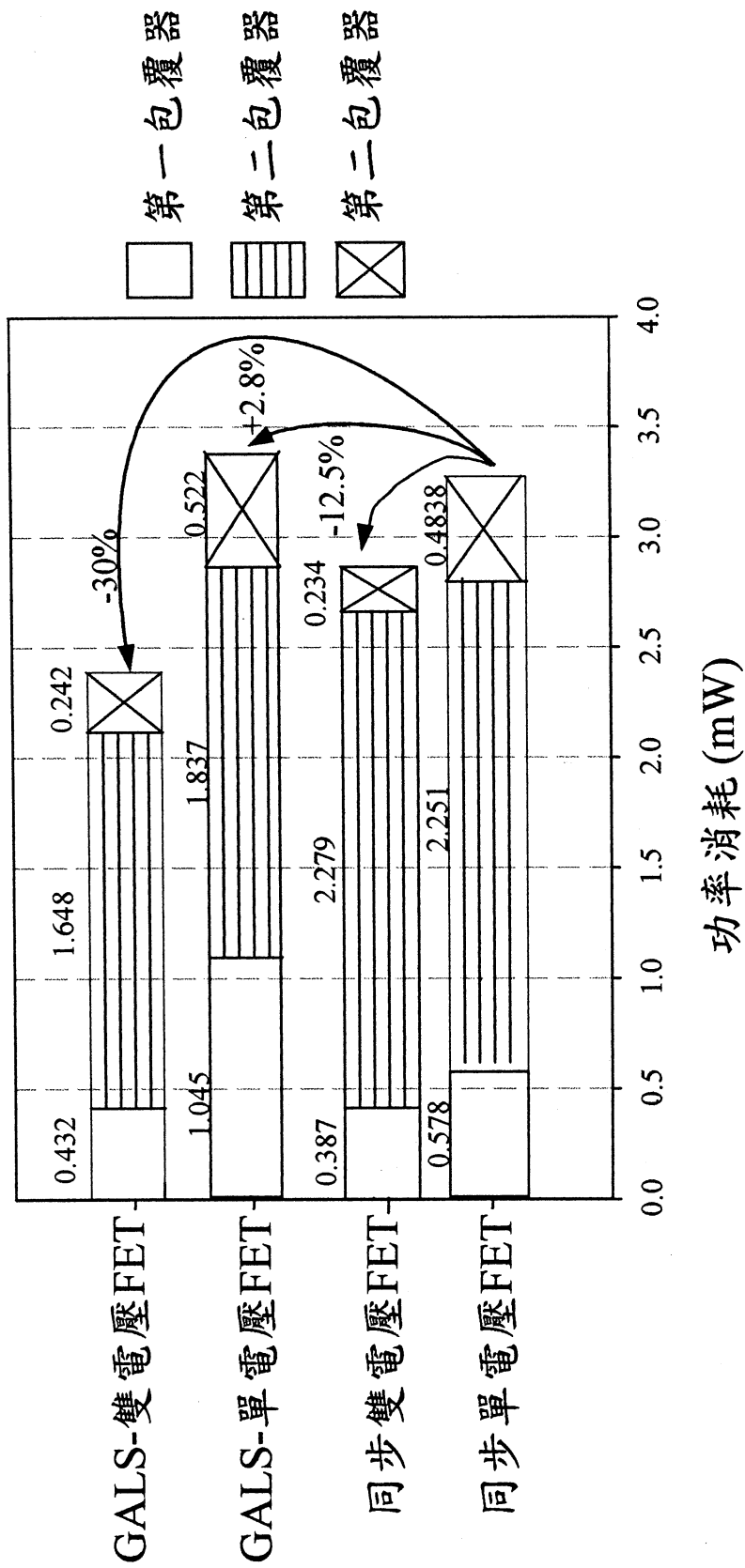
第十四C圖



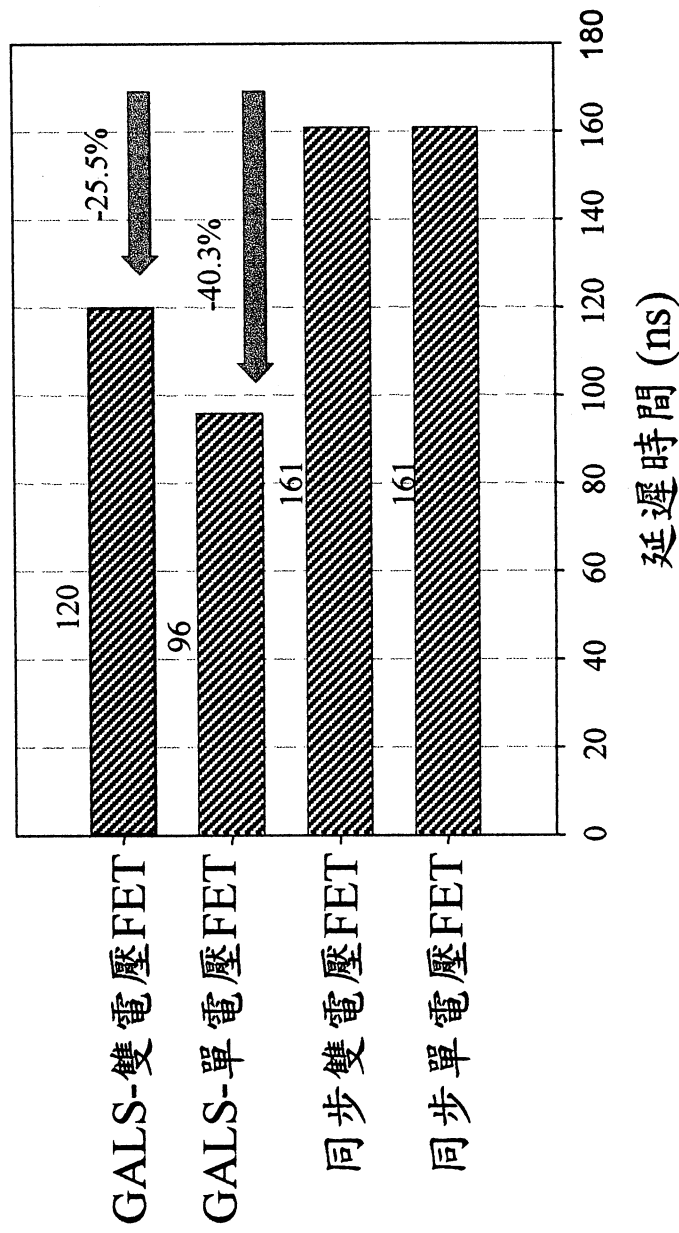
第十五圖



第十六圖

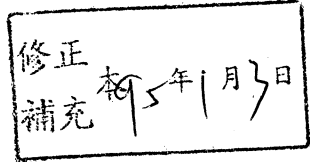


第十七圖



第十八圖

P4137830



七、指定代表圖：

(一) 本案代表圖：第九圖

(二) 本案代表圖之元件代表符號簡單說明：

3 傳送者交握控制器

4 傳送者憑證

5 接收者交握控制器

6 接收者憑證

7 狀態偵測器

36 資料門鎖器

38 準位轉換正反器

39 非同步準位轉換器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非同步先進先出暫存器單元(Asynchronous First-In-First-Out Cell)，特別係能應用於不同頻率下之不同的供應電壓或單一供應電壓的非同步先進先出暫存器單元。

【先前技術】

對於現今的晶片系統(SOC)設計，主要目標係要求輸出率(throughput rate)高以及延遲時間(latency)低，而用增加操作頻率的方式雖會提高晶片效能，卻也讓整個晶片系統功率消耗大幅提升，產生大量的熱。此外，許多晶片模組在資料傳遞的過程，因為彼此的聯繫時間增大，故利用一個主要的同步時脈係運作品片系統係不太可能的。所以，晶片系統要具備功率管理功能和直流轉換的功能，亦得在不同電壓下降低功率的消耗，而運用全域非同步局部同步(GALS)系統，能夠處理不同步的時脈，且在這介面下利用非同步先進先出(FIFO)暫存器當臨時的儲存元件，可以解決上述晶片系統的問題。

可是，習知的非同步 FIFO 是利用突發模式(burst mode)結合 CAD 工具所完成的，這不但使電路趨於複雜亦使功率消耗更多，故若要將習知的非同步 FIFO 應用於雙電壓系統，係不太可行的。此外，美國專利號 20040128413 和 20020167336 所揭露的 FIFO 係可應用於不同時域的介面上，例如，同步-同步時域、同步-非同步時域，和非同步-非同步時域。其利用一連串的先進先出暫存器單元與憑證機制(token mechanism)來選擇存

放在哪一儲存器中，在同步時域部份，用迴圈移位暫存器(circular shift register)形成憑證機制，以及用 S-R 正反器(set-reset flip-flop)形成偵測狀態器；在非同步時域部份，綜合交握訊號(handshake signal)控制電路以利用突發模式結合 CAD 工具，獲得輸入憑證(put token)、輸出憑證(get token)，和固定 CAD 工具獲得資料確實度控制器(data validity controller)。但是，整體觀之，美國專利號 20040128413 和 20020167336 的非同步 FIFO 所用邏輯閘數目多，使得電路結構複雜化，反而提高功率的消耗。

有鑑於此，本發明不但針對上述之困擾，降低 FIFO 電路複雜程度降低功率消耗，所設計出來的 FIFO 還能在不同頻率下之不同的供應電壓或單一供應電壓下操作。

【發明內容】

本發明之主要目的係提供一種非同步的先進先出暫存器單元，係利用修改過的 Muller C 元件構成，可降低電路的複雜度以減少功率的消耗。

本發明之另一目的係提供一種非同步的先進先出暫存器單元，能運作在不同頻率下之不同供應電壓或單一供應電壓操作，而且還具有重複使用的特性。

本發明之再一目的係提供一種非同步的先進先出暫存器單元，避免資料在非同步先進先出暫存器單元發生資料直接穿透(transparent problem)。

本發明之又再一目的係提供一種非同步的先進先出暫存器單元，在雙電壓系統下結合電壓準位轉換，避免從低電壓到高電壓資料傳輸時，產生

不必要的功率損耗。

本發明之又一目的係提供一種非同步的先進先出暫存器單元，應用於以全域非同步局部同步系統(GALS)為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，能減少較多的功率損耗與降低更多的延遲時間。

為達到上述目的，本發明提供一非同步先進先出暫存器單元，其位於兩個相鄰的非同步包覆器(asynchronous wrapper)-第一非同步包覆器和第二非同步包覆器-之間。本發明之非同步先進先出暫存器單元，包括一資料門鎖器(data latch)負責資料的存取，一狀態偵測器(full/empty detector)負責偵測資料門鎖器的狀態，一傳送者交握控制器(sender' s handshake controller)負責產生一傳送者回應訊號(Sack)至第一非同步包覆器，一接收者交握控制器(receiver' s handshake controller)負責產生一接收者回應訊號(Rack)至第二非同步包覆器，而狀態偵測器、傳送者交握控制器和接收者交握控制器皆係用修改過的 Muller C 電路所組成，可以降低電路的複雜度，其中，傳送者交握控制器之修改過的 Muller C 電路，會接收從接收者交握控制器所產生的接收者回應訊號，這可以避免資料輸入時，沒有暫存在資料門鎖器，而直接穿透到輸出端。

在雙電壓系統時的非同步先進先出暫存器單元，還在狀態偵測器和接收者交握控制器之間設置一非同步準位轉換器(asynchronous level converter)，以及資料門鎖器嵌入一準位轉換正反器(level converter flip flop, LCFF)，可以降低從低電壓到高電壓資料傳輸時功率的消耗和

減少延遲時間，且此時的第一非同步包覆器外接一較小的供應電壓(V_{DDL})，第二非同步包覆器外接一較大的供應電壓(V_{DDH})。此外，將雙電壓系統的非同步先進先出暫存器單元應用於以全域非同步局部同步系統為根基，雙電壓十六點的 radix-2² 之快速傅利葉轉換架構，可以減少較多的功率損耗與降低更多的延遲時間。

此架構主要有三個包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，每一包覆器有各自的頻率和操作電壓，非同步包覆器 1 和非同步包覆器 3 外接 V_{DDL} ，非同步包覆器 2 外接 V_{DDH} ，其中，在非同步包覆器 1 和非同步包覆器 2 的介面係利用雙電壓系統時的非同步先進先出暫存器單元在 GALS 雙電壓系統的架構，而在非同步包覆器 2 和非同步包覆器 3 的介面係利用 D flip-flop 和非同步準位轉換器修正過的交握電路所實現出來。

底下藉由具體實施例配合所附的圖式詳加說明，使更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係揭露一種非同步先進先出暫存器單元，其不但能在全域非同步局部同步(GALS)系統下，應用不同頻率下之不同的供應電壓或單一供應電壓，還可操作於以全域非同步局部同步(GALS)系統為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，使功率損耗更加減少以及延遲時間降低更多。

第一圖為非同步先進先出暫存器架構示意圖，有複數個連續的非同步

先進先出暫存器單元 2 作為儲存元件，其利用一傳送者憑證(Sender' s token, 記為 S_token)⁴ 和一接收者憑證(Receiver' s token, 記為 R_token)⁶ 控制資料的輸入與輸出，有傳送者憑證 4 的非同步先進先出暫存器單元 2 才能作為資料暫存處，而有接收者憑證 6 的非同步先進先出暫存器單元 2 才能使暫存於非同步先進先出暫存器單元 2 的資料輸出。其中，針對有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 之運作進行探討，如第二圖所示，為有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 應用在 GALS 單電壓系統的介面結構示意圖，一非同步先進先出暫存器單元 2 位於一第一非同步包覆器(asynchronous wrapper)¹⁰ 和第二非同步包覆器(asynchronous wrapper)²⁰ 之間。其中，第一非同步包覆器 10 包括第一局部同步模組 (locally-synchronous module)¹²、一第一交握產生器(handshake generator)¹⁴ 和一第一可停止時脈控制器(plausible clock controller)¹⁶，而第二非同步包覆器包括一第二局部同步模組(locally-synchronous module)²²、一第二交握產生器(handshake generator)²⁴ 和一第二可停止時脈控制器(plausible clock controller)²⁶。

其中，由於第二圖的非同步先進先出暫存器單元 2 具有傳送者憑證 4，才可接收從第一交握產生器 14 所產生的一傳送者要求訊號(Sreq)，且要等到有傳送者憑證 4 的非同步先進先出暫存器單元有空間可以儲存資料時，才會產生一傳送者回應訊號(Sack)至第一交握產生器 14，而一旦具有傳送者憑證 4 的非同步先進先出暫存器單元開始有資料要暫存之時，則傳送者

憑證 4 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。以及，因第二圖的非同步先進先出暫存器單元 2 具有接收者憑證 6，非同步先進先出暫存器單元 2 才可使暫存於裡頭的資料輸出，並才可接收從之第二交握產生器 24 所產生的一接受者要求訊號(Rreq)，且要等到有接收者憑證 6 的非同步先進先出暫存器 2 有暫存的資料要輸出時，才會產生一接收者回應訊號(Rack)至第二交握產生器 24，而一旦具有接收者憑證 6 的非同步先進先出暫存器單元開始要將暫存的資料輸出時，則接收者憑證 6 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。

本發明之第一較佳實施例，係將第三圖所提出的單電壓系統非同步先進先出暫存器單元應用於第二圖之單電壓GALS系統介面結構。同時如第二圖和第三圖所示，此單電壓系統的非同步先進先出暫存器單元包括一資料門鎖器9，其具有一暫存器8負責資料的存取，一狀態偵測器7負責偵測資料門鎖器9的存取狀態，一傳送者交握控制器3負責產生一傳送者回應訊號(Sack)至第一交握產生器14，一接收者交握控制器5負責產生一接收者回應訊號(Rack)至第二交握產生器24。

當第一局部同步模組 12 要將資料傳送到資料門鎖器 9，會先產生一第一致能訊號(enable signal，記為 S_en)至第一交握產生器 14，此時第一致能信號係在時脈上升緣，促使第一交握控制器 14 開始訊號轉換，之後第一交握產生器會產生一脈波(pulse)、一傳送者要求訊號(Sreq)至傳送者交握控制器 3，和一第一延長訊號(S_stretch)至第一可停止時脈控制器 16。其中，具有傳送者憑證 4 的非同步先進先出暫存器單元之傳送者交握控制

器 3 會接收傳送者要求訊號(Sreq)，而當資料門鎖器 9 還有空間可以存放資料時，傳送者交握控制器 3 會產生一傳送者回應訊號(Sack)至第一交握產生器 14，而第一可停止時脈控制器 16 接收到第一延長訊號後，會產生一第一局部時脈(local clock，記為 S_clk)訊號至第一局部同步模組 12，且當資料在輸入至非同步先進先出暫存器單元時，為避免第一延長訊號到達第一可停止時脈產生器 16 的時間，和處理資料的時間過於接近，第一可停止時脈控制器 16 可以延長或停止第一局部時脈訊號，以避免同步化失敗。在當第一局部同步模組 12 收到第一局部時脈訊號後，會將資料輸入至資料門鎖器 9 中。

當資料輸入至資料門鎖器 9 暫存後，第二局部同步模組 22，在要接收暫存在資料門鎖器 9 的資料時，會先產生一第二致能訊號(enable signal，記為 R_en)至第二交握產生器 24，此時第二致能信號係在時脈上升緣，促使第二交握控制器 24 開始訊號轉換，之後第二交握產生器 24 會產生一脈波(pulse)，一接收者要求訊號(Rreq)至接收者交握控制器 5 和一第二延長訊號(R_stretch)至第二可停止時脈控制器 26。其中，具有接收者憑證 6 的非同步先進先出暫存器單元之接收者交握控制器 5 會接收接收者要求訊號(Rreq)，而當資料門鎖器 9 有存放的資料時，接收者交握控制器 5 會產生一接收者回應訊號(Rack)至第二交握產生器 24，而第二可停止時脈控制器 26 接收到第二延長訊號後，會產生一第二局部時脈(local clock，記為 R_clk)訊號至第二局部同步模組 22，且當資料從資料門鎖器 9 被輸出時，為避免第二延長訊號到達第二可停止時脈產生器 26 的時間，和

處理資料的時間過於接近，第二可停止時脈控制器 26 可以延長或停止第二局部時脈以避免同步化失敗。在當第二局部同步模組 22 收到第二局部時脈訊號後，第二局部同步模組會接收儲存於資料門鎖器 9 內的資料。

第四圖係第一交握產生器 14 和第一可停止時脈控制器 16 的訊號轉換過程：

$S_{en}^+ - pulse^+ - Sreq^+ - S_{stretch}^+ - pulse^- - Sack^+ - Sreq^-$

$- Sack^- - S_{stretch}^-$ (“+” 表示上升緣訊號，“-” 表示下降緣訊號)。同樣

以上類似的訊號轉換過程於發生在第二非同步包覆器 20 和非同步先進先出暫存器單元 2 之介面。第五 A 圖是第一交握產生器 14 的實際結構，其利用 Muller C 元件構成，能夠減少額外的面積(area overhead)，而第二交握產生器 24 之結構如第五 A 圖所示，係接收第二致能訊號(R_en)、接收者回應訊號 (Rack)與產生第二延長訊號(R_stretch)、接收者要求訊號(Rreq)；第五 B 圖是第一可停止時脈控制器 16 的實際結構，因此當在第一延長訊號(S_stretch)的下降緣之後，第一時脈訊號(S_clk)重新震盪的時間會很短，故減少第一時脈訊號延遲時間以及功率的消耗，而第二可停止時脈控制器 26 之結構如第五 B 圖所示，係接收第二延長訊號(R_stretch)與產生第二局部時脈訊號(R_clk)。

此外，狀態偵測器 7 係利用修改過的 Muller C 30 元件所構成的，如第六 A 圖和第六 B 圖所示，第六 A 圖係修改過的 Muller C 元件 30 簡單示意圖，第六 B 圖修改過的 Muller C 元件 30 實際結構。當狀態偵測器 7 偵測資料門鎖器 9 之資料儲存的空滿狀態，如果有資料存在資料門鎖器 9 中，

狀態偵測器 7 設定” full” 的狀態(定 full=1, empty=0), 如果沒有資料存在資料閘鎖器 9 中, 狀態偵測器 7 設定” empty” 的狀態(定 empty=1, full=0), 至於是 full=1 或是 empty=1, 要利用傳送者要求訊號(Sreq)和傳送者回應訊號(Sack)輸入至修改過的 Muller C 元件 30 作判斷, 其中, 修改過的 Muller C 元件 30 有一重置(reset)訊號輸入端。一開始, 重置訊號會使得無任何資料儲存在資料閘鎖器 9, 當對於先進先出暫存器單元 Sreq=1 時, 資料會儲存在資料閘鎖器 9, 且使得 full=1; 當 Rreq=1 時, 儲存在資料閘鎖器 9 的資料要被輸出, 重置原本的 full=1 變成 empty=1。其中, Sreq 和 Rreq 不能同時為 1, 是為了避免資料從輸入端直接穿透(transparent problem)到輸出端, 沒有暫存在資料閘鎖器中。綜合以上, 狀態偵測器 7 運作機制為:

If Sack= 1, then full->0

Else If Rack= 1, then empty->1

(Sack 和 Rack 不能同時為 1)

然而, 傳送者交握控制器 3 的目的就是產生傳送者回應訊號至第一交握產生器 14, 其中, 傳送者交握控制器 3 係利用修改過的 Muller C 元件 32 構成, 如第七 A 圖和第七 B 所示, 第七 A 圖為修改過的 Muller C 元件 32 簡單示意圖, 第七 B 圖為修改過的 Muller C 元件 32 實際結構。當第一交握產生器 14 產生傳送者要求訊號至有接收傳送者憑證 4 的傳送者交握控制器 3 時, 其傳送者交握控制器 3 之運作機制為:

If full=1, then Sack->0

Else If Rack=1, then Sack \rightarrow 0(unchanged)

Else If Sreq=1, then Sack \rightarrow 1

Else If Sreq=0, then Sack \rightarrow 0

其中，” If Rack=1, then Sack \rightarrow 0(unchanged)” ，係避免 Sreq 和 Rreq 同時為 1，也就是當 Rack=0 時，使暫存在資料門鎖器 9 的資料不輸出之後，而 Sack 將會是 1 準備使資料輸入。這樣，就能避免資料直接穿透的問題發生。

再者，接受者交握控制器 5 的目的就是產生接收者回應訊號至第二交握產生器 24，其中，接受者交握控制器 5 係修改過的 Muller C 元件 34 所構成，如第八 A 圖和第八 B 所示，第八 A 圖為 Muller C 元件 34 簡單符號象徵，第八 B 圖為 Muller C 元件 34 實際結構。當第二交握產生器 24 產生傳送者要求訊號至有接受者憑證 6 的接收者交握控制器 5 時，其接收者交握控制器 5 之運作機制為：

If Empty=1, then Rack \rightarrow 0

Else If Rreq=1, then Rack \rightarrow 1

Else If Rreq=0, then Rack \rightarrow 0

當第二圖之非同步先進先出暫存器單元 2 係為雙電壓 GALS 系統時之介面結構上時，則第一非同步包覆器 10 要外接一第一供應電壓 (V_{DDL})，第二非同步包覆器 20 要外接一第二供應電壓 (V_{DDH})，且第二供應電壓之大小大於第一供應電壓。

本發明第二較佳實施例，係將第九圖所提出的雙電壓系統非同步先進

先出暫存器單元應用在第二圖之非同步先進先出暫存器單元 2 係雙電壓 GALS 系統時之介面結構。此外，第九圖雙電壓系統的非同步先進先出暫存器單元，實線係表外接第一供應電壓(V_{DDL})，虛線係表外接第二供應電壓(V_{DDH})。此雙電壓系統的非同步先進先出暫存器單元其結構與第三圖單電壓系統的非同步先進先出暫存器單元類似，皆包括一資料門鎖器 36，負責資料的存取，一狀態偵測器 7 負責偵測資料門鎖器 36 的狀態，一傳送者交握控制器 3 負責產生一傳送者回應訊號至第一交握產生器 14，一接收者交握控制器 5 負責產生一接收者回應訊號至第二交握產生器 24，惟，其中資料門鎖器 36 係具有一準位轉換正反器 38(level converter flip flop, LCFF)，且在狀態偵測器 7 和接收者交握控制器 5 之間有一非同步準位轉換器(asynchronous level converter, ALC)39。

然而，在狀態偵測器 7 和接收者交握控制器 5 之間，設置非同步準位轉換器 39 係由於在外接第一供應電壓(V_{DDL})的部分可能必須驅動外接第二供應電壓(V_{DDH})的輸入端，故受到 V_{DDL} 驅動的 P 型電晶體在未被完全關掉時，從低電壓到高電壓資料傳輸時的延遲時間將會增加，且會有直流電流經過此 P 型電晶體，所以利用非同步準位轉換器 39 第一供應電壓之大小變換至第二供應電壓之大小，以解決上述問題。以及，在資料門鎖器 36 的準位轉換正反器(LCFF)38，具有正反器和準位轉換的功能，能降低延遲時間和功率消耗，且準位轉換正反器 38 用的是 pulsed flip flop，對準位轉換正反器 38 在取樣(sample)傳送者回應訊號時，就如同是一個脈波(pulse)，故不需要脈波產生器。第十 A 圖為準位轉換正反器 38 的實際結構，第十 B 圖

為非同步準位轉換器 39 的實際結構。

在第九圖雙電壓系統的非同步先進先出暫存器單元之狀態偵測器、傳送者交握控制器，和接收者交握控制器與第三圖單電壓系統的非同步先進先出暫存器單元一樣，亦就是分別皆採用相同的單電壓系統的非同步先進先出暫存器單元之修正過的 Muller C 元件 30、32、34，且第九圖所提出的雙電壓系統非同步先進先出暫存器單元運用於雙電壓 GALS 系統時之介面結構訊號轉換過程類似於第一較佳實施例。

本發明之第三較佳實施例係將上述所提出之雙電壓系統的非同步先進先出暫存器單元應用在以全域非同步局部同步(GALS)系統為根基，雙電源電壓十六點 radix-2²之快速傅利葉轉換(FFT)架構（見第十一 A 圖），此架構有三個非同步包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，非同步包覆器 1 和非同步包覆器 3 外接 $V_{DDL}=0.9V$ ，非同步包覆器 2 外接 $V_{DDH}=1.2V$ ，其中，雙電壓系統時的非同步先進先出暫存器單元的 GALS 介面架構位於非同步包覆器 1 和非同步包覆器 2 的第一介面 40（見第十一 B 圖），而 D flip-flop(DFF)47 和一非同步準位轉換器(ALC)39 構成的非同步架構位於非同步包覆器 2 和非同步包覆器 3 的第二介面 42（見第十一 C 圖）。其中，第二介面 42 的寫入埠(write-port)43 相當於第一交握產生器 14，讀取埠(read-port)45 相當於第二交握產生器 24，見第十二圖係寫入埠 43 與第五可停止時脈產生器 58 的訊號轉換過程，第十三圖係讀取埠 45 與第六可停止時脈產生器 60 的訊號轉換過程。其中，第五可停止時脈控制器 58 和第六可停止時脈控制器 60 之實際結構如第五 A 圖所示。

將第十一 A 圖以全域非同步局部同步(GALS)系統為根基，雙電壓源系統之快速傅利葉轉換(FFT)架構與第十四 A 圖為以全域非同步局部同步系統為根基之單電壓源系統之快速傅利葉轉換架構，第十五圖為雙電壓源系統之同步快速傅利葉轉換架構，和第十六圖為單電壓源系統之同步快速傅利葉轉換架構利用 TSMC0.13um 技術模擬結果來作比較。

見表格 1 和第十七圖比較這四種不同的快速傅利葉轉換架構的功率消耗，可以發現雙電壓系統比單電壓系統損耗的功率少。在同步 FFT 架構，雙電壓系統約比單電壓系統減少 12.5%的功率。以全域非同步局部同步系統為根基的 FET 架構(見第十一圖 A-C 和第十四圖 A-C)，其第一包覆器和第三包覆器與其中一個同步 FFT 架構的第一包覆器和第三包覆器比較，功率消耗較大，這是由於以全域非同步局部同步系統為根基的 FET 架構之操作的頻率較高且介面電路較多。在全域非同步局部同步系統為根基的 FFT 架構之第二包覆器的部份，與同步 FFT 架構比較，減少很多的功率，這是因為當資料從第一包覆器尚未要傳送時，GALS 的第二包覆器必須等到資料要傳送過來，所以此時沒有對 ROM 和複雜的多工器作時脈轉換(clock switch)，因此節省時脈轉換時所消耗的功率。然而，從第十七圖得知以全域非同步局部同步系統為根基的 FFT 架構與其中一個同步 FFT 架構比較，總體功率並沒有減少，這是因為全域非同步局部同步系統為根基的 FFT 架構具有較多的介面電路，其所消耗的功率大於沒有進行時脈轉換所節省下的功率。

此外，第十八圖係比較此四個不同的 FFT 架構的延遲時間，以全域非同步局部同步系統為根基的 FFT 架構的延遲時間較短，這係因為第一包覆

器的時脈頻率比同步的 FFT 架構快，故延遲時間減少。所以，用較大的全域非同步局部同步系統為根基的 FFT 系統，應用雙電壓系統之 16 點的 radix-2² 單電路延遲回饋(single-path delay feedback)的 FFT 架構下可以節省較多的功率消耗和降低更多的延遲時間。

表格 1

	第一 包覆器	第二 包覆器	第三 包覆器
同步單電壓 系統	Clock=9ns		
	VDDH=1.2V		
同步雙電壓 系統	Clock=9ns		
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V
GALS 單電 壓系統	Clock=3.5ns	Clock=9ns	Clock=3.5ns
	VDDH=1.2V		
GALS 雙電 壓系統	Clock=5ns	Clock=9ns	Clock=5ns
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為本發明之非同步先進先出暫存器架構示意圖。

第二圖為本發明之非同步先進先出暫存器單元在 GALS 系統的介面結構示意圖。

第三圖為本發明之一應用於單電壓系統的非同步先進先出暫存器單元的較佳實施例。

第四圖為本發明第一交握產生器和第一可停止時脈控制器的訊號轉換。

第五 A 圖為本發明第一交握產生器的實際結構。

第五 B 圖為本發明第一可停止時脈控制器的實際結構。

第六 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第六 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第七 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第七 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第八 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第八 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第九圖為本發明之一應用於雙電壓系統的非同步先進先出暫存器單元的較佳實施例。

第十 A 圖為本發明準位轉換正反器的實際結構。

第十 B 圖為本發明非同步準位轉換器的實際結構。

第十一 A 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構。

第十一 B 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第一介面。

第十一 C 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第二介面。

第十二圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構，在第二介面之寫入埠與第五可停止時脈控制器的訊號轉換。

第十三圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構，在第二介面之讀取埠與第六可停止時脈控制器的訊號轉換。

第十四 A 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構。

第十四 B 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第三介面。

第十四 C 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第四介面。

第十五圖為本發明之雙電壓源系統，同步快速傅利葉轉換架構。

第十六圖為本發明之單電壓源系統，同步快速傅利葉轉換架構。

第十七圖為本發明之四個不同快速傅利葉轉換架構的功率消耗。

第十八圖為本發明之四個不同快速傅利葉轉換架構的延遲時間。

【主要元件符號說明】

2 非同步先進先出暫存器單元

3 傳送者交握控制器 4 傳送者憑證

- 5 接收者交握控制器
- 6 接收者憑證
- 7 狀態偵測器
- 8 暫存器
- 9 資料閃鎖器
- 10 第一非同步包覆器
- 12 第一局部同步模組
- 14 第一交握產生器
- 16 第一可停止時脈控制器
- 20 第二非同步包覆器
- 22 第二局部同步模組
- 24 第二交握產生器
- 26 第二可停止時脈控制器
- 30 修正過的 Muller C 元件
- 32 修正過的 Muller C 元件
- 34 修正過的 Muller C 元件
- 36 資料閃鎖器
- 38 準位轉換正反器
- 39 非同步準位轉換器
- 40 第一介面
- 42 第二介面
- 43 寫入埠
- 44 第三介面
- 45 讀取埠

46 第四介面

47 DFF(D Flip Flop , D 型正反器)

48 第一包覆器

50 第二包覆器

52 第三包覆器

54 第三可停止時脈控制器

56 第四可停止時脈控制器

58 第五可停止時脈控制器

60 第六可停止時脈控制器

62 第七可停止時脈控制器

64 第八可停止時脈控制器

66 第九可停止時脈控制器

68 第十可停止時脈控制器

十、申請專利範圍：

1.一種單電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，而該單電壓系統之非同步先進先出暫存器單元包括：

一資料門鎖器，包括一暫存器，負責資料的輸入與輸出；

一狀態偵測器，其偵測該資料門鎖器內的資料存取狀態；

一傳送者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；以及

一接收者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器。

2.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料門鎖器，倘若此時該資料門鎖器沒有空間存放，則必須等到該資料門鎖器有存放空間，再將該傳送者回應訊號傳送至該第一非同步包覆器。

3.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器要有接收該接收者憑證，才能將儲存於該資料門鎖器的資料輸出，倘若此時該資料門鎖器之所儲存的資料已經輸出，則必須等到該資料門鎖器內有資料儲存時，再將該接收者回應訊號傳送至

該第二非同步包覆器。

4.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料門鎖器，會產生一第一致能信號開始運作；

一第一交握產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一可停止時脈控制器，其接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料門鎖器。

5.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同步模組，當該第二局部同步模組要將暫存在該資料門鎖器的資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，和負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，其接收處理該第二延長訊號，和產生一第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料門鎖器內的資料。

6.如申請專利範圍第 4 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈控制器能夠停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈控制器的時間，與處理資料被傳送至該資料門鎖器的時間過於接近。

7.如申請專利範圍第 5 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈控制器能夠停止或延長該第二延長訊號，以避免該第二延長訊號到達該第二可停止時脈控制器的時間，與處理儲存於該資料門鎖器的資料輸出時間過於接近。

8.如申請專利範圍第 1 項所述之單電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，其接收該傳送者回應訊號，且該第一互補式電晶體之 P 型電晶體外接一反相器；

一第二互補式電晶體，其接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一 N 型電晶體，其連接在該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，該 N 型電晶體作為該狀態偵測器偵測到該資料門鎖器有資料存放時之一重置(reset)訊號的輸入端；以及

一第一輸出端，其外接一反相器，該第一輸出端係位於該第二互補式電晶體之間，作為該狀態偵測器的訊號輸出端。

9.如申請專利範圍第 4 項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一第三互補式電晶體，接收該接收者回應訊號，且該第三互補式電晶體之 N 型電晶體外接一反相器；

一第四互補式電晶體，其接收該傳送者回應訊號之反相訊號，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第五互補式電晶體，其接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第一 P 型電晶體，其連接在該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料閃鎖器有資料存放之一反相訊號輸入端；以及

一第二輸出端，其外接一反相器，該第二輸出端係位於第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該傳送者交握控制器的訊號輸出端。

10.如申請專利範圍第 5 項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

一第六互補式電晶體，其接收該接收者回應訊號之反相訊號；

一第七互補式電晶體，其接收該接收者要求訊號，且該第七互補式電晶體係位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第二 P 型電晶體，其連接在該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料閃鎖器無資料存放之一反相訊號輸入端；以及

一第三輸出端，其外接一反相器，該第三輸出端係位於該第七互補式電晶

體之 P 型電晶體和 N 型電晶體之間，係作為該接收者交握控制器的訊號輸出端。

11.如申請專利範圍第 9 項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器所產生的該接收者回應訊號，可以預防資料從資料輸入端直接穿透到資料輸出端。

12.一種雙電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，且該第一非同步包覆器係外接一第一供應電壓，該第二非同步包覆器係外接一第二供應電壓，又該第二供應電壓比該第一供應電壓大，而該雙電壓系統之非同步先進先出暫存器單元包括：
一資料門鎖器，其負責資料的輸入與輸出，並包括一準位轉換正反器，其具有正反器和準位轉換的功能；

一狀態偵測器，用來偵測該資料門鎖器內的資料存取狀態；

一傳送者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；

一接收者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器；以及

一非同步準位轉換器，其連接於該接收者交握控制器和該狀態偵測器之間，用來將第一供應電壓之大小變換至第二供應電壓之大小。

13.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料門鎖器，倘若此時該資料門鎖器沒有空間存放，則必須等到該資料門鎖器有存放空間，再將該傳送者回應訊號傳送至該第一非同步包覆器。

14.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者狀態控制器要有接收該接收者憑證，才能將儲存於該資料門鎖器的資料輸出，倘若此時該資料門鎖器之所儲存的資料已經輸出，則必須等到該資料門鎖器有資料儲存時，再將該接收者回應訊號傳送至該第二非同步包覆器。

15.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料門鎖器，會產生一第一致能信號開始運作；

一第一交握產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一可停止時脈控制器，其接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料門鎖器。

16.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同步模組，當該第二局部同步模組要將暫存在該資料門鎖器的資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，與負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，接收處理該第二延長訊號，和產生一第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料門鎖器內的資料。

17.如申請專利範圍第 15 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈控制器能停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈控制器的時間，與處理資料被傳送至該資料鎖器的時間過於接近。

18.如申請專利範圍第 16 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈控制器能停止或延長該第二延長訊號，以避免該第二延長訊號到達該第二可停止時脈控制器的時間，與處理儲存於該資料門鎖器的資料輸出時間過於接近。

19.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，其接收該傳送者回應訊號，且該第一互補式電晶

體之 P 型電晶體外接一反相器；

一第二互補式電晶體，其接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一 N 型電晶體，其連接在該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，該 N 型電晶體作為該狀態偵測器偵測到該資料門鎖器有資料存放之一重置(reset)訊號的輸入端；以及

一第一輸出端，其外接一反相器，該第一輸出端係位於該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，作為該狀態偵測器的訊號輸出端。

20.如申請專利範圍第 15 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一第三互補式電晶體，其接收該接收者回應訊號，且該第三互補式電晶體之 N 型電晶體外接一反相器；

一第四互補式電晶體，其接收該傳送者回應訊號之反相訊號，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第五互補式電晶體，其接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第一 P 型電晶體，其連接在該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料門鎖器有資料存放的一反相訊號輸入端；以及

一第二輸出端，其外接一反相器，且該第二輸出端係位於該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該傳送者交握控制器的訊號

輸出端。

- · 21.如申請專利範圍第 16 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

- 一第六互補式電晶體，其接收該接收者要求訊號之反相訊號；

- 一第七互補式電晶體，其接收該接收者要求訊號，且該第七互補式電晶體係位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

- 一第二 P 型電晶體，其連接在該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該狀態門鎖器無資料存放之一反相訊號輸入端；以及

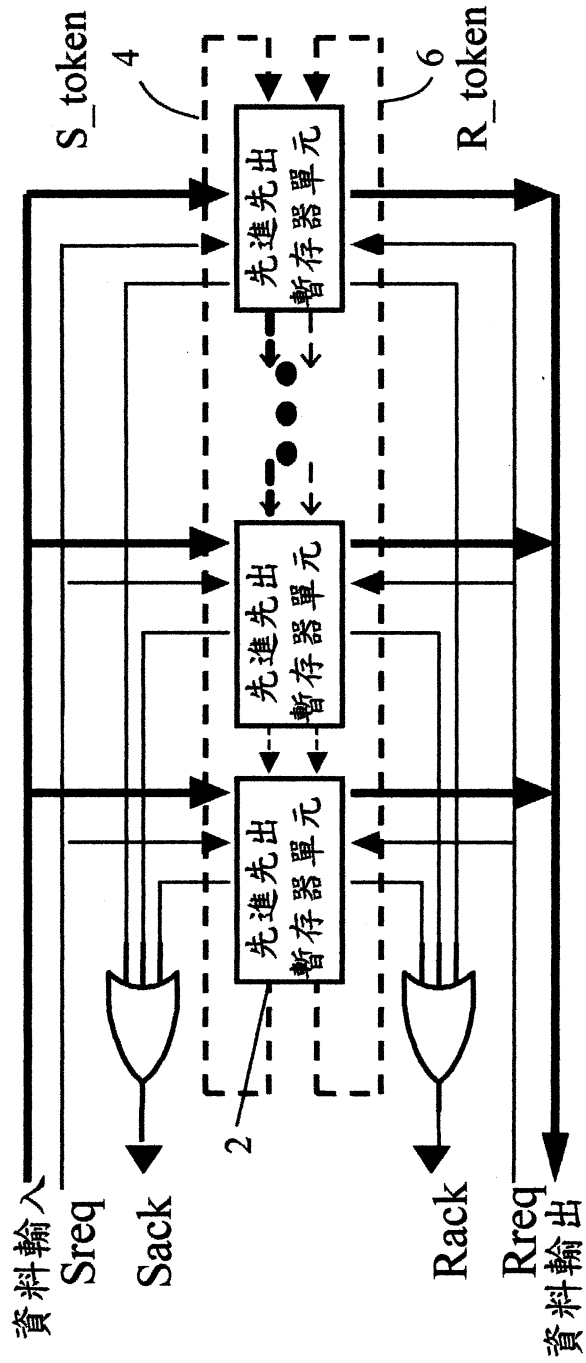
- 一第三輸出端，其外接一反相器，該第三輸出端係位於該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該接收者交握控制器的訊號輸出端。

22.如申請專利範圍第 20 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器的輸出訊號，可以預防資料從資料輸入端直接穿透到資料輸出端。

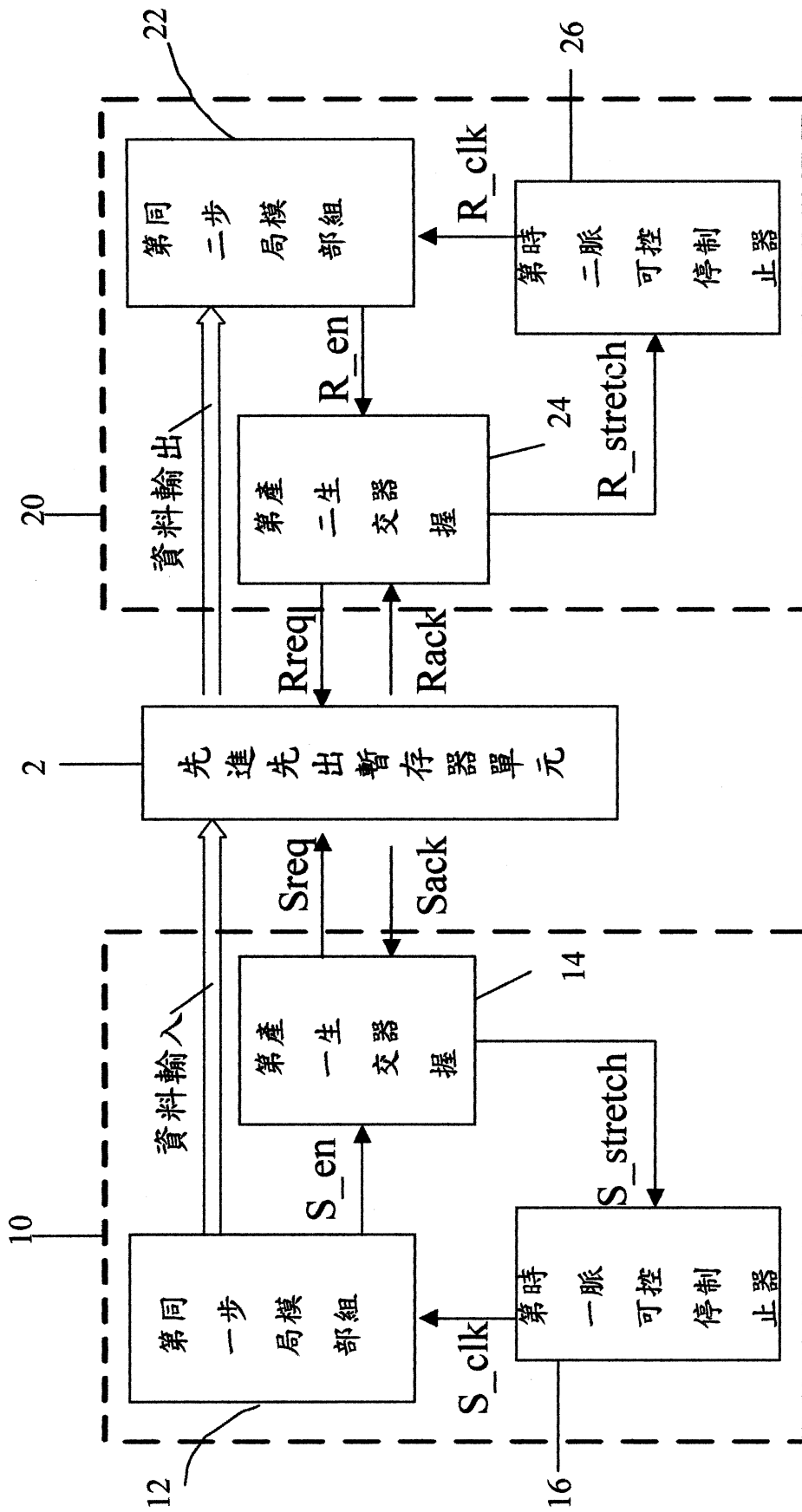
23.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該準位轉換正反器用的係脈波正反器，該準位轉換正反器取樣該傳送者回應訊號時，就相當於是一個脈波。

24.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該非同步準位轉換器可以防止 P 型電晶體在不會被完全關掉的時

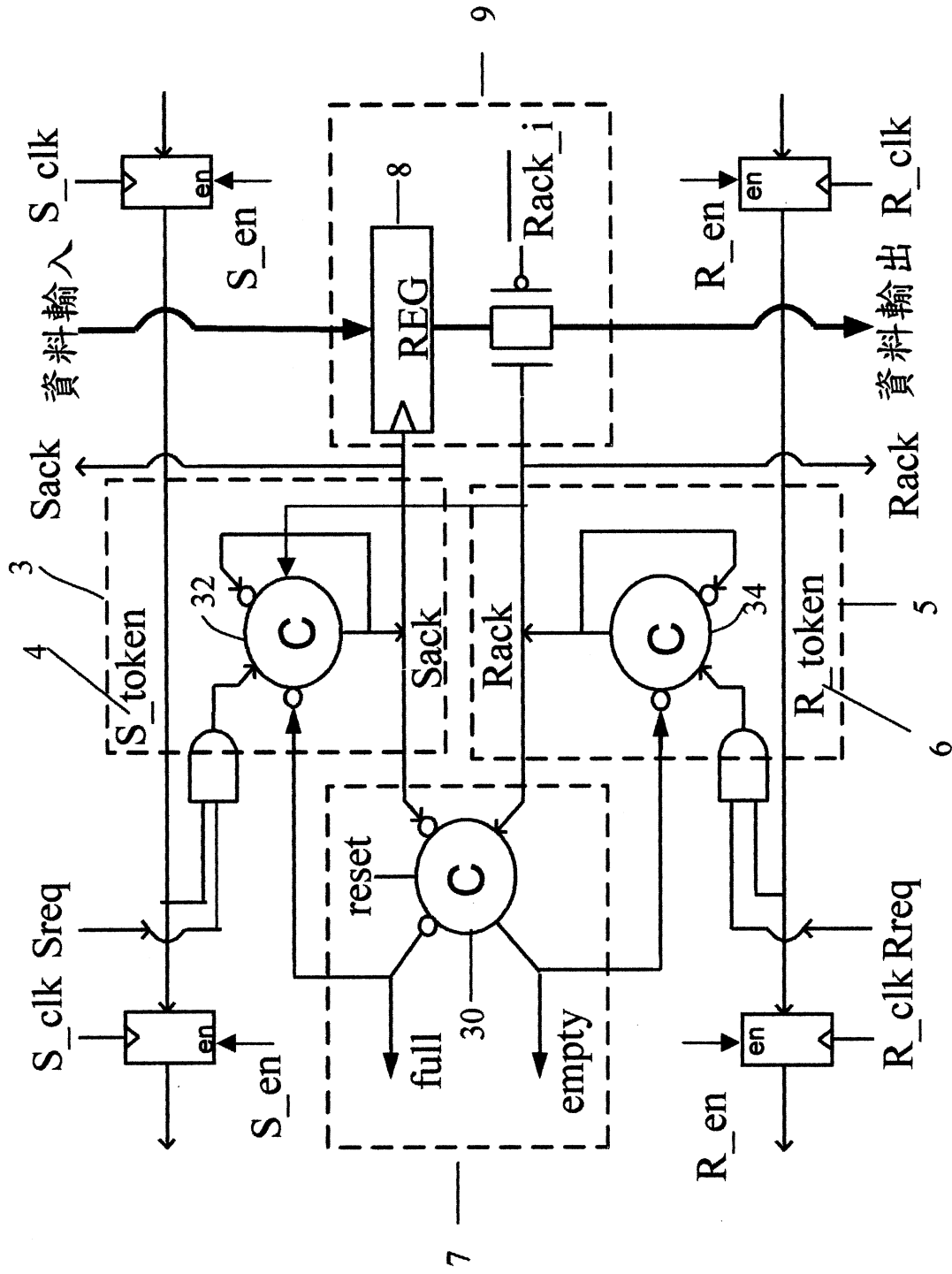
候，所造成功率率的消耗。



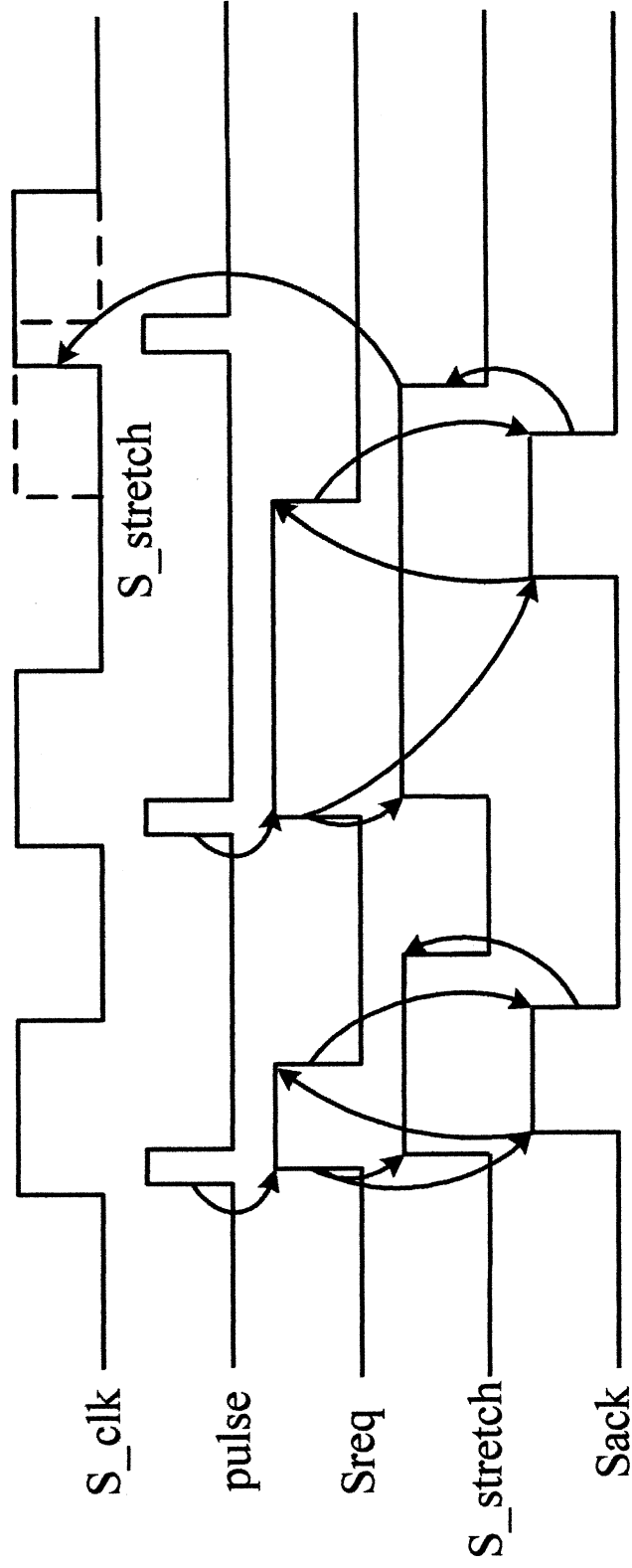
第一圖



第二圖

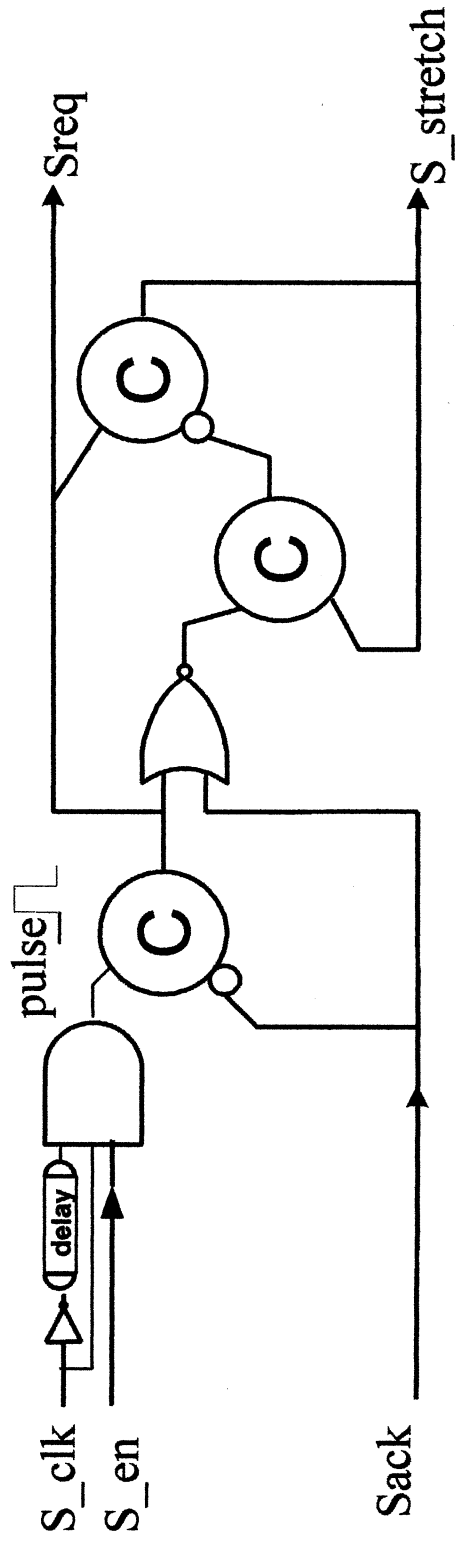


第三圖

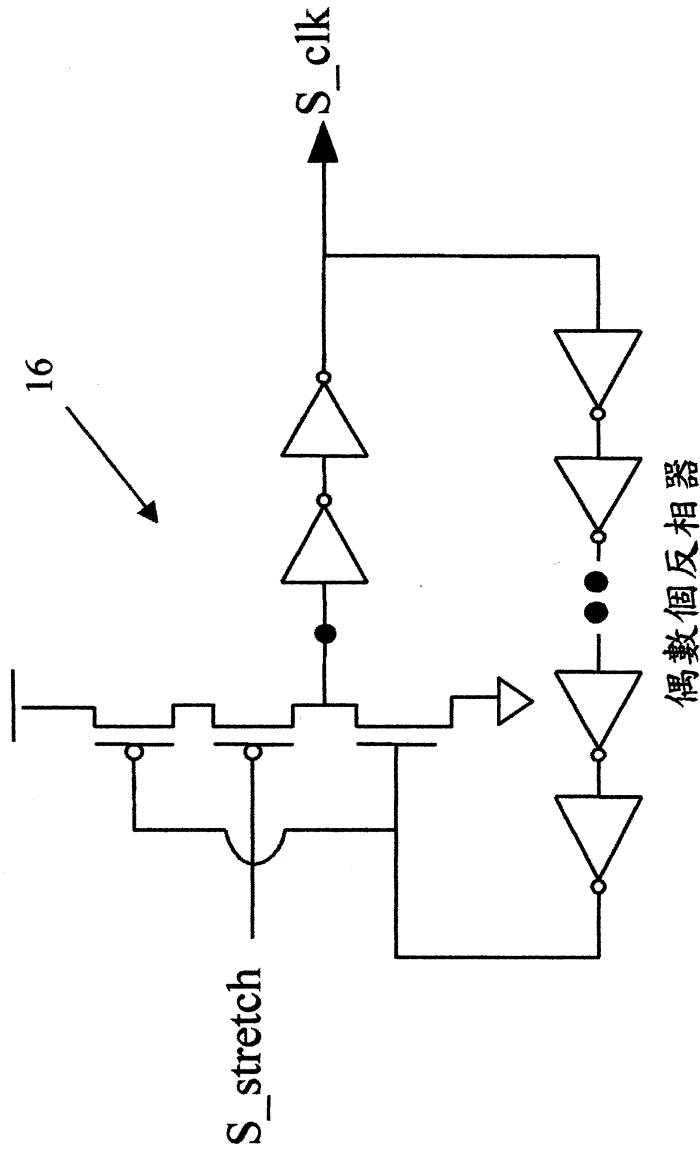


第四圖

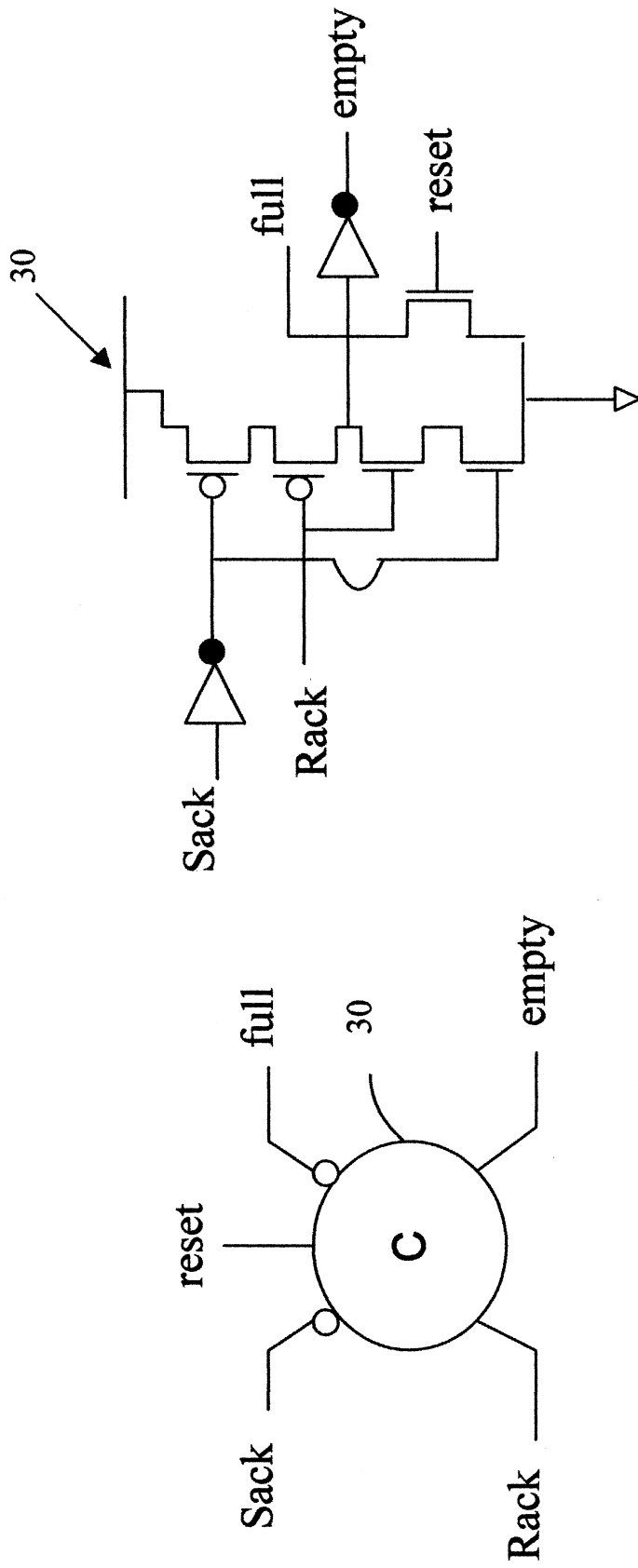
14



第五A圖

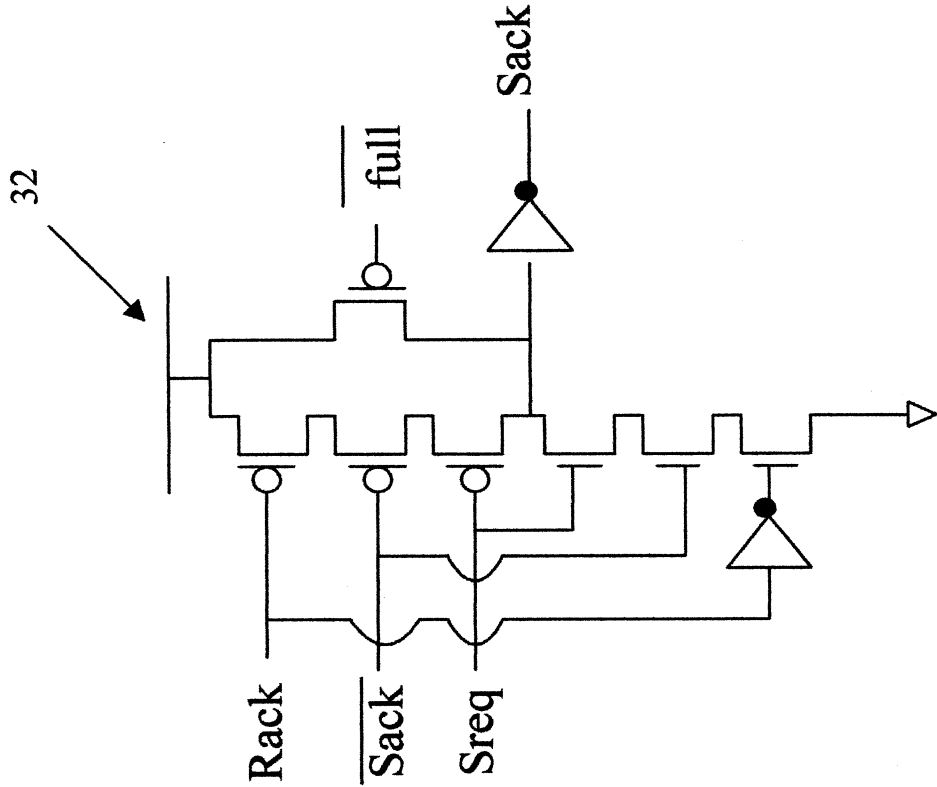


第五B圖

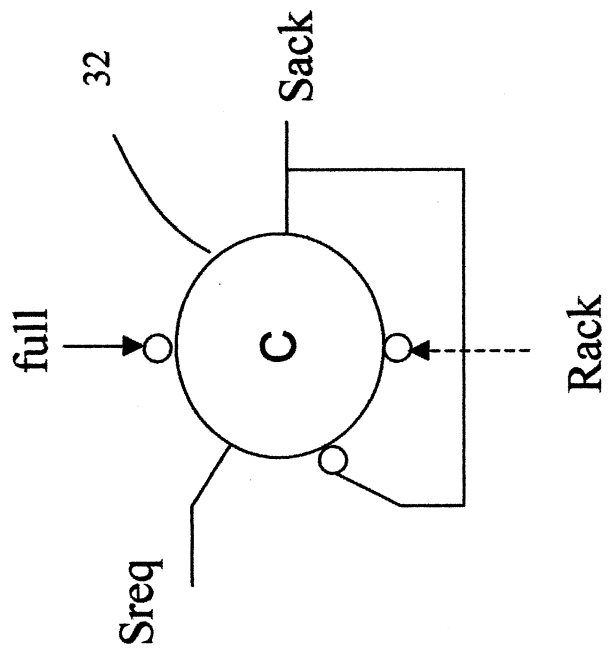


第六B圖

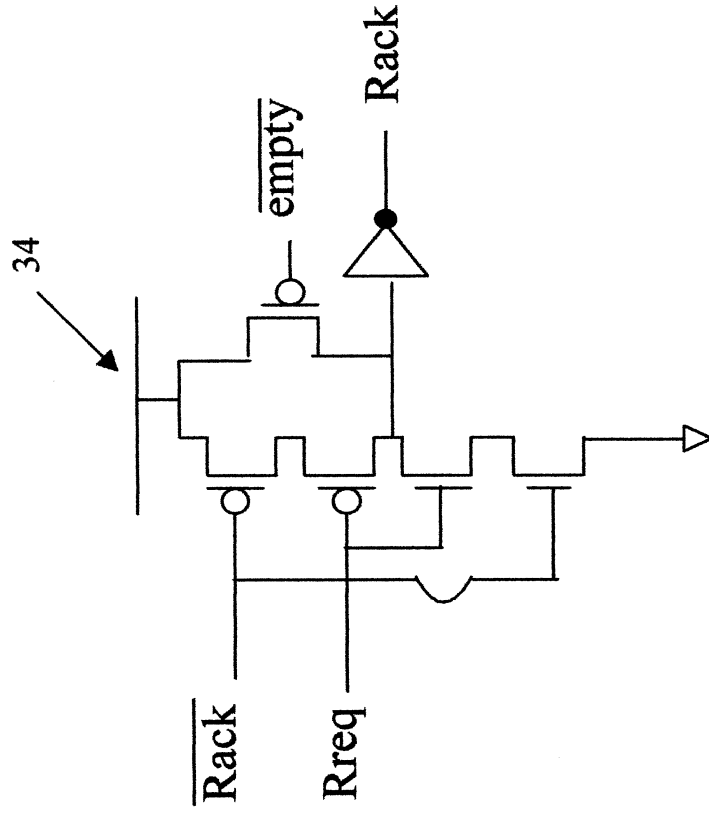
第六A圖



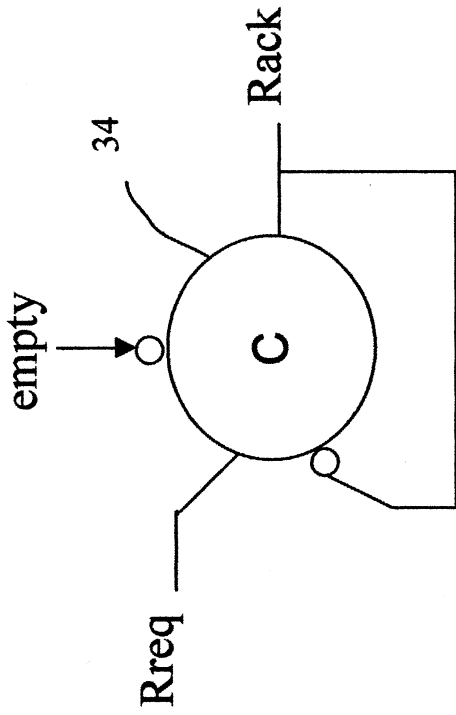
第七 B 圖



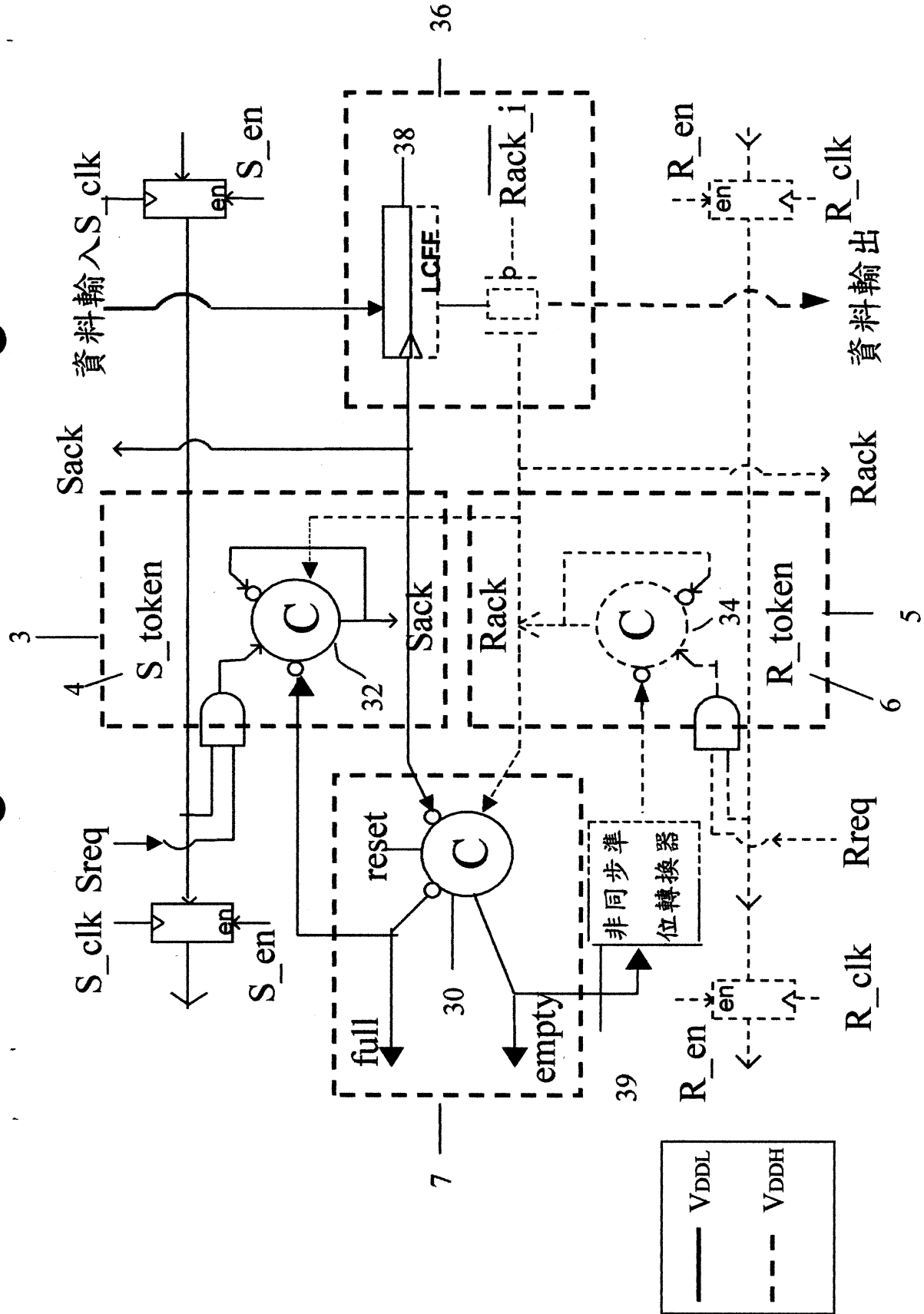
第七 A 圖



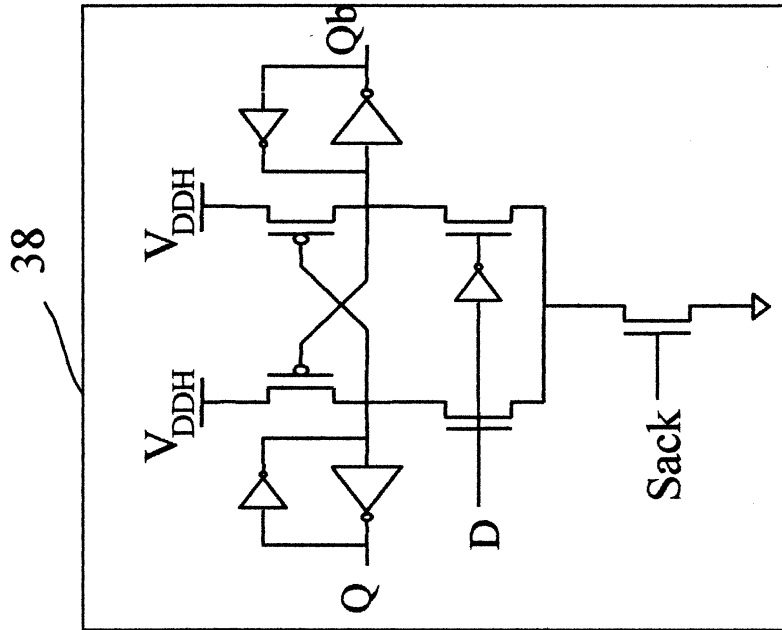
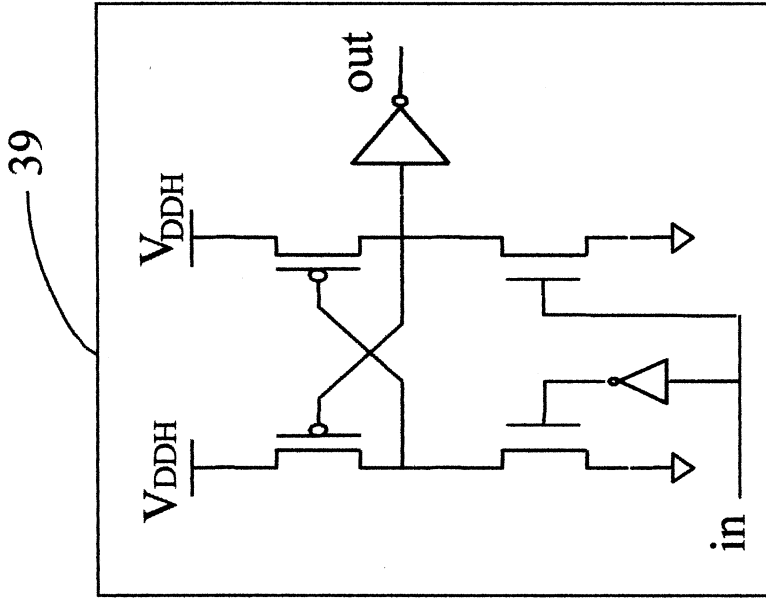
第八B圖



第八A圖

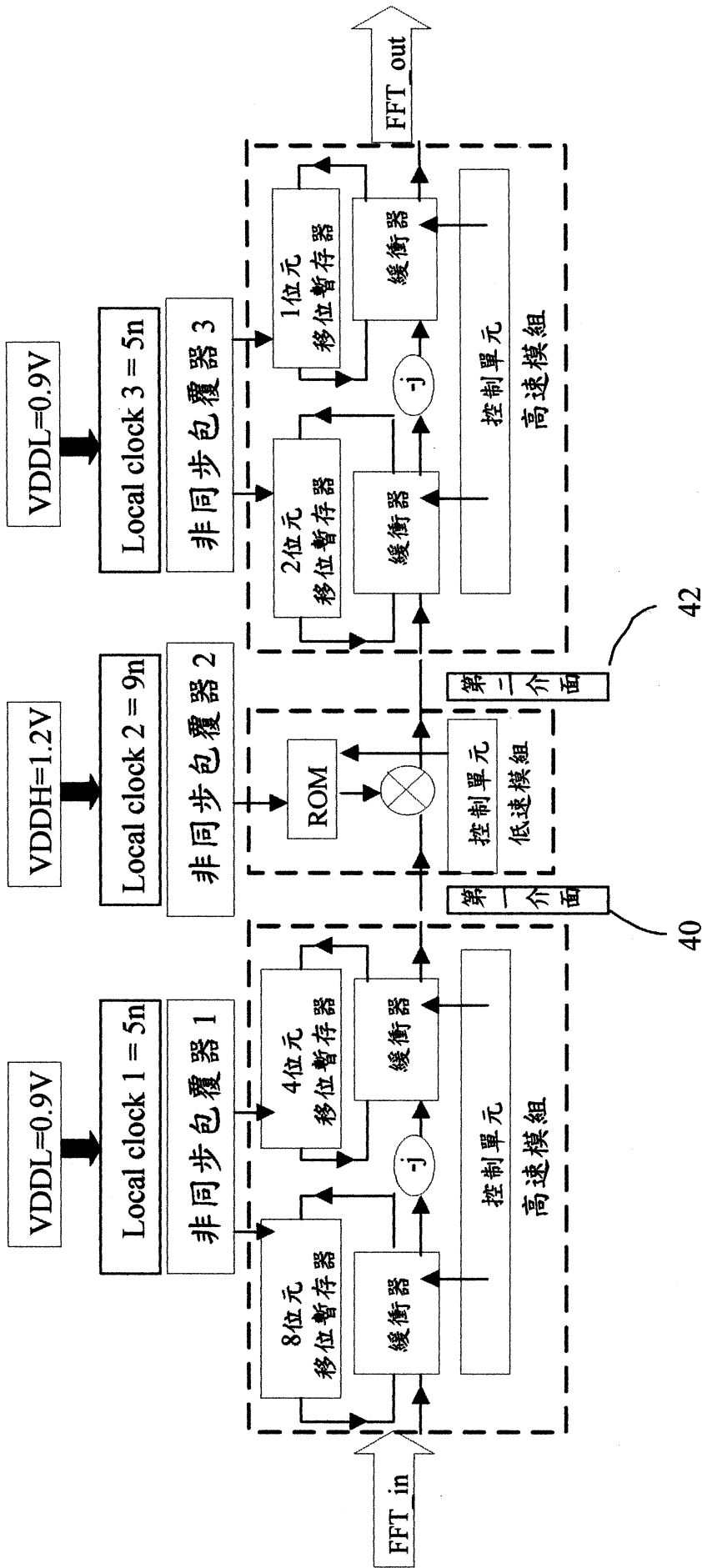


第九圖



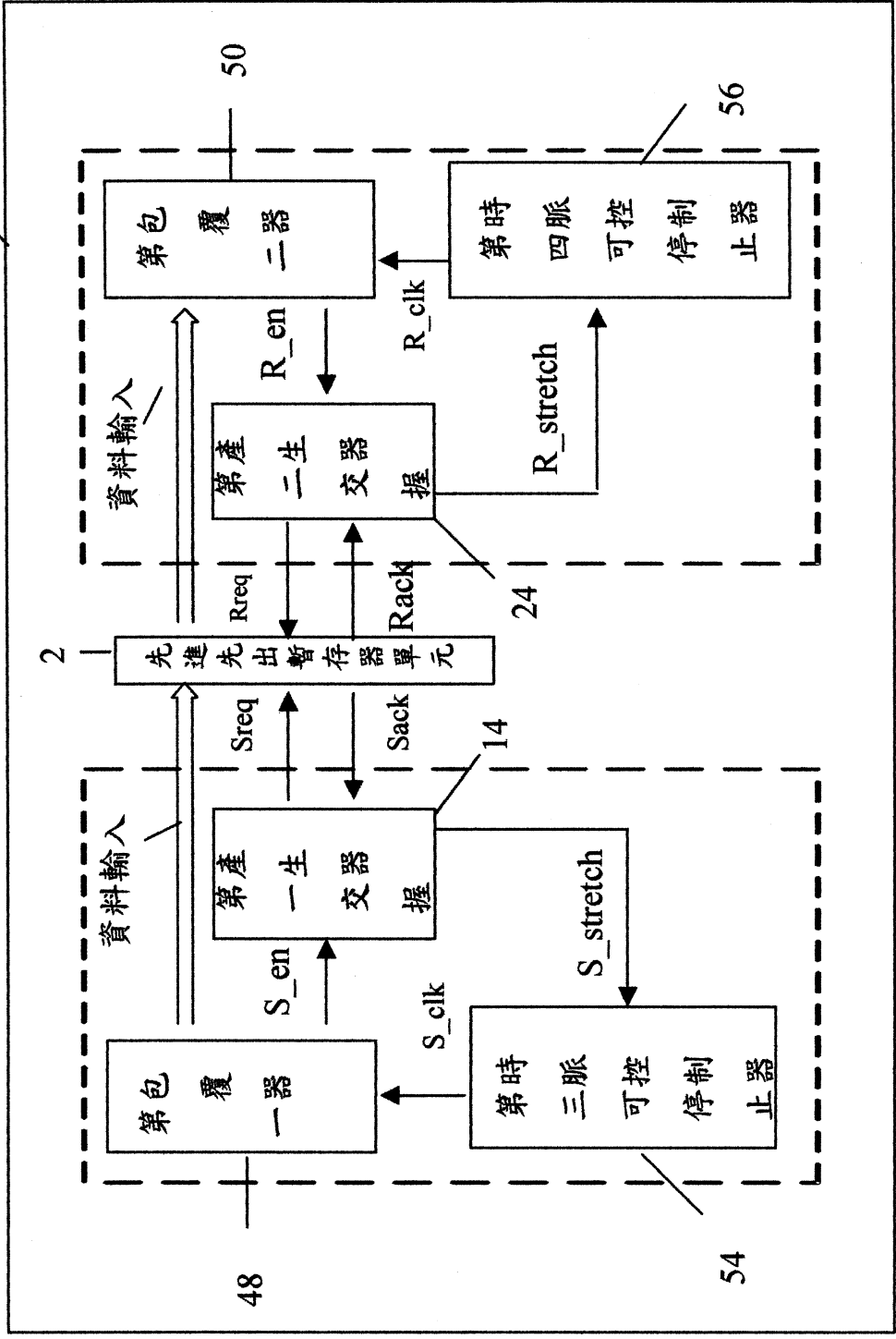
第十B圖

第十A圖

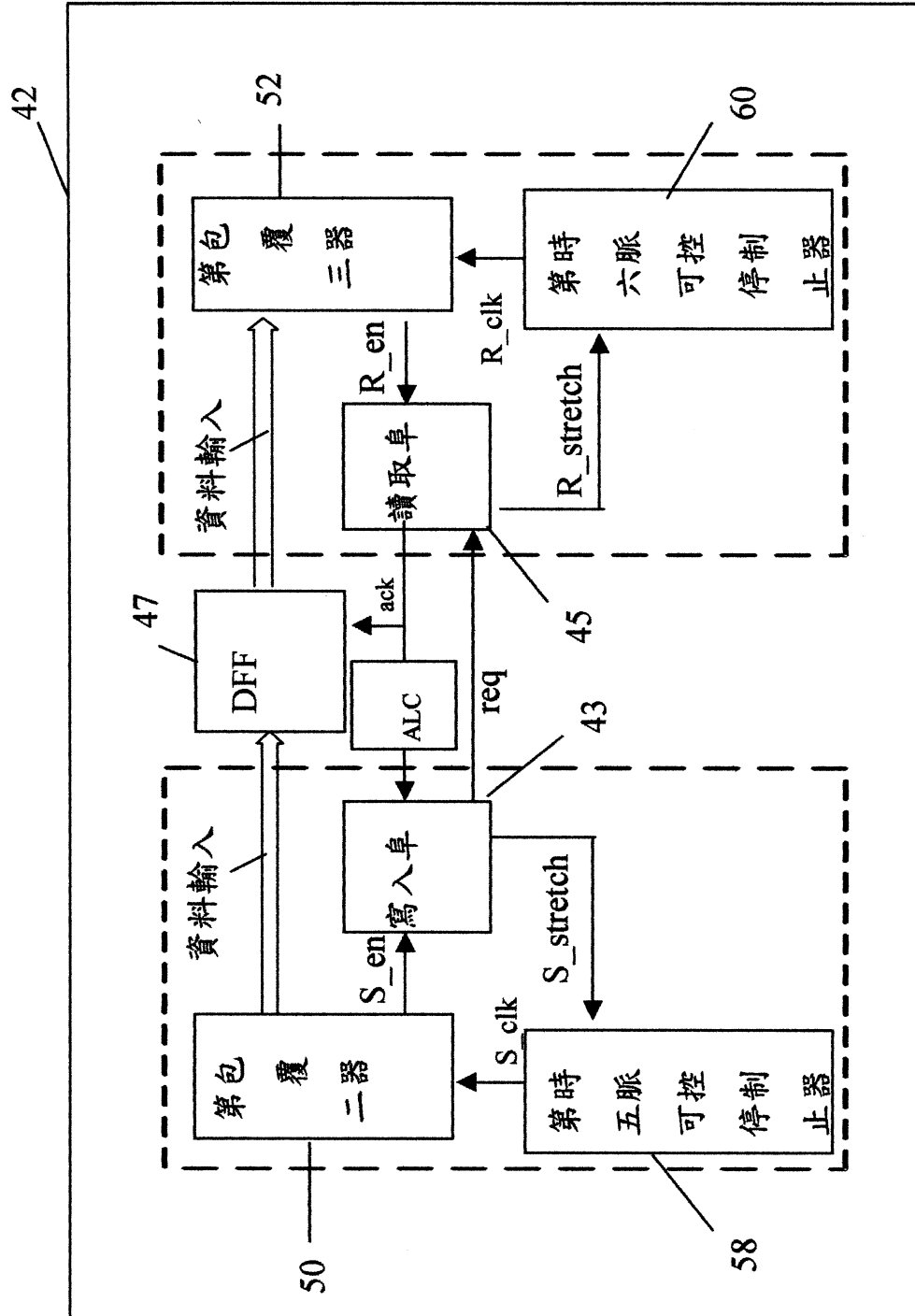


第十一A圖

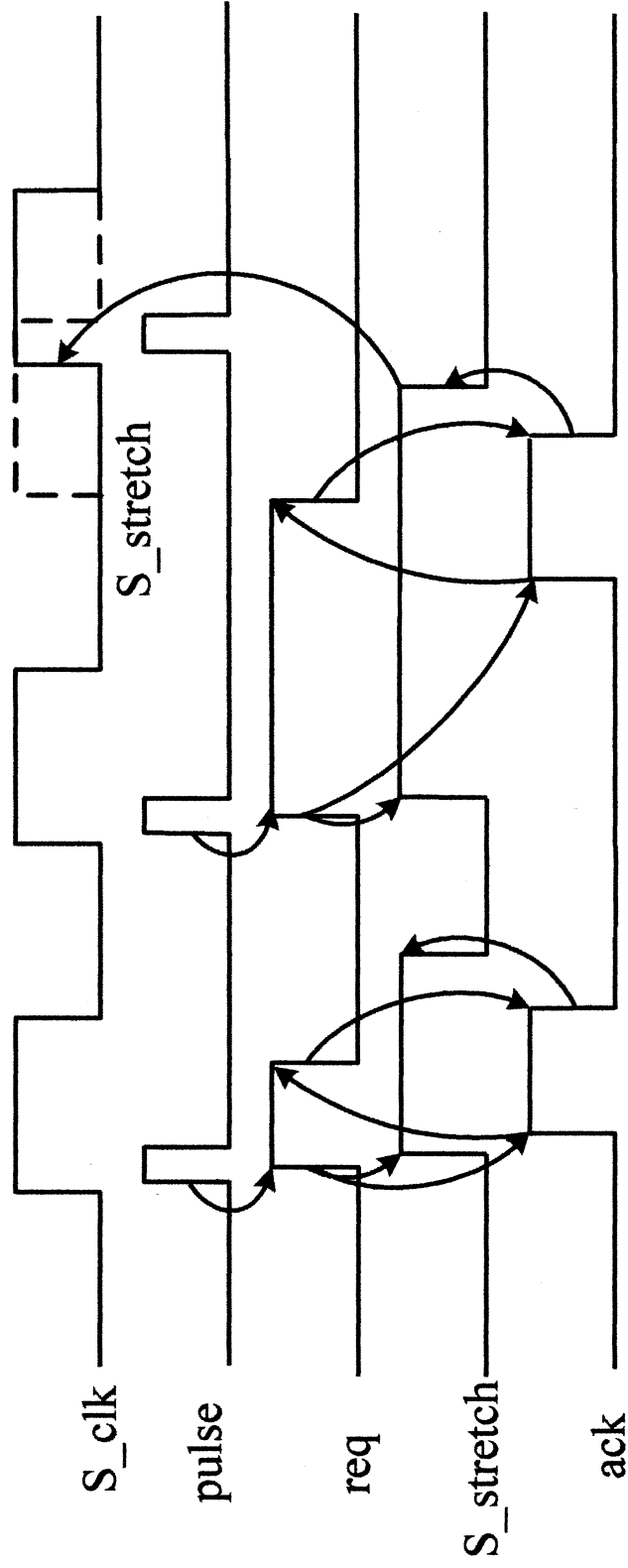
40



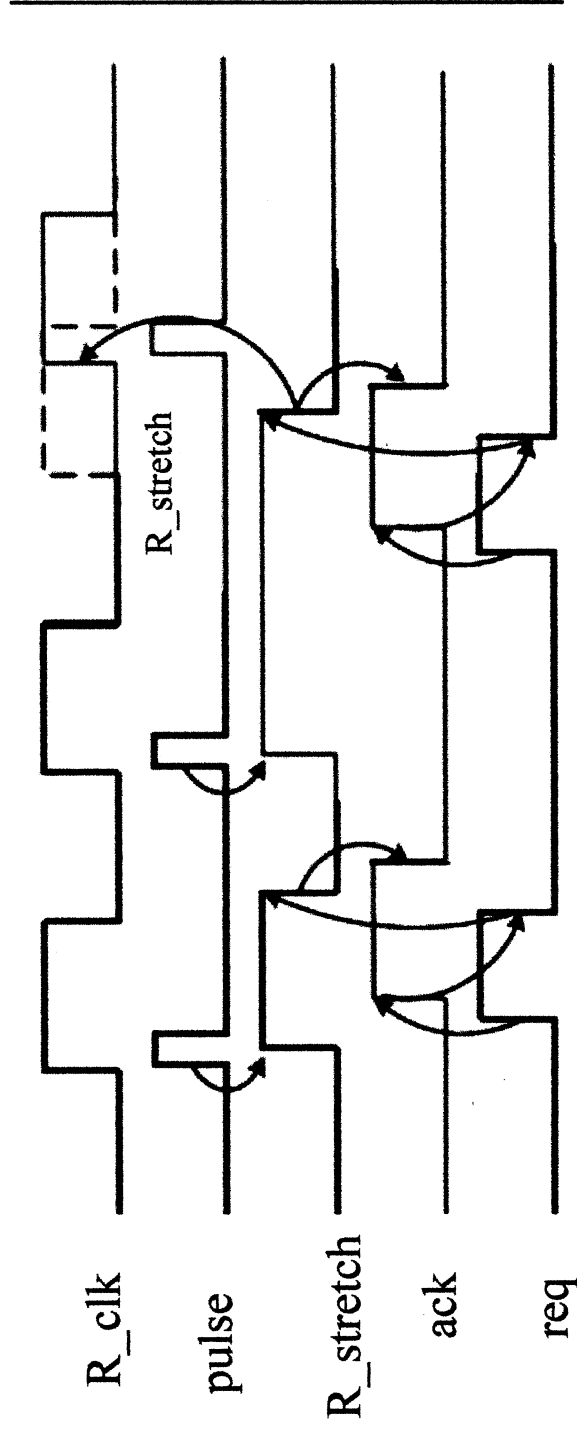
第 十 一 B 圖



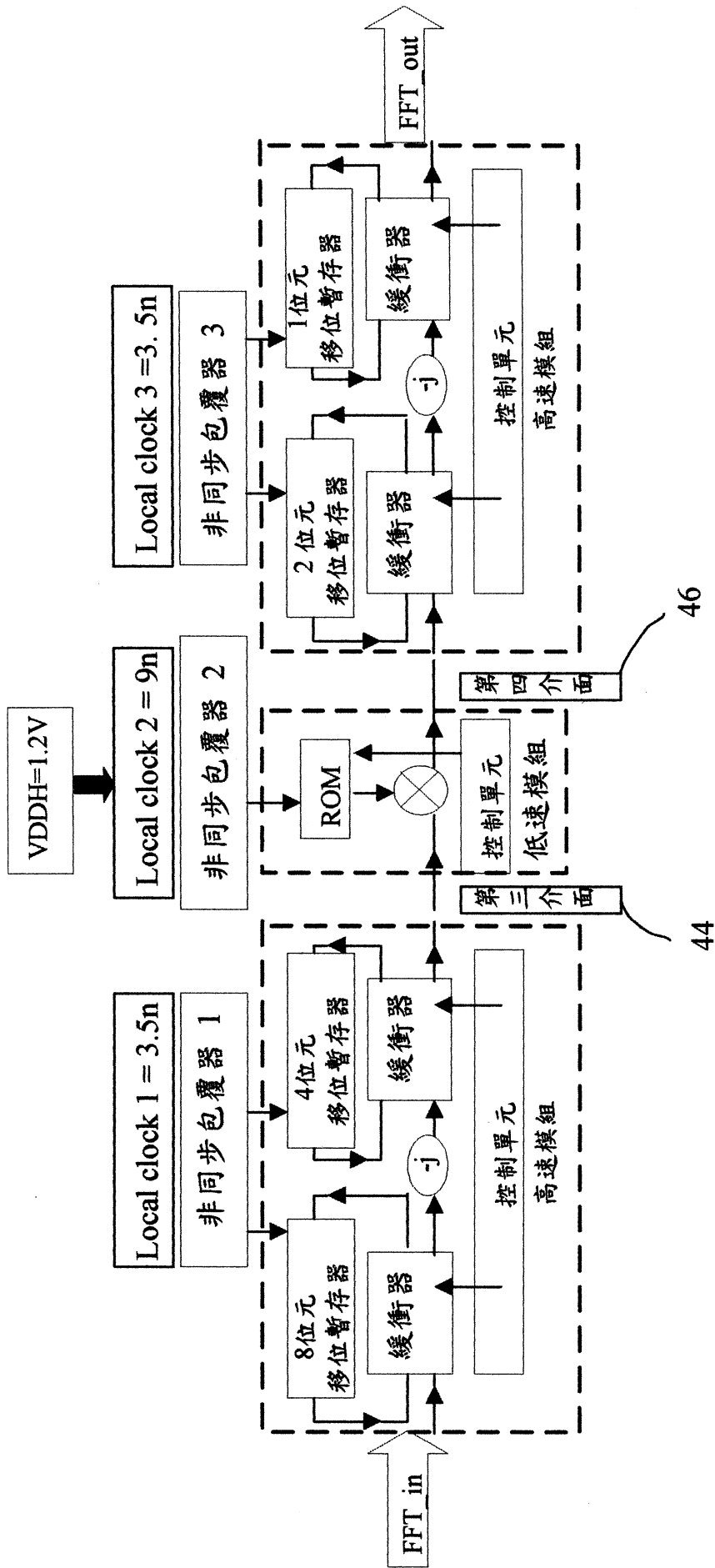
第十一C圖



第十二圖



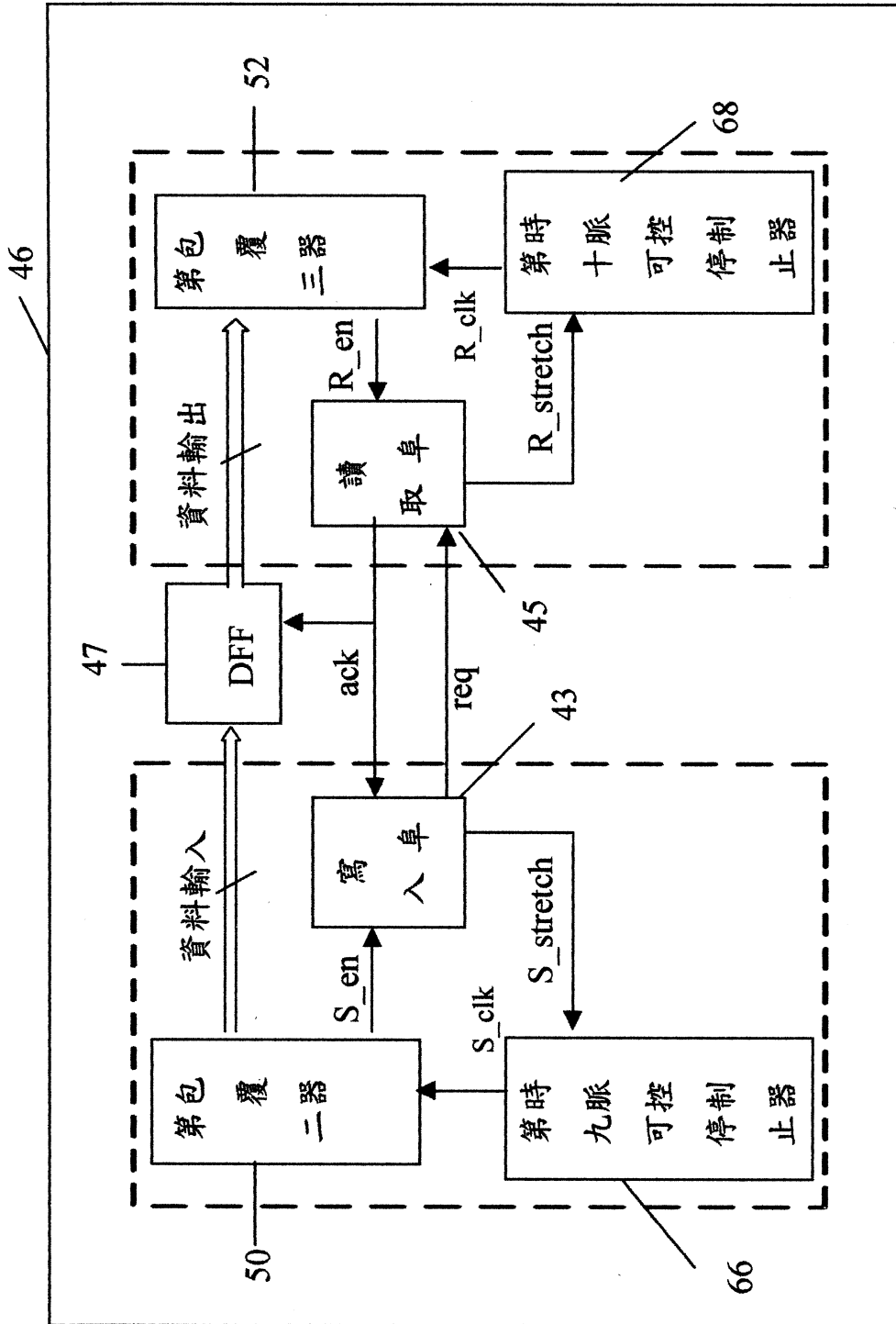
第十三圖



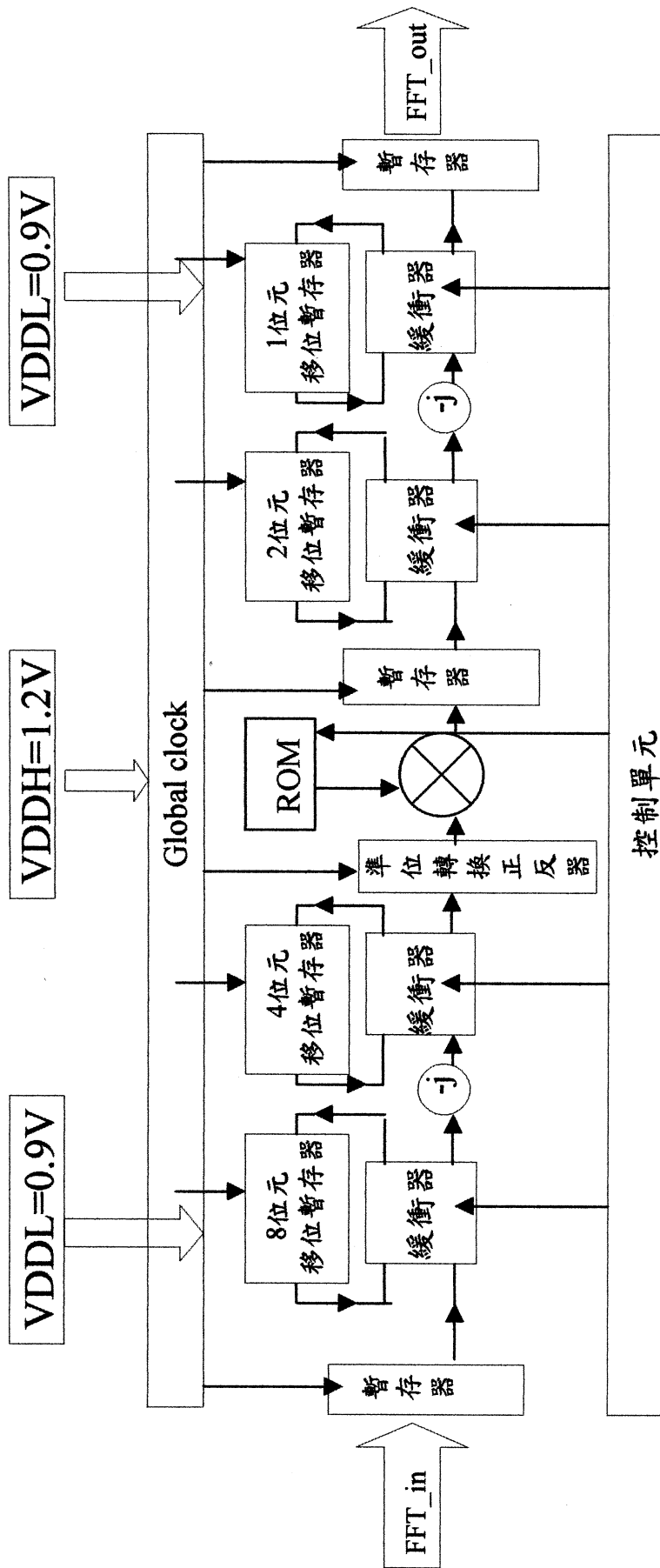
第十四A圖

46

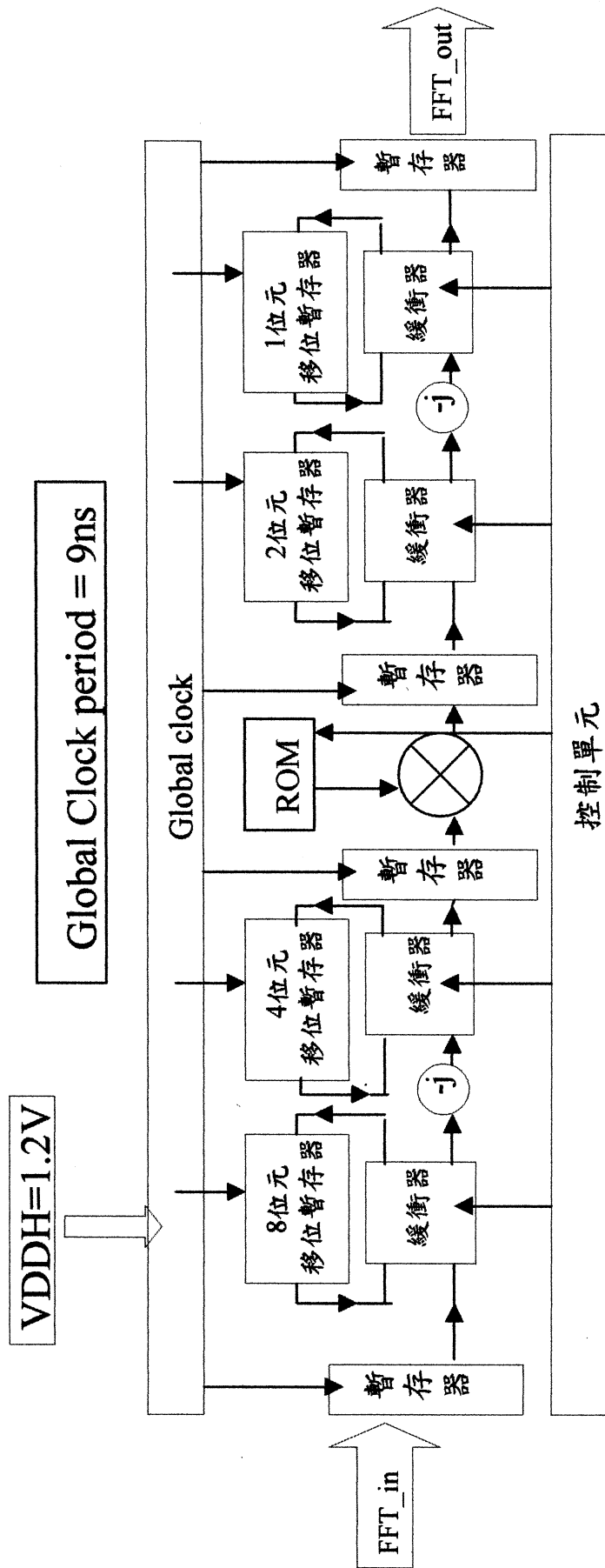
44



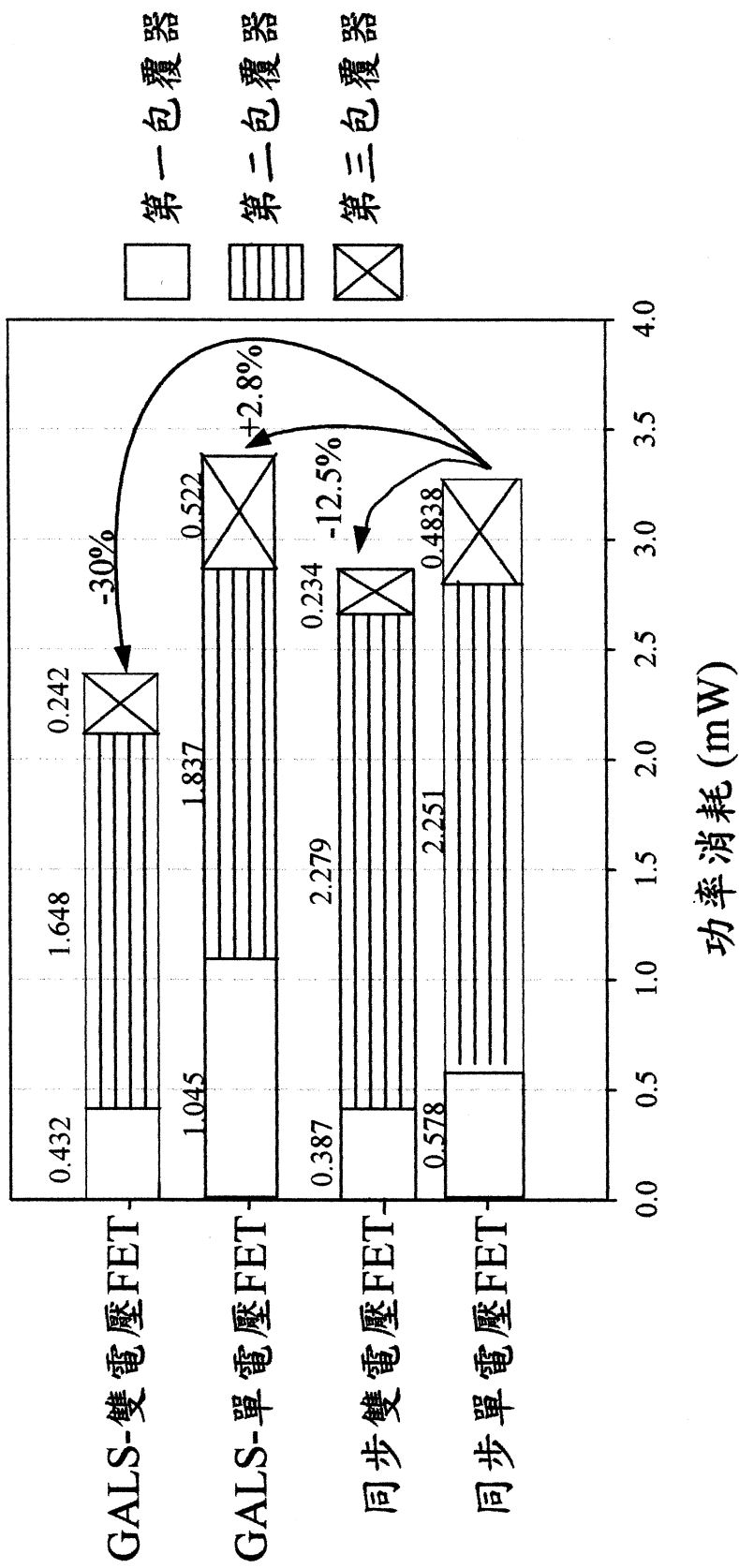
第十四C圖



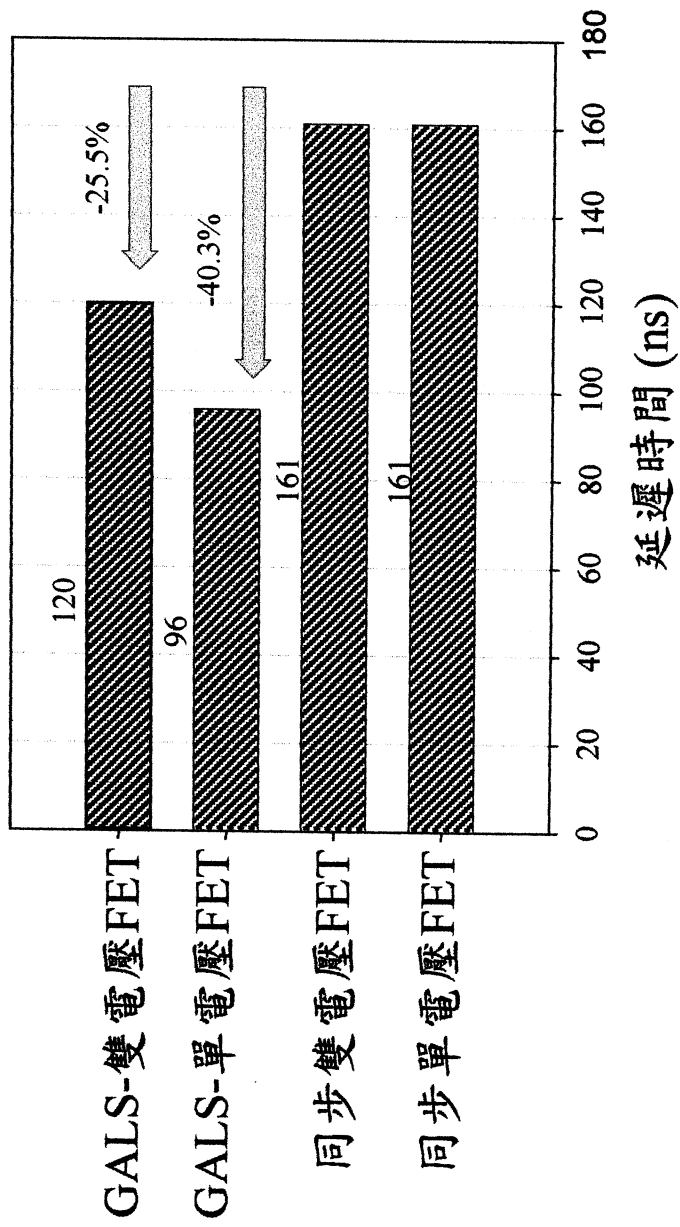
第十五圖



第十六圖



第十七圖



第十八圖