

發明專利說明書

200713470

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94133250

※申請日期： 94. 9. 23

※IPC 分類： H01L 21/38 (2006.01)

一、發明名稱：(中文/英文)

具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構及其製作方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 4 人)

姓 名：(中文/英文)

羅廣禮

楊宗煒

張翼

張俊彥

國 籍：(中文/英文)

(均同)中華民國 TW

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：

本發明係揭露一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構及其製作方法，其係於半導體基底上形成材質為具有摻雜離子的含碳-矽化鍺 (SiGe:C) 嵌入式源汲極，利用碳能夠抑制摻雜離子擴散的特性，來形成兼具低接觸電阻與能抑制摻雜離子擴散的源汲極區，進而提高元件的可靠度。

### 六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖為：第 2 圖

12 n 型半導體基底

14 閘極結構

16 閘極氧化層

18 閘極多晶矽層

20 間隙壁

22 離子植入區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種電晶體結構，特別是關於一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構及其製作方法。

### 【先前技術】

由國際半導體技術藍圖（ITRT roadmap）所做的各種技術節點的最小元件通道與尺寸的預測，可以發現技術發展速度將會減緩，摩爾定律（Moore's law）將無法再繼續適用，尤其在 2010 年以後，元件的尺寸已接近物理極限，因此未來的奈米元件技術如何發展才能延續摩爾定律，將是目前的重要課題。

針對 MOSFETs 結構源汲極摻雜區的技術上，目前已提出的技術有利用 SiGe 來製作源汲極部分的相關技術產生，此些技術特點係利用：1. SiGe 材料中可以實現高濃度 B 或者 P 摻雜，以及 SiGe 具有較低的能帶間隙（bandgap），因此可以使 MOS 元件源汲極具有較低的接觸電阻  $\rho_c$ ，以利於提高元件的電流驅動能力；2. SiGe 的晶格常數大於矽的晶格常數，利用嵌入式 SiGe 源汲極會在矽通道產生壓縮應變，以此提高通道內載子遷移率，達到提高元件性能的目的。

但是，請參閱第 1 圖，由於 SiGe 源汲極區域  $10 \times 10'$  中摻雜劑濃度很高時，將產生源汲極區到通道區的擴散問題，此問題會加重元件的短通道效應，降低元件的可靠度，對元件製程帶來副作用。

因此，本發明提出一種具有防止源汲極區摻雜離子在接面區外擴散的

電晶體結構及其製作方法，來解決上述的問題。

### 【發明內容】

本發明之主要目的，在於提供一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構與其製作方法，其利用材質為碳矽化鍺的嵌入式源汲極來有效解決 MOS 元件縮小化後高濃度離子摻雜劑從源汲極外擴散的問題。

本發明之另一目的，在於提供一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構與其製作方法，其係利用碳原子對摻雜原子擴散具抑制效果，來達到防止摻雜原子在接面擴散，以解決 MOS 元件縮小化後，因摻雜原子擴散所導致的元件可靠度偏低。

本發明之再一目的，在於提供一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構與其製作方法，其能夠大幅度提升元件的可靠度，增進產品的信譽，提高市場競爭力。

為達上述之目的，本發明提供一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其包含有一半導體基底；一位於半導體基底上的閘極結構；以及嵌設於閘極結構兩側的半導體基底內作為源汲極區的離子植入區，其材質為含摻雜離子的碳-矽化鍺。

本發明尚提供一種形成上述結構之方法，其包括有下列步驟首先提供一半導體；接續於半導體形成一閘極結構；再以閘極結構為罩幕，對半導體基底進行一同向性蝕刻製程，以定義出欲形成嵌入式源汲極區的位置；以及利用選擇性磊晶技術於欲形成嵌入式源汲極區的位置沈積材質為含摻

雜離子的碳-矽化鍺源汲極區，以形成嵌入式源汲極。

茲為使 貴審查委員對本發明之目的、技術內容、特點及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

### 【實施方式】

本發明係有關一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構及製作其方法，其係利用具有碳組成的 SiGe 來作為源汲極區部分，以解決源汲極區高濃度摻雜離子外擴散的問題。

於下列說明中係以 n 型半導體基底進行說明，但並不以此拘限本發明僅能使用於 n 型半導體基底，意即 p 型半導體基底當然也可適用於本發明，更者，所摻雜的離子將隨著半導體基底型態不同而進行調整，此些以本發明之理念為中心的適當的變化，當屬於本發明之範疇。

請參閱第 2 圖，其係本發明之結構示意圖。如圖所示，其包含有一 n 型半導體基底 12，其上具有一包含有閘極結構 14，其可為具有一閘極氧化層 16、一堆疊於閘極氧化層 16 上的閘極多晶矽層 18 及一位於閘極氧化層 16 與閘極多晶矽層 18 兩側的間隙壁 20；以及，嵌設於閘極結構 14 兩側之半導體基底 12 上作為源汲極區的離子植入區 22，其材質為含摻雜離子的碳-矽化鍺 (SiGe:C)。而針對摻雜離子的選擇，則視半導體基底型態而定，例如在此實施例中是 n 型半導體基底，因此摻雜離子選自 p 型離子，如硼 (B) 離子；反之當半導體基底為 p 型半導體基底時，摻雜離子選自 n 型離子，如磷 (p) 離子。

接續，針對上述的結構可依下列製程步驟而製得。請參閱第 3 (a) ~ 第 3 (c) 圖所示。首先，提供一 n 型半導體基底 12，並於此 n 型半導體基底 12 上形成一包含有一閘極氧化層 16、一堆疊於閘極氧化層 16 上的閘極多晶矽層 18 與一位於閘極氧化層 16 與閘極多晶矽層 18 兩側的間隙壁 20 之閘極結構 14，形成如第 3 (a) 圖所示之結構；再以閘極結構 14 為罩幕，利用同向 (isotropic) 蝕刻製程對 n 型半導體基底 12 進行蝕刻，以定義出欲嵌入的離子植入區域，形成如第 3 (b) 圖所示；最後，利用選擇性磊晶技術於上述的欲嵌入的離子植入區沈積形成富 p 型摻雜離子的碳矽化鍺 ( $p^+$ -SiGe:C) 離子植入區 22，以作為源汲極區域，以形成本發明之具有防止源汲極區摻雜離子在外接面區外擴散的電晶體結構。

請參閱第 4 (a) ~ 第 4 (b) 圖，其係分別為本發明之具有 SiGe:C 源汲極區域的 MOS 結構與習知技術僅具有 SiGe 源汲極區域的 MOS 結構進行 900 °C，30 分鐘退火後摻雜離子外擴散的分佈曲線圖。由第 4 (a) 圖中可以發現經過 900 °C，30 分鐘退火後， $\text{Si}_{0.84}\text{Ge}_{0.16}:\text{C}$  (C 組成為 0.2%) 中的 B 離子分佈幾乎沒有變化與預設值 100nm 吻合，外擴散明顯受到抑制；反觀第 4 (b) 圖，經過 900 °C，30 分鐘退火後， $\text{Si}_{0.84}\text{Ge}_{0.16}$  中的 B 離子外擴散十分嚴重，從原來的 100nm 擴散到 150nm。因此，可得知本發明利用材質為 SiGe:C 來作為源汲極區域，能有效地抑制摻雜離子的外擴散行為。

綜上所述，本發明為一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構及其製作方法，其係利用材質為 SiGe:C 的源汲極區域，以保有材質為 SiGe 的源汲極區域元件之低接觸電阻特性下，並利用 C 原子對摻雜離子擴散機制的改變，來達到抑制摻雜離子的外擴散，進而達到確保



元件的可靠度。

惟以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖係為習知技術的示意圖。

第 2 圖為本發明之實施例示意圖。

第 3 (a) ~ 第 3 (c) 圖為本發明之實施步驟示意圖。

第 4 (a) 圖為本發明的 MOS 結構進行 900°C，30 分鐘退火後摻雜離子外擴散的分佈曲線圖。

第 4 (b) 圖為習知技術的 MOS 結構進行 900°C，30 分鐘退火後摻雜離子外擴散的分佈曲線圖。

### 【主要元件符號說明】

10 源汲極區域

12 n 型半導體基底

14 閘極結構

16 閘極氧化層

18 閘極多晶矽層

20 間隙壁

22 離子植入區

## 十、申請專利範圍：

1. 一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其包含有：

一半導體基底；

一閘極結構，其係位於該半導體基底上；以及

兩離子植入區，其係嵌設於該閘極結構兩側的半導體基底內，以形成源汲極區，且該離子植入區的材質為含摻雜離子的碳-矽化鍺。

2. 如申請專利範圍第 1 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其中當該半導體基底為 n 型半導體基底時，該摻雜離子為 P 型離子，例如硼離子。

3. 如申請專利範圍第 1 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其中當該半導體基底為 p 型半導體基底時，該摻雜離子為 n 型離子，例如磷離子。

4. 如申請專利範圍第 1 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其中該離子植入區係利用選擇性磊晶技術所形成。

5. 如申請專利範圍第 1 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其中該閘極結構包含有：

一閘極氧化層；

一閘極多晶矽層，其係堆疊該閘極氧化層上；以及

兩間隙壁，其係各位於該閘極氧化層與該閘極多晶矽層之兩側壁。

6. 如申請專利範圍第 1 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構，其中該離子植入區嵌設於該半導體基底內的位置，係先

利用同向 (isotropic) 蝕刻製程先對該半導體基底進行蝕刻所定義出。

7. 一種具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構的製作方法，其包含有下列步驟：

提供一半導體；

於該半導體形成一閘極結構；

以該閘極結構為罩幕對該半導體基底進行蝕刻，以定義出欲形成嵌入式源汲極區的位置；以及

於該欲形成嵌入式源汲極區的位置沈積材質為含摻雜離子的碳-矽化鍺，以形成嵌入式源汲極。

8. 如申請專利範圍第 7 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構的製作方法，其中當該半導體基底為 n 型半導體基底時，該摻雜離子為 P 型離子，例如硼離子。

9. 如申請專利範圍第 7 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構的製作方法，其中當該半導體基底為 p 型半導體基底時，該摻雜離子為 n 型離子，例如磷離子。

10. 如申請專利範圍第 7 項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構的製作方法，其中該閘極結構包含有：

一閘極氧化層；

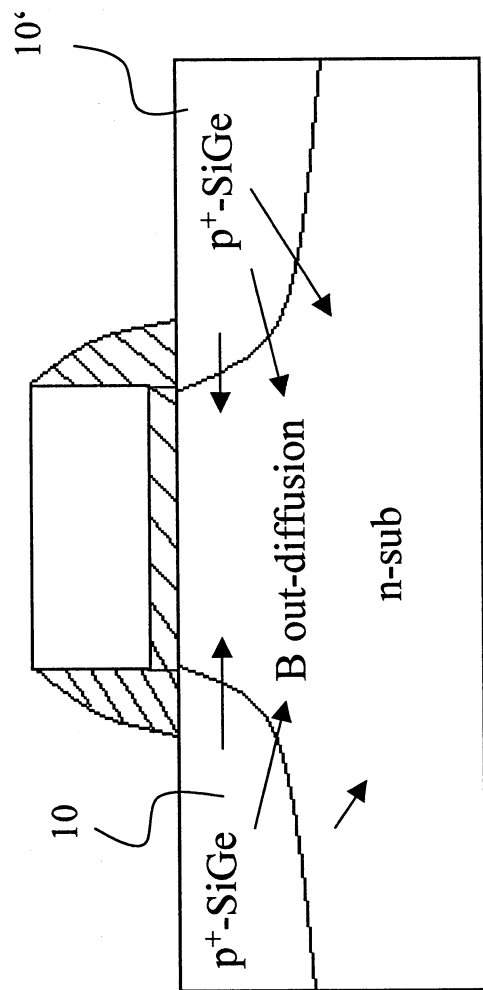
一閘極多晶矽層，其係堆疊該閘極氧化層上；以及

兩間隙壁，其係各位於該閘極氧化層與該閘極多晶矽層之兩側壁。

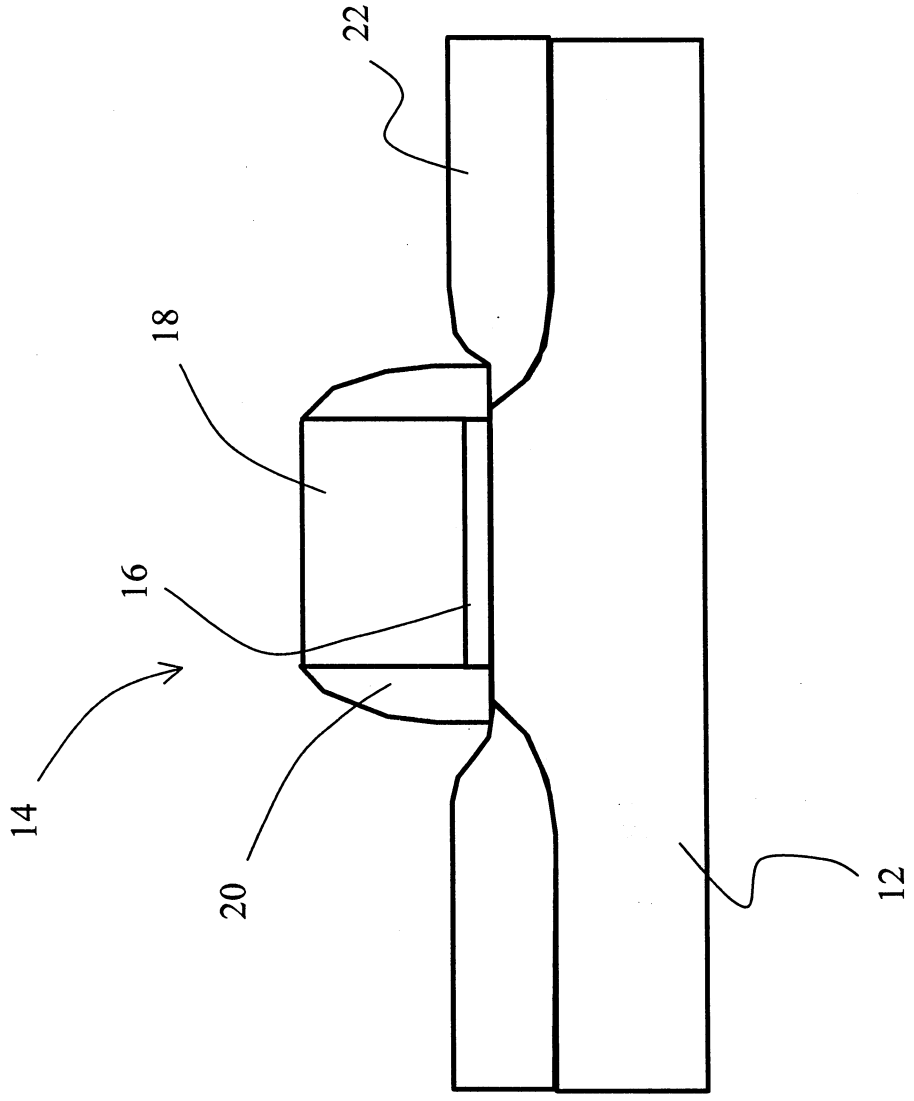
11. 如申請專利範圍第 7 項所述之具有防止源汲極區摻雜離子在接面區外擴

散的電晶體結構的製作方法，其中該蝕刻為同向性 (isotropic) 蝕刻。

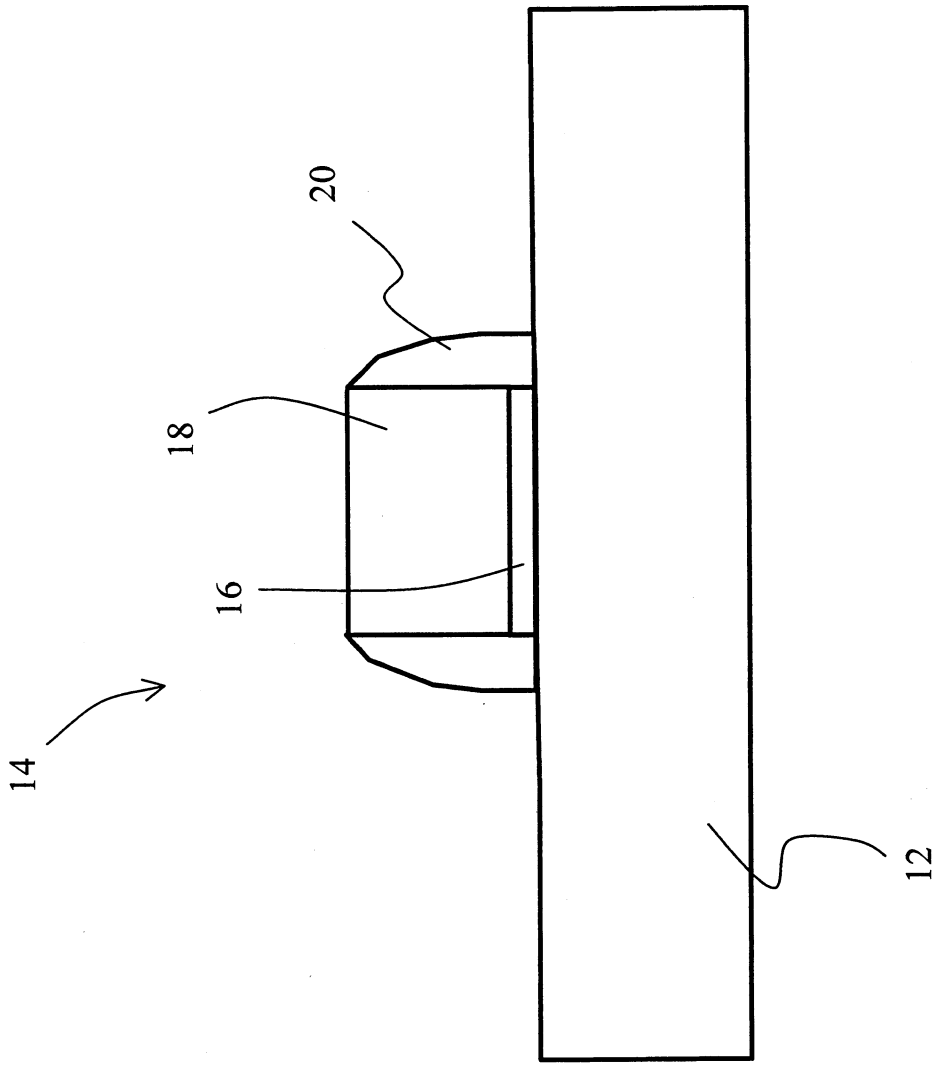
12. 如申請專利範圍第7項所述之具有防止源汲極區摻雜離子在接面區外擴散的電晶體結構的製作方法，其中形成該源汲極區的方法係利用選擇性磊晶技術所形成。



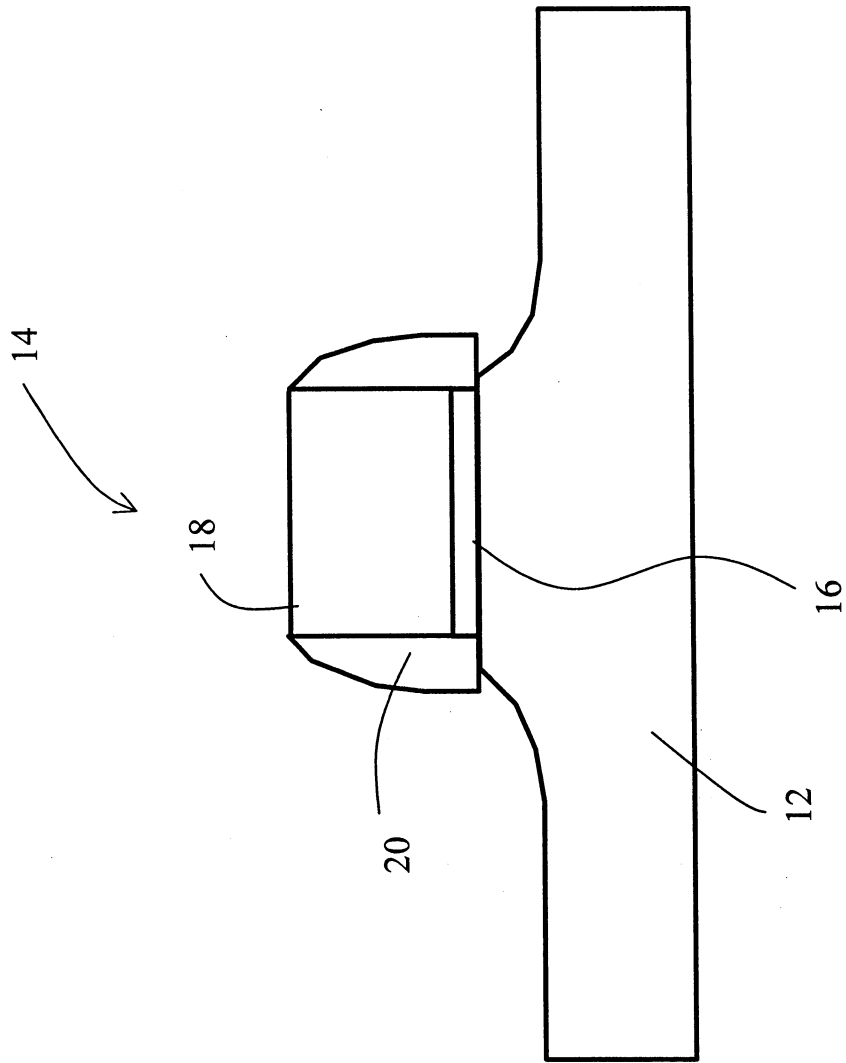
第1圖  
(習知技術)



第2圖

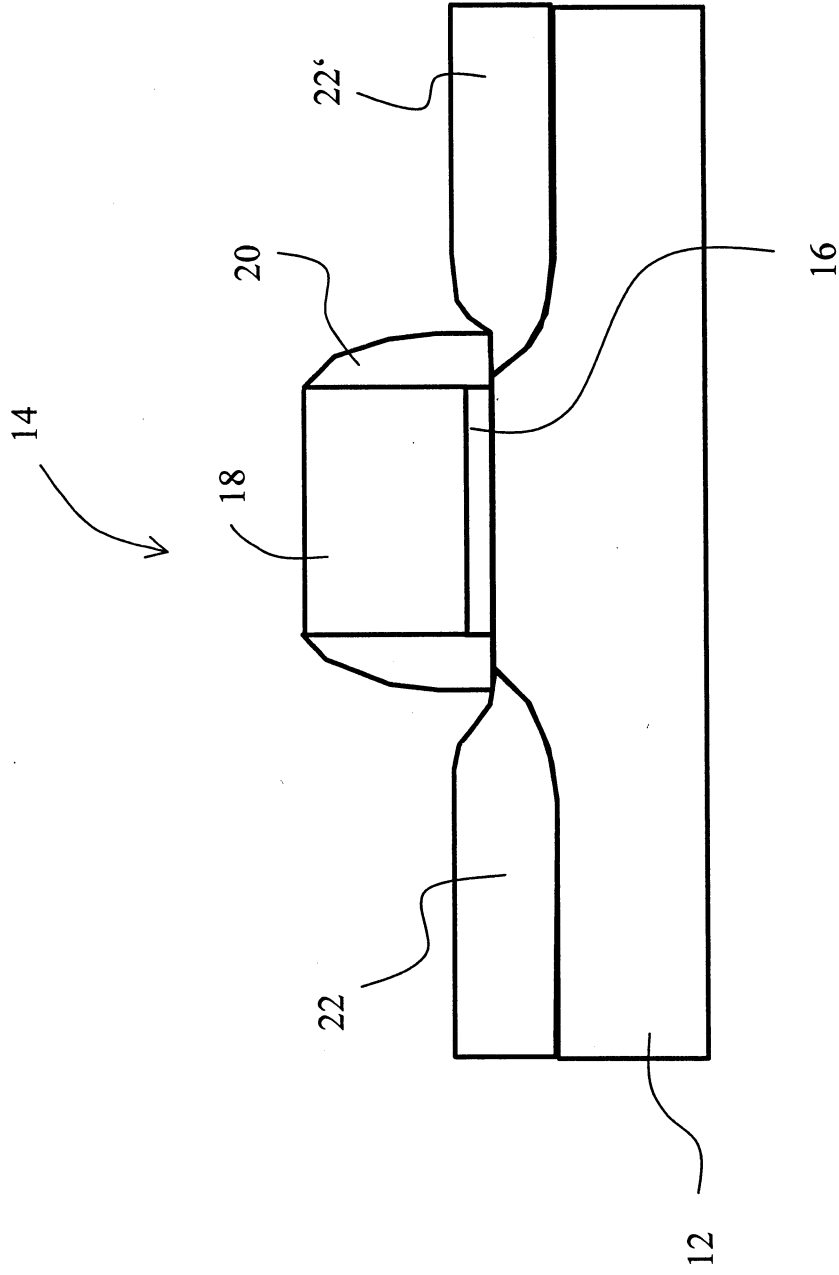


第3(a)圖

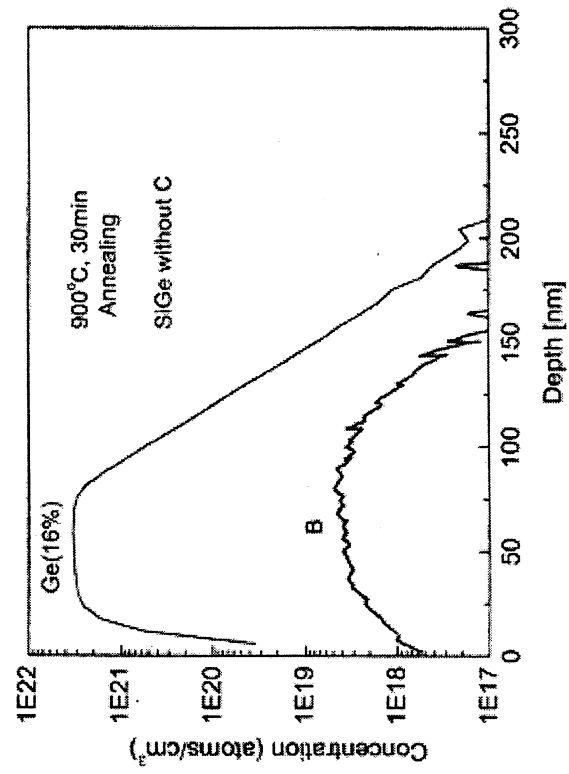


第3(b)圖

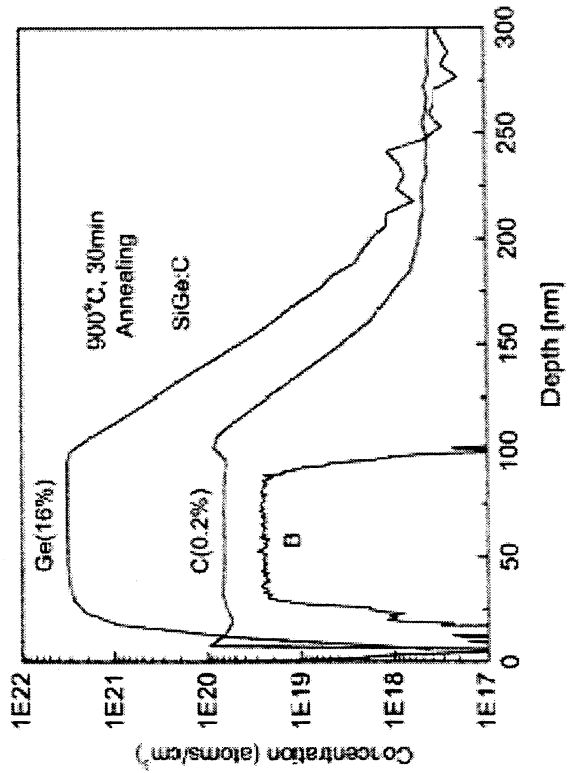




第3(c)圖



第4(b)圖



第4(a)圖