

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：F412816P

※申請日期：94-8-22

※IPC 分類：H01L 33/00

一、發明名稱：(中文/英文)

H01L 33/00 (2006.01)

三五族半導體元件的內連銅導線與其製造方法

INTERCONNECTION OF GROUP III - V
SEMICONDUCTOR DEVICE AND FABRICATION
METHOD FOR MAKING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文) 張俊彥/CHUN-YEN CHANG

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/NO. 1001, DASYUE RD., HSINCHU CITY, 300,
TAIWAN (R. O. C.)

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 李承士/CHENG-SHIH LEE

2. 張翼/EDWARD YI CHANG

3. 張晃崇/HUANG-CHOUNG CHANG

國 籍：(中文/英文)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種三五族半導體元件的內連導線與其製造方法。此內連導線是由第一黏著層、防止銅擴散之擴散阻障層、第二黏著層以及銅導線所構成。由於在內連導線與此三五族半導體元件之間配置了第一黏著層/擴散阻障層/第二黏著層的堆疊層結構，因此改善了擴散阻障層對其他材料的黏著性不佳的問題，從而增加元件的良率。

六、英文發明摘要：

An interconnection of the group III-V semiconductor device and fabrication method for making the same is described. The interconnection includes a first adhesion layer, a diffusion barrier layer for keeping the copper from diffusing, a second adhesion layer and a copper conductive line. Because a stacked-layer structure of first adhesion layer/diffusion barrier/second adhesion layer is located between the interconnection and the group III - V semiconductor, the poor adhesion between the diffusion barrier and other materials is improved. Therefore, the yield of the device is increased.

七、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

300：基底

302：次集極層

304：集極層

306：基極層

308：射極層

110、310：接觸層

312：金屬層

314：介電層

116、330、417：開口

322、326：黏著層

324：擴散阻障層

328：銅導線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種三五族半導體元件的內連線與其製造方法，且特別是有關於一種三五族半導體元件的銅內連導線與其製造方法。

【先前技術】

傳統的五三五族半導體元件像是砷化鎵(GaAs)元件，如異質接面雙載子電晶體(hetero-junction bipolar transistor，簡稱 HBT)、高電子移動電晶體(high electron mobility transistor，簡稱 HEMT)、金屬半導體場效電晶體(metal-semiconductor field-effect transistor，簡稱 MESFET)都是使用金做為金屬連線。然而，當金屬連線之線寬(width of metal line)的日漸縮小，金屬連線所承受之電流密度(current density)，相對地逐漸增大。傳統以金為主所形成之金屬連線，會有阻值(resistance)愈來愈高的情形。此外，金的熱傳導係數較小，將影響高速運作的半導體元件之熱傳導特性。若熱量無法順利傳導至外界，元件本身的溫度上升之後，將會影響元件的特性及可靠度。

【發明內容】

因此，本發明的目的就是在提供一種三五族半導體元件的內連導線，可降低導線阻值。

本發明的又一目的是提供一種三五族半導體元件的內連銅導線之製造方法，以增加內連銅導線的製程裕度。

本發明提出一種三五族半導體元件的內連導線，適於

連接一三五族半導體元件。該內連導線是由第一黏著層、擴散阻障層、第二黏著層以及銅導線所構成。第一黏著層配置於部分三五族半導體元件上。擴散阻障層配置於第一黏著層上。第二黏著層配置於擴散阻障層上。銅導線配置於第二黏著層上。

於一實施例中，上述三五族半導體元件例如是異質界面雙載子電晶體。

於一實施例中，上述銅導線例如是銅空氣橋。使用銅空氣橋的三五族半導體元件例如是高電子移動電晶體或金屬半導體場效電晶體。

於一實施例中，上述擴散阻障層之厚度為 100 埃至 8000 埃。

於一實施例中，上述第一黏著層與第二黏著層之材質例如是鈦、鈦鎢合金或鉻。

於一實施例中，上述第一黏著層與該第二黏著層之厚度為 100 埃至 5000 埃。

於一實施例中，上述三五族半導體元件例如是砷化鎵元件。

本發明之三五族半導體元件之內連導線係在三五族半導體元件與內連導線的介面配置了黏著層/擴散阻障層/黏著層的疊層結構，其以確保擴散阻障層能夠有效地附著在三五族半導體元件、介電層以及內連導線上，從而防止內連導線的銅擴散至三五族半導體元件。

本發明再提出一種三五族半導體元件的內連導線製

造方法，包括於三五族半導體元件上形成中間層。於中間層定義數個開口，此些開口暴露部分三五族半導體元件。接著，於開口所暴露的部分三五族元件上形成第一黏著層，於第一黏著層上形成一擴散阻障層，於擴散阻障層上形成第二黏著層。之後，於第二黏著層上形成銅層。

於一實施例中，上述中間層為光阻。於第二黏著層上形成銅層之後，還要移除此中間層。

於一實施例中，上述擴散阻障層之形成方法例如是濺鍍或電子束蒸鍍。

於一實施例中，上述第一黏著層與第二黏著層之形成方法例如是濺鍍或蒸鍍。第一黏著層與第二黏著層之材質例如是鈦、鈦鎢合金或鉻。

於一實施例中，上述三五族半導體元件例如是一砷化鎵元件。此砷化鎵元件例如是異質接面雙載子電晶體、高電子移動電晶體或金屬半導體場效電晶體。

於一實施例中，於第二黏著層上形成銅層的方法例如是濺鍍、蒸鍍、銅化學氣相沈積法或化學電鍍。

於一實施例中，上述中間層是介電層，其材質例如是氧化矽、氮化矽(SiN_x)、聚醯亞胺(Polyimide)或是苯並環丁烯(Benzocyclobutene，又稱 BCB)等。

本發明所提出的三五族半導體元件之內連導線的製造方法的特點是將黏著層/擴散阻障層/黏著層的疊層結構形成於三五族半導體元件與內連導線的介面，以確保擴散阻障層能夠有效地附著在三五族半導體元件、中間層以及

銅層上，從而防止內連導線的銅擴散至三五族半導體元件，或擴散至中間層。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

【第一實施例】

圖 1A 至圖 1D 為本發明之第一實施例的三五族半導體元件之內連導線的製造流程剖面圖。請參照圖 1A，首先提供一個三五族半導體元件。此三五族半導體元件例如是一砷化鎵元件。在本實施例中，此砷化鎵元件是以一個異質接面雙載子電晶體為例，但不以此為限。換言之，在其他的實施例中，此砷化鎵元件也可以是高電子移動電晶體、金屬半導體場效電晶體或單片微波積體電路 (Monolithic Microwave Integrated Circuit)。此異質接面雙載子電晶體是由次集極層 102、集極層 104、基極層 106、射極層 108 以及接觸層 110 依序堆疊在基底 100 上所構成。次集極層 102 配置於基底 100 上，次集極層 102 之材質例如為 n+型砷化鎵。集極層 104 配置於次集極層 102 上，集極層 104 之材質例如是 n-型砷化鎵。基極層 106 配置於集極層 104 上，基極層 106 之材質例如是 p+型砷化鎵。射極層 108 配置於部分基極層 106 上，射極層 108 之材質例如是 n+型砷化鎵。接觸層 110 配置於部分射極層 108 上，接觸層 110 之材質例如是 n+型砷化鎵。

此外，於此三五族半導體元件上還配置有數個金屬層 112a、112b 以及 112c。與 n 型砷化鎵(次集極層 102 或接觸層 110)鄰接的金屬層 112a 及 112c 例如是金鍍/鎳/金(AuGe/Ni/Au)疊層，而與 p 型砷化鎵(基極層 106)鄰接的金屬層 112b 例如是鉑/鈦/鉑/金(Pt/Ti/Pt/Au)疊層。

然後，請參照圖 1B，於此三五族半導體元件與金屬層 112a、112b 以及 112c 上形成一層介電層 114。介電層 114 之材質例如是氧化矽、氮化矽、聚醯亞胺或是苯並環丁烯等。之後，於介電層 114 中形成數個開口 116，這些開口 116 暴露出金屬層 112。接著，於介電層 114 上形成一層圖案化罩幕層 118，以定義所需形成的內連線區域 120，並暴露出開口 116。

之後，請參照圖 1C，於圖案化罩幕層 118 上、部分介電層 114 上、開口 116 側壁以及暴露的金屬層 112a、112b 以及 112c 上依序形成一層共形的黏著層 122、一層共形的擴散阻障層 124 與一層共形的黏著層 126。其中黏著層 122 與黏著層 126 之材質例如是鈦、鈦鎢合金或鉻，其形成方法例如是濺鍍或蒸鍍，厚度例如是 100 埃至 5000 埃。擴散阻障層 124 之材質例如是鉭(Ta)、氮化鉭(TaN)、鎢(W)、氮化鎢(WN_x)、氮化鈦鎢(TiWN_x)或鈮，其形成方法例如是濺鍍與電子束蒸鍍，厚度例如為 100 埃至 8000 埃。繼之，於黏著層 126 上形成一層銅層 128，其方法例如是濺鍍、蒸鍍、銅化學氣相沈積法與化學電鍍。銅層 128 若是利用濺鍍法來形成，可同時使用準直器(Collimator)的技

術，以使方向性更好。

接著，請參照圖 1D，例如利用丙酮去除圖案化罩幕層 118 以及其上的部分黏著層 122、部分擴散阻障層 124、部分黏著層 126 以及部分銅層 128，以保留內連線區域 120 內的銅層，而形成一銅內連導線 128a。

本發明之三五族半導體元件的內連導線製造方法的將黏著層 122/擴散阻障層 124/黏著層 126 的疊層結構形成於三五族半導體元件與內連導線的介面，可以確保擴散阻障層 124 能夠有效地附著在金屬層 112a、112b、112c、介電層 114 以及銅層 128 上，從而防止銅層 128 擴散至介電層 114 或金屬層 112a、112b、112c。

其後，再以另一實施例說明黏著層/擴散阻障層/黏著層疊層之結構在三五族半導體元件之內連導線製作上的應用。

【第二實施例】

圖 2A 至圖 2E 為本發明之第二實施例的三五族半導體元件之內連導線的製造流程剖面圖。請參照圖 2A，首先提供一個三五族半導體元件 200。此三五族半導體元件 200 例如是一砷化鎵元件。在本實施例中，此砷化鎵元件可以是一個異質接面雙載子電晶體、高電子移動電晶體、金屬半導體場效電晶體或單片微波積體電路。此外，三五族半導體元件 200 上配置有數個金屬層 202，其材質例如是金鍍/鎳/金疊層或鉑/鈦/鉑/金疊層。接著，於三五族半導體元件 200 上形成一層中間層 204，中間層 204 之材質是光阻。

於中間層 204 中形成暴露金屬層 202 之開口 220a，此開口 220a 定義為一個銅空氣橋之金屬層橋墩區域，其暴露三五族半導體元件 200。

然後，請參照圖 2B，於中間層 204 上、開口 220a 的側壁上以及暴露的三五族半導體元件 200 上依序形成共形的黏著層 205、共形的擴散阻障層 206 以及共形的黏著層 207。黏著層 205、207 之材質例如是鈦、鈦鎢合金或鉻，其形成方法例如是濺鍍或蒸鍍，厚度例如是 100 埃至 5000 埃。擴散阻障層 206 之材質例如是鈮、氮化鈮、鎢、氮化鎢、氮化鈦鎢或鈮，其形成方法例如是濺鍍與電子束蒸鍍，厚度例如為 100 埃至 8000 埃。

繼之，請參照圖 2C，於該三五族半導體元件 200 上形成另一層中間層 208，中間層 208 之材質例如為光阻。中間層 208 具有一開口 220b，其暴露部分黏著層 207，以定義出上述銅空氣橋之導線位置。

之後，請參照圖 2D，於開口 220a 與開口 220b 中形成一層銅層 210，以形成內連導線。銅層 210 的形成方法例如是濺鍍、蒸鍍、銅化學氣相沈積法與化學電鍍。銅層 210 若是利用濺鍍法來形成，可同時使用準直器的技術，以使方向性更好。

接著，請參照圖 2E，例如利用丙酮與電漿去除殘餘的中間層 204 與中間層 208，也去除了中間層 204 上的部分黏著層 205、部分擴散阻障層 206、部分黏著層 207 以及部分銅層 207，以形成銅空氣橋 220。

本發明將黏著層/擴散阻障層/黏著層的疊層結構形成於三五族半導體元件與銅空氣橋的介面，可以確保擴散阻障層 206 能夠有效地附著在金屬層 202 與銅層 210 上，從而阻擋銅層 210 擴散至金屬層 202。

【第三實施例】

圖 3 為本發明之第三實施例的三五族半導體元件之內連導線的剖面示意圖。此三五族半導體元件例如是一個砷化鎵元件。此內連銅導線適於連接三五族半導體元件 300。在本實施例中，三五族半導體元件 300 是以一個高電子移動電晶體為例，但不在其限。換言之，三五族半導體元件 300 可以是異質接面雙載子電晶體、金屬半導體場效電晶體或單片微波積體電路。此高電子移動電晶體是由基底 301、緩衝層 302、通道層 304、障壁層 306、閘極 308、蓋層 310、源極 312a、汲極 312b 以及隔層 314 所構成。基底 301 之材質例如是砷化鎵。緩衝層 302 配置於基底 301 上，緩衝層 302 之材質例如是砷化鎵。通道層 304 配置於緩衝層 302 上，通道層 304 之材質例如是砷化銦鎵 (InGaAs)。障壁層 306 配置於通道層 304 上，障壁層 306 之材質例如為 n-型砷化鋁鎵。閘極 308 配置於障壁層 306 上，閘極 308 例如是一個 T 型閘極。蓋層 310 配置於閘極 308 之兩側的障壁層 306 上，閘極 308 兩側的蓋層 310 上分別配置有源極 312a 與汲極 312b。通道層 304 與障壁層 306 之間可配置一隔層 314，隔層 314 之材質例如是砷化鋁鎵。

此銅內連導線是由黏著層 318、擴散阻障層 320、黏著層 322 以及一銅空氣橋 324 所構成。黏著層 318、擴散阻障層 320、黏著層 322 係依序配置於源極 312a 與汲極 312b 上。黏著層 318、322 之材質例如是鈦、鈦鎢合金或鉻，厚度例如是 100 埃至 5000 埃。擴散阻障層 320 之材質例如是鈽、氮化鈽、鎢、氮化鎢、氮化鈦鎢或鈮，厚度例如為 100 埃至 8000 埃。銅空氣橋 324 配置於黏著層 322 與部分基底 301 上，以使源極 312a 與汲極 312b 電性連接基底 301。此外，此內連銅導線結構還具有一中間層 326，在本實施例中，此中間層 326 是空氣，而在另一實施例中，此中間層 326 是一介電層。

本發明於三五族半導體元件與內連導線(銅空氣橋)的介面配置了黏著層/擴散阻障層/黏著層的疊層結構，可以確保擴散阻障層能夠有效地附著在源極、汲極、介電層以及內連銅導線上，從而防止銅內連導線擴散至源極與汲極。

【第四實施例】

圖 4 分別為本發明之三五族半導體元件之一種內連導線的剖面示意圖。此三五族半導體元件例如是一個砷化鎵元件。首先，請參照圖 4，此內連銅導線適用於一個三五族半導體元件 400，在本實施例中，此三五族半導體元件 400 是以一個金屬半導體場效電晶體為例說明，但不在其限。換言之，此三五族半導體元件 400 可以是異質接面雙載子電晶體、高電子移動電晶體或單片微波積體電路。此三五族半導體元件 400 是由基底 401、通道層 404、閘極

408、源極 412a 以及汲極 412b 所構成。基底 401 之材質例如是砷化鎵。通道層 404 配置於基底 401 上，通道層 404 之材質例如是 n-型砷化鎵。閘極 408 配置於通道層 404 上，閘極 408 兩側之通道層 404 上配置有源極 412a 與汲極 412b。

此銅內連導線是由黏著層 418、擴散阻障層 420、黏著層 422 以及銅空氣橋 424 所構成。黏著層 418 配置於源極 412a 與汲極 412b 上，擴散阻障層 420 配置於黏著層 418 上，黏著層 422 配置於擴散阻障層 420 上。黏著層 418、422 之材質例如是鈦、鈦鎢合金或鉻，其厚度例如是 100 埃至 5000 埃。擴散阻障層 420 之材質例如是鈮、氮化鈮、鎢、氮化鎢、氮化鈦鎢或鈮，其厚度例如為 100 埃至 8000 埃。銅空氣橋 424 配置於黏著層 422 與部分基底 401 上，以使源極 412a 與汲極 412b 電性連接基底 401。此外，此銅內連導線結構還具有一中間層 426，在一實施例中，此中間層 426 是空氣，而在另一實施例中，此中間層 426 是一介電層。

本發明於三五族半導體元件與內連導線的介面配置了黏著層/擴散阻障層/黏著層的疊層結構，可以確保擴散阻障層能夠有效地附著在源極、汲極、介電層以及內連導線上，從而防止銅內連導線擴散至源極與汲極。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護

範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 1D 為本發明之第一實施例的三五族半導體元件之內連導線的製造流程剖面圖。

圖 2A 至圖 2E 為本發明之第二實施例的三五族半導體元件之內連導線的製造流程剖面圖。

圖 3 為本發明之第三實施例的三五族半導體元件之一種內連導線的剖面示意圖。

圖 4 為本發明之第四實施例的三五族半導體元件之一種內連導線的剖面示意圖。

【主要元件符號說明】

100、301、401：基底

102：次集極層

104：集極層

106：基極層

108：射極層

110：接觸層

112、202：金屬層

114：介電層

116、417：開口

118：圖案化罩幕層

120：內連線區域

122、126、205、207、316、322、418、422：黏著層

124、206、320、420：擴散阻障層

- 128、210：銅層
- 128a：銅內連導線
- 200、300、400：三五族半導體元件
- 220、324、424：銅空氣橋
- 220a：金屬層橋墩區域
- 220b：導線位置
- 302：緩衝層
- 304、404：通道層
- 306：障壁層
- 308、408：閘極
- 310：蓋層
- 312a、412a：源極
- 312b、412b：汲極
- 314：隔層
- 204、208、326、426：中間層

十、申請專利範圍：

1.一種三五族半導體元件的內連導線，適於連接一三五族半導體元件，該內連導線包括：

一第一黏著層，配置於部分該三五族半導體元件上；

一擴散阻障層，配置於該第一黏著層上；

一第二黏著層，配置於該擴散阻障層上；以及

一銅導線，部分該銅導線配置於該第二黏著層上。

2.如申請專利範圍第 1 項所述之三五族半導體元件的內連導線，其中該三五族半導體元件包括一異質接面雙載子電晶體。

3.如申請專利範圍第 1 項所述之三五族半導體元件的內連導線，其中該銅導線包括銅空氣橋。

4.如申請專利範圍第 3 項所述之三五族半導體元件的內連導線，其中該三五族半導體元件包括一高電子移動電晶體與金屬半導體場效電晶體。

5.如申請專利範圍第 1 項所述之三五族半導體元件的內連導線，其中該擴散阻障層之厚度為 100 埃至 8000 埃。

6.如申請專利範圍第 1 項所述之三五族半導體元件的內連導線，其中該第一黏著層與該第二黏著層之材質包括鈦、鈦鎢合金與鉻。

7.如申請專利範圍第 1 項所述之三五族半導體元件的內連導線，其中該第一黏著層與該第二黏著層之厚度分別為 100 埃至 5000 埃。

8.如申請專利範圍第 1 項所述之三五族半導體元件的

內連導線，其中該三五族半導體元件包括一砷化鎵(GaAs)元件。

9.一種三五族半導體元件的內連導線製造方法，包括：
於一三五族半導體元件上形成一中間層；

於該中間層定義多數個開口，該些開口暴露部分該三五族半導體元件；

於該些開口所暴露的部分該三五族元件上形成一第一黏著層；

於該第一黏著層上形成一擴散阻障層；

於該擴散阻障層上形成一第二黏著層；以及

於該第二黏著層上形成一銅層。

10.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中該中間層為光阻，於該第二黏著層上形成該銅層之後，更包括移除該中間層。

11.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中該擴散阻障層之形成方法包括濺鍍與電子束蒸鍍。

12.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中該第一黏著層與該第二黏著層之形成方法包括濺鍍與蒸鍍。

13.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中該第一黏著層與該第二黏著層之材質包括鈦、鈦鎢合金與鉻。

14.如申請專利範圍第 9 項所述之三五族半導體元件

的內連導線製造方法，其中該三五族半導體元件包括一砷化鎵元件。

15.如申請專利範圍第 14 項所述之三五族半導體元件的內連導線製造方法，其中該砷化鎵元件包括一異質界面雙載子電晶體、一高電子移動電晶體與一金屬半導體場效電晶體。

16.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中於該第二黏著層上形成該銅層的方法包括濺鍍、蒸鍍、銅化學氣相沈積法與化學電鍍。

17.如申請專利範圍第 9 項所述之三五族半導體元件的內連導線製造方法，其中該中間層是介電層，其材質包括氧化矽、氮化矽、聚醯亞胺或是苯並環丁烯等。

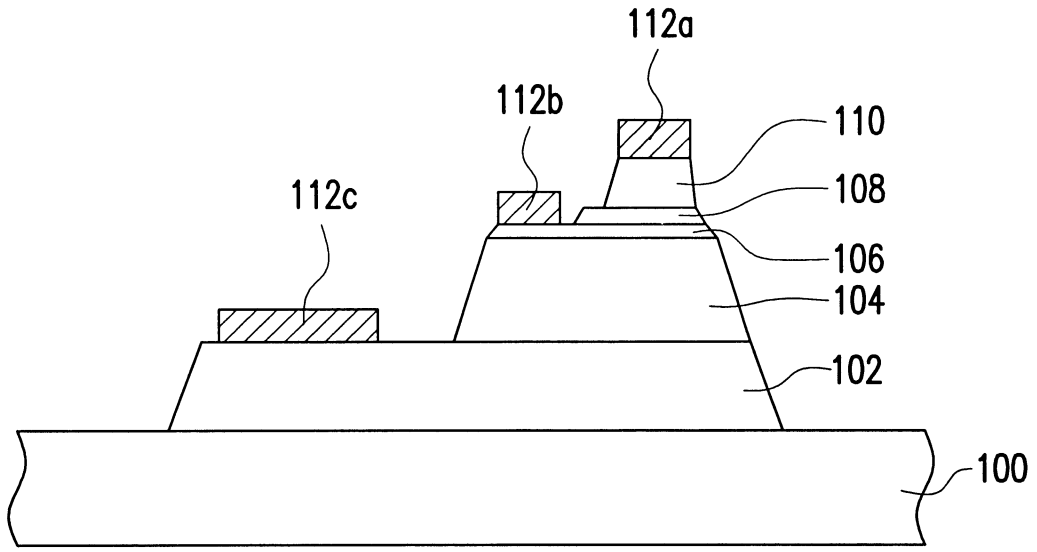


圖 1A

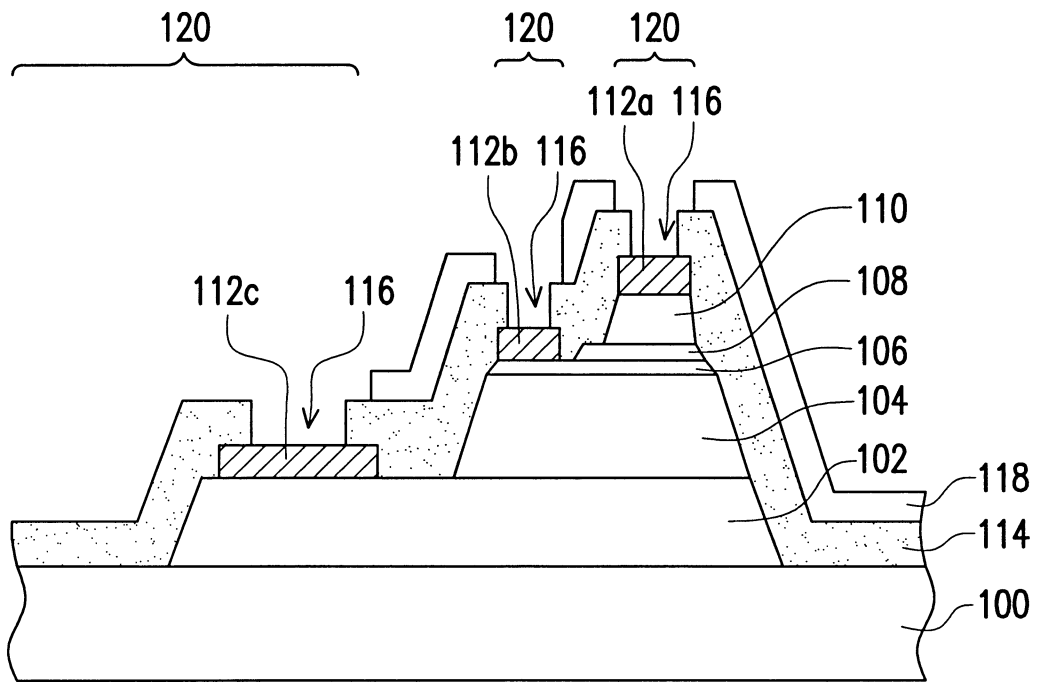


圖 1B

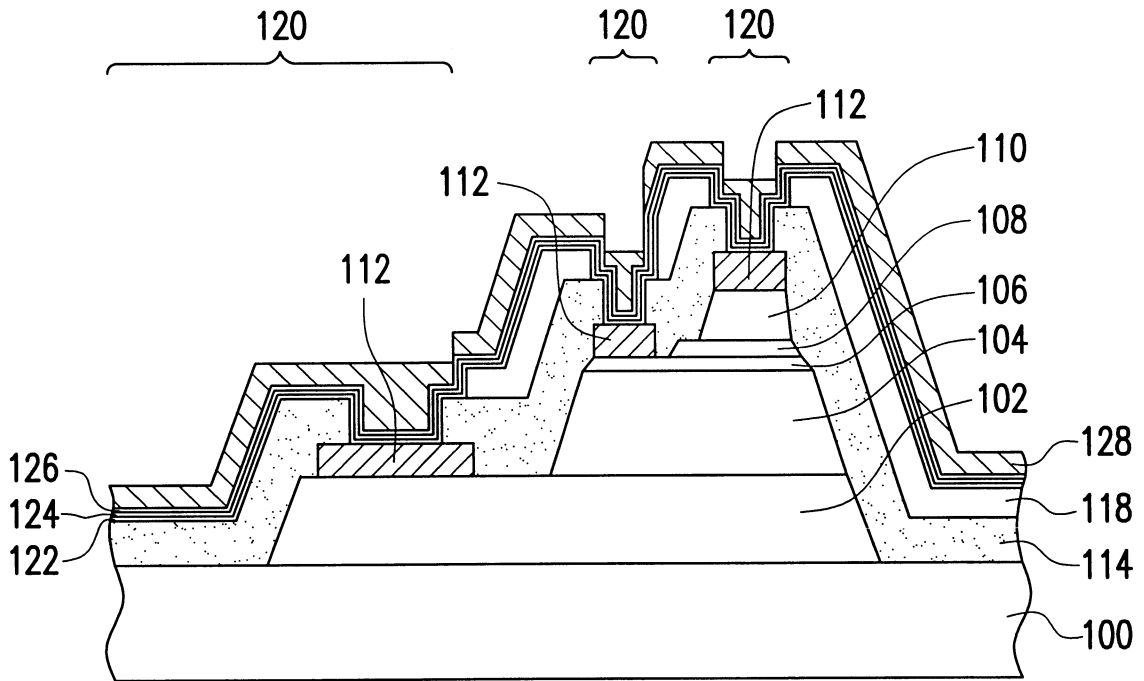


圖 1C

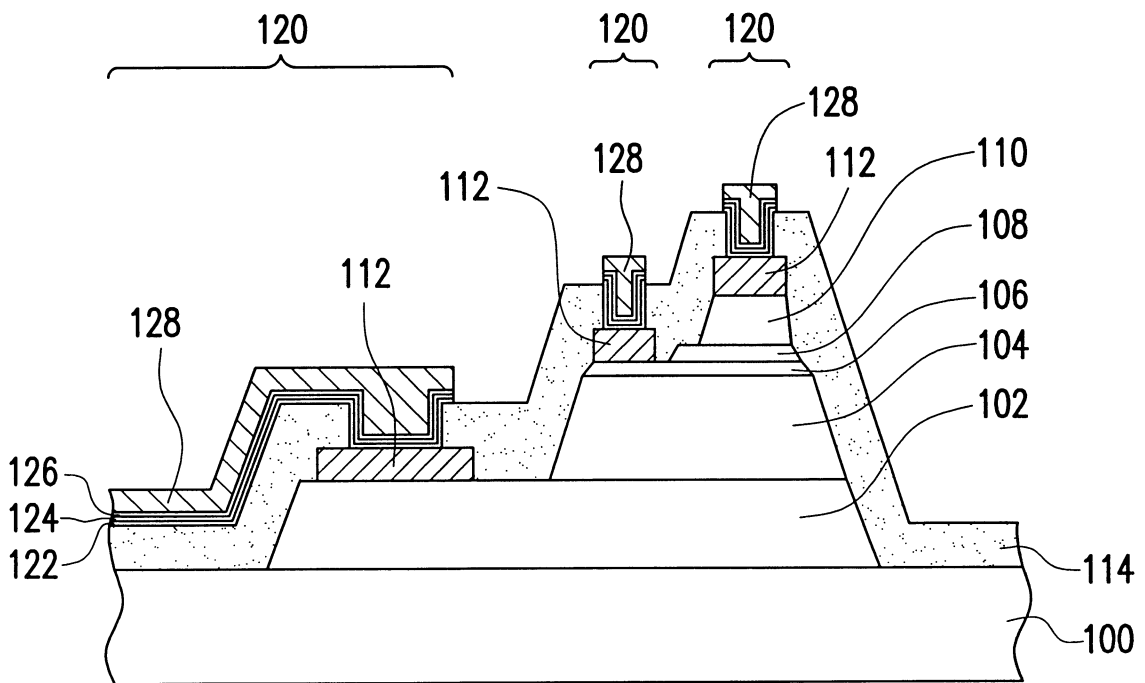


圖 1D

16862TW_J

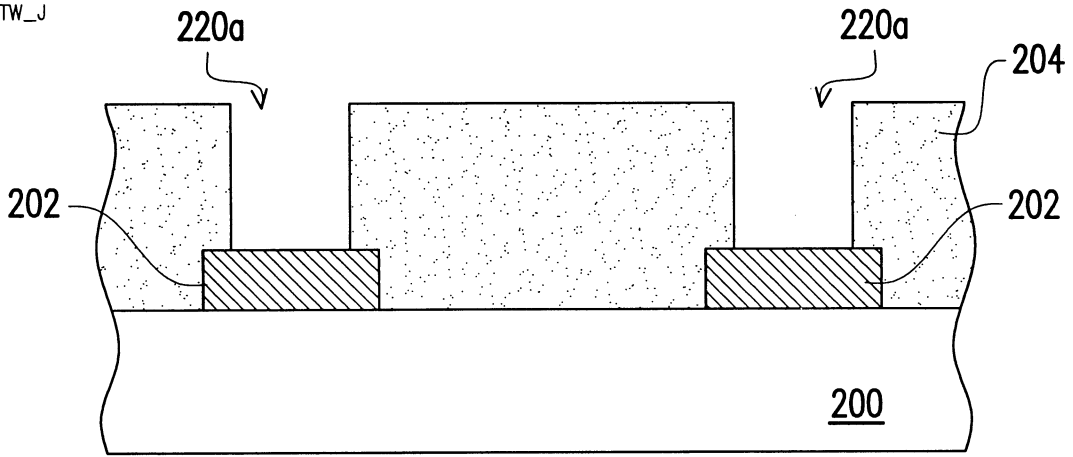


圖 2A

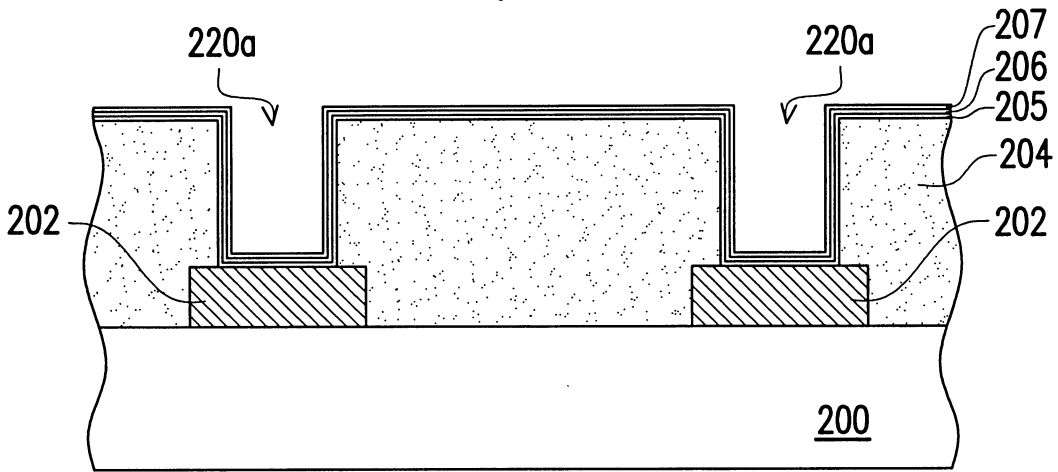


圖 2B

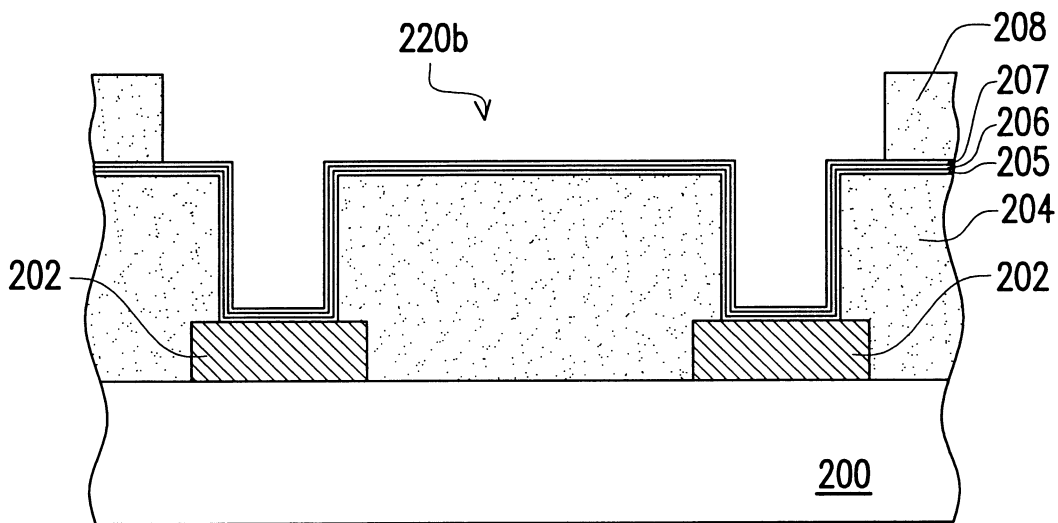


圖 2C

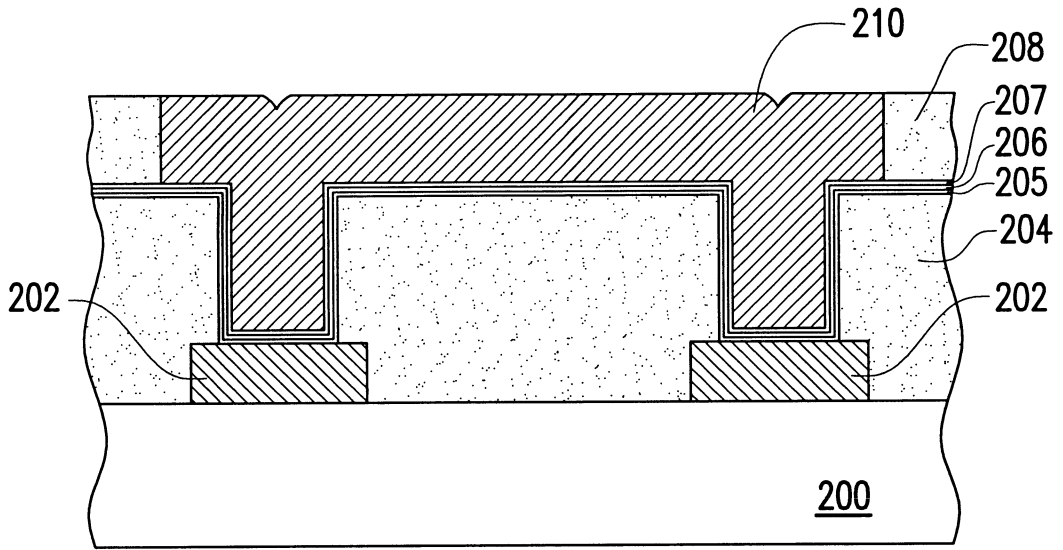


圖 2D

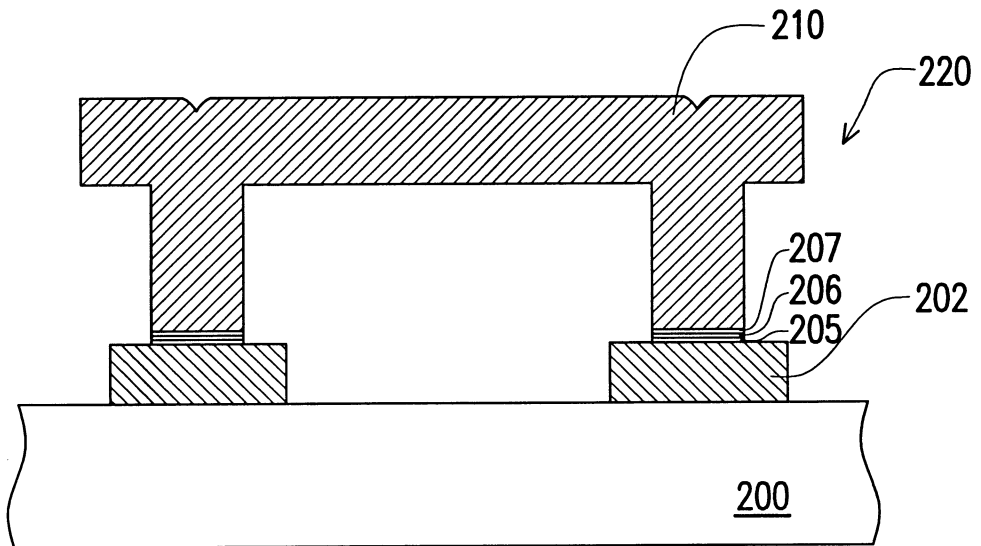


圖 2E

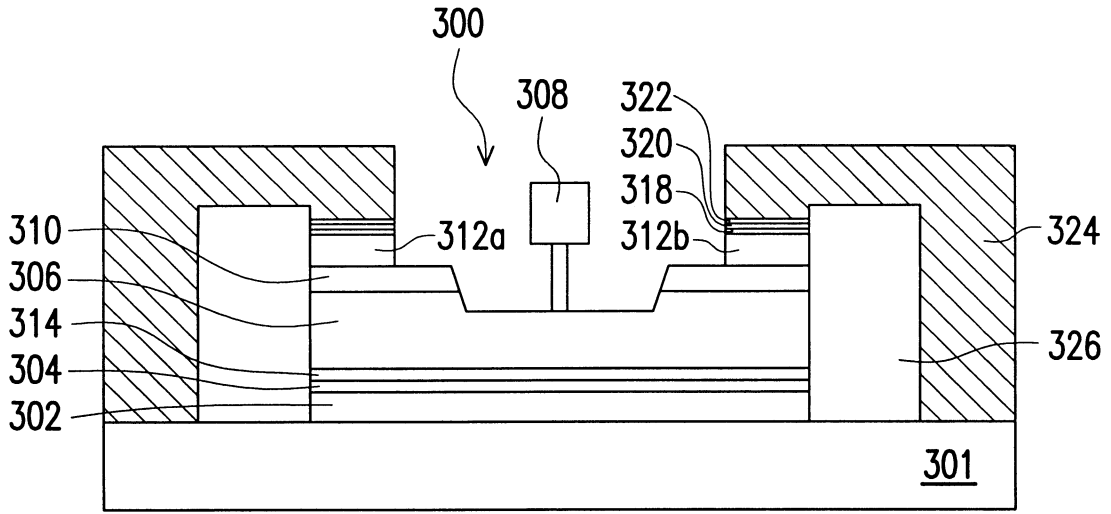


圖 3

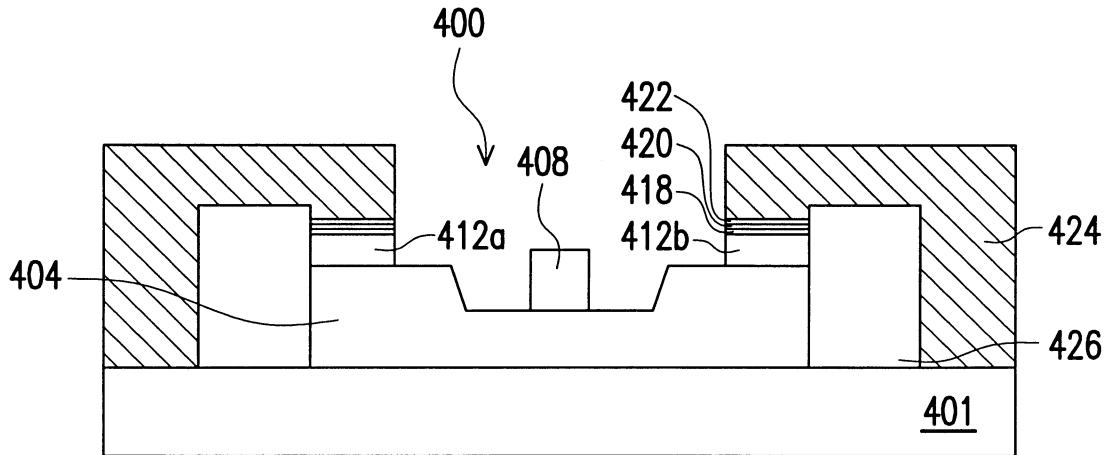


圖 4