

# 發明專利說明書 200704194

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94123214

※申請日期：94.7.8

※IPC 分類：H04N 7/26

(2006.01)

## 一、發明名稱：(中文/英文)

以匯流排同步傳輸的去方塊濾波器架構及其傳輸方法

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 張世騫

2. 彭文孝

3. 王士豪

4. 蔣迪豪

國 籍：(中文/英文) (均同) 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：94年1月11日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係揭露一種以匯流排同步傳輸的去方塊濾波器架構及其傳輸方法，其係建構在 ARM 平台式的 H.264 去方塊濾波器。本發明係利用匯排流同步傳輸之架構去減少巨方塊濾波處理時間；另外，本發明亦利用適應性傳輸方法去減少匯排流(Bus)的工作量。相較於先前技術而言，本發明可提升去方塊濾波器之效能，適合需要低成本同時又要達到即時的應用，並可整合到單晶片系統應用上。

## 六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明：

10 匯流排

12 輸入埠

14 輸出埠

16 濾波器

18 第一暫存器陣列

20 第二暫存器陣列

22 單埠記憶體

24 資料流控制單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種影像壓縮技術，特別是關於一種應用在 H. 264/MPEG-4 AVC 等影像壓縮領域中且以匯流排同步傳輸而設計的去方塊濾波器架構及其傳輸方法。

### 【先前技術】

H. 264/MPEG-4 AVC 係使用去方塊濾波器來去除因為離散餘弦轉換(DCT)所造成的方塊假象。一般而言，在相同品質下，使用此去方塊濾波器大約可減少 5-10%的位元率，並可藉此減少方塊效應。

去方塊濾波器在進行去方塊濾波時，如第一圖所示，對一個巨方塊 (macroblock, MB) 進行濾波之際，同時還需要左邊和上面巨方塊的部份資料，以便對巨方塊內之四個 4\*4 亮度方塊 (Y) 與二個 4\*4 色度方塊 (U、V) 之邊界做處理，進行去方塊濾波運算。然後，在進行濾波時之順序則如第二圖所示。且在巨方塊中，左右或上下相鄰的兩個 4\*4 方塊都含有 4 筆 8 個像素 (A0-A3, B0-B3) 的資料；再以每一筆資料為一單位輸入至一維濾波器 (1-D filter) 中進行濾波運算。其中，想要進行一個一維濾波器運算，通常需要有三種參數，第一種為邊緣強度 (boundary strength)，第二種為限制參數  $\alpha$  和  $\beta$ ，第三種則為 8 個像素 (A0-A3, B0-B3)；首先，根據方塊之特性計算出邊緣強度值為何，再配合限制參數之值，以及 8 個像素等這些參數進行一維濾波器的運算過程。因此，藉由一個去方塊濾波器可減少方塊效應，且對每個 4\*4 方塊的邊緣，此方塊濾波器可以針對不同邊緣強度，量化參數和輸入像素值而對應做出不同的濾波。

在先前技術中，由於計算複雜度較高，Y.-W. Huang 等人於 2003 年發表之 “Architecture Design For De-blocking Filter in H.264/JVT/AVC,” *IEEE ICME* 以及 M. Sima 等人於 2004 年發表之 “An Efficient Architecture for Adaptive Deblocking Filter of H.264/AVC,” *IEEE Trans. on Consumer Electronics*, vol. 50, no. 1, pp. 292-296 之相關論文中，都是發表了硬體的加速器。其中，M. Sima 等人論文的架構是每次以訊框 (frame) 為濾波單位進行濾波，所以需要較大的記憶體和較長的處理時間。另一方面，Y.-W. Huang 等人論文是每次以巨方塊為濾波單位進行濾波，所以可用較小的記憶體，且此論文係採用雙埠記憶體 (two-ported SRAMs) 去同時進行讀寫動作，此舉雖可增加速度，但是此種記憶體需要相對付出高成本；再者，此篇論文需要存放整張巨方塊後才能進行濾波，而且每次傳送的大小都是固定一整張巨方塊，並無法提升效能。

有鑑於此，本發明遂提出一種以匯流排同步傳輸的去方塊濾波器架構及其傳輸方法，以減少匯流排工作量，並提高去方塊濾波效能，可據此改善存在於先前技術中之該些缺失。

### 【發明內容】

本發明之主要目的係在提供一種以匯流排同步傳輸的去方塊濾波器架構及其傳輸方法，其係利用此架構使輸入輸出資料可同時進行去方塊濾波，使外部資料傳輸給濾波器之際，濾波運算也可同時執行，以增加去方塊濾波器之處理速度，以提升其工作效能。

本發明之另一目的係在提供一種以匯流排同步傳輸的去方塊濾波器架

構及其傳輸方法，其係利用適應性傳輸方法將傳輸分為數種模式，以有效減少不必要的傳輸，進而減少匯流排之工作量，使匯流排頻寬更有效地被利用。

本發明之再一目的係在提供一種以匯流排同步傳輸的去方塊濾波器架構及其傳輸方法，其係符合低成本之需求，且又同時可達到即時雙向傳輸之功效者，更可整合至單晶片系統（SoC）的應用上。

為達到上述之目的，本發明之去方塊濾波器架構係在一匯流排上之輸入埠與輸出埠間進行巨方塊之去方塊濾波處理，此去方塊濾波器架構包括一第一暫存器陣列，用以存放來自匯流排的一方塊；一個一維濾波器對該匯流排輸入之另一方塊與存放在第一暫存器陣列中之該方塊進行水平濾波處理，以得到一暫時方塊以及一已濾波方塊，此暫時方塊係取代原本存在第一暫存器陣列中之方塊，而已濾波方塊則存放在一第二暫存器陣列；將全部濾波完畢的已濾波方塊轉置後寫入至一單埠記憶體，此時仍重複上述之濾波處理，使第二暫存器陣列可以水平輸入-垂直輸出或垂直輸入-水平輸出的交替方式依序寫入單埠記憶體中，直至該巨區塊內的所有區塊之水平濾波皆以欄型式存放在單埠記憶體中為止；再者，第一暫存器陣列與一維濾波器係自單埠記憶體內讀入該區塊資料，並以相同的手段進行垂直濾波，使存在於第二暫存器陣列內已濾波之方塊直接經該匯流排輸出至一中央處理單元；且利用一資料流控制單元來控制上述各元件之間的所有區塊資料流之動作。

另外，本發明亦提出一種適應性傳輸方法來減少匯流排的工作量，其

係根據巨方塊的邊緣強度而分為 8 種濾波模式，以根據此模式判斷該巨方塊是否需進行去方塊濾波處理或是判斷所需進行去方塊濾波處理的程度。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

本發明係以平台式匯排流同步傳輸 (bus-interleaved) 之架構而設計的 H.264/MPEG-4 AVC 去方塊濾波器架構與傳輸方法。為了減少頻寬和功率需求，本發明先使用適應性傳輸方法 (adaptive transmission scheme) 將傳輸分成 8 個模式，以有效減少不必要的傳輸。接著，為了增加去方塊濾波器的處理速度，利用本發明所揭示的去方塊濾波器之匯流排同步傳輸 (bus-interleaved) 架構，使輸入輸出資料同時可以進行去方塊濾波。底下係針對此二部份進行詳細之說明。

### 【適應性傳輸方法】

在進行去方塊濾波之前，由於並非所有的巨方塊資料都需要被濾波，當邊緣強度為零時，因其不需要被濾波，所以會在匯流排傳輸上造成頻寬的浪費。因此本發明根據一個目前的巨方塊是否需要和上面巨方塊、左邊巨方塊以及自己內部進行濾波，而將濾波模式根據邊緣強度而分成 8 種濾波模式，如下列表 1 所示。且當所需傳輸資料較小的模式係在巨方塊資料中佔有較大的比例。因此，對於沒有適應性傳輸的先前技術而言，本發明更可以節省頻寬和功率，頻寬大約可以節省 25-94% 左右。



表 1

模式	左邊*	上面*	目前*	資料大小
1	Y	Y	Y	160
2	N	Y	Y	128
3	Y	N	Y	128
4	N	N	Y	96
5	Y	Y	N	116
6	N	Y	N	64
7	Y	N	N	64
跳過	N	N	N	0

\*代表巨方塊需要傳輸。

其中，N 代表邊緣強度為零，Y 代表邊緣強度非為零。

### 【匯流排同步傳輸之架構】

匯流排同步傳輸之架構的目的在於使外部資料傳輸給濾波器的同時，濾波運算也能同時執行。本發明之去方塊濾波器架構如第三圖所示，其係在一匯流排 10 上之輸入埠 12 與輸出埠 14 間進行巨方塊資料之去方塊濾波處理，且每巨方塊係由 16 個 4\*4 像素之方塊組成，此去方塊濾波器架構係由一個一維濾波器 16、二個 4\*4 像素大小之暫存器陣列 18、20、一個 96\*32 位元之單埠 (single-ported) 記憶體 22 以及一個資料流控制單元 24 所組成。

第一暫存器陣列 18 係存放來自匯流排的一方塊，一維濾波器 16 則對自匯流排 10 輸入之另一方塊與第一暫存器陣列 18 中之方塊進行列型式的水平濾波處理，以得到一暫時方塊以及一已濾波方塊，此暫時方塊會取代原本存在於第一暫存器陣列 18 中之方塊；而已濾波方塊則寫入至第二暫存器陣列 20，將全部濾波完畢的已濾波方塊先進行轉置後再寫入至單埠記憶體 22，此時仍重複上述之濾波處理，使第二暫存器陣列 20 可以不斷地水平輸入-垂直輸出或垂直輸入-水平輸出的交替方式依序寫入單埠記憶體 22 中，直至該巨區塊內的所有區塊之所有水平濾波皆以欄型式存放在單埠記憶體 22 中；接著，第一暫存器陣列 18 與一維濾波器 16 係自該單埠記憶體 22 內依序讀入每一該區塊資料，並以相同的手段進行垂直濾波，濾波完成後先進行轉置後再直接將存於第二暫存器陣列 20 內之列型式已濾波方塊直接經該匯流排 10 之輸出埠 14 輸出至一中央處理單元（圖中未示）；而在圖式中的資料流控制單元 24 則用以控制上述各元件之間的所有該區塊資料流之動作。

在說明完本發明之精神後，再以本發明之架構如何對一個巨方塊進行濾波之過程詳細說明如後。

首先，要先知道在巨方塊中 16 個 4\*4 方塊被處理的順序，如第四(a)圖所示，說明 16 個垂直的 4\*4 方塊邊緣要進行水平濾波（horizontal filtering）的順序，如圖中標示數字所示，當所有水平濾波結束，再如第四(b)圖所示，說明 16 個水平的 4\*4 方塊邊緣要進行垂直濾波（vertical filtering）的順序。

第五圖顯示輸入巨方塊裡  $4 \times 4$  方塊的順序， $Row(n, B_m)$ 是指在第  $m$  個方塊(Block  $m$ )裡的第  $n$  條列 (row)。請同時參閱第三圖所示，先說明水平濾波的過程，假設 Block 0 已經放在第一暫存器陣列 18 中，利用 Block 0 與 Block 1 進行濾波運算，在第一單位時間內，從匯流排 10 輸入埠 12 讀取  $Row(1, B_1)$ 和從第一暫存器陣列 18 中讀取  $Row(1, B_0)$ 給一維濾波器 16；下一單位時間，將一維濾波器產生的暫時列( $Row(1, B_1)$ \_intermediate)取代第一暫存器陣列 18 中第一條列的位置，而產生的已濾波列( $Row(1, B_0)$ \_h)則是存放到第二暫存器陣列 20 中之第一條列的位置。經過四個單位時間後，被濾波完畢的 Block 0 的四條列都已經放在第二暫存器 20 陣列中，稱之為暫時方塊，請同時參第六(a)圖所示，接著，將此 Block 0 的四條欄 (column) 一筆筆依序寫入單埠記憶體 22 中，請同時參第六(b)圖所示；在此同時，仍然可以進行濾波處理把  $Row(n, B_2)$ 從匯流排 10 輸入埠 12 讀取而從第一暫存器陣列 18 中讀取暫時列  $Row(n, B_1)$ \_intermediate。由於第二暫存器陣列 20 表現水平輸入-垂直輸出或垂直輸入-水平輸出的交替方式寫入單埠記憶體 22，所以濾波過程不會中斷，且一維濾波器 16 的使用率是 100%，直到所有水平濾波的結果都是以欄 (column) 的型式存在於單埠記憶體中為止。然後，本發明就可以用相同的方法進行垂直濾波運算，只是不再由匯流排 10 輸入埠 12 讀入而是從單埠記憶體讀入，而第二暫存器陣列 20 不再寫入記憶體 22，而是直接經由輸出埠 14 至匯流排 10 輸出給外部中央處理單元。由此可以了解，垂直濾波可以完全重複使用水平濾波的硬體；另外，資料從匯流排輸入或輸出的同時，就可以同步進行去方塊濾波

的處理。

其中，當進行目前巨方塊去方塊濾波的處理時本發明可以用另一塊硬體同步計算下一個巨方塊的邊緣強度，因此計算邊緣強度的時間可以被覆蓋掉而不增加整體的處理時間。

據上論結，本發明係利用此架構使輸入輸出資料可同時進行去方塊濾波，使外部資料傳輸給濾波器之際，濾波運算也可同時執行，以增加去方塊濾波器之處理速度，以提升其工作效能。再同時利用適應性傳輸方法將傳輸分為數種濾波模式，以有效減少不必要的傳輸，進而減少匯流排之工作量，使匯流排頻寬更有效地被利用。因此，本發明係符合低成本之需求，且又同時可達到即時雙向傳輸之功效者，更可整合至單晶片系統（SoC）的應用上。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

### 【圖式簡單說明】

第一圖為巨方塊與左邊和上面巨方塊的部份資料示意圖。

第二圖為各邊緣在一巨方塊內被濾波的順序示意圖。

第三圖為本發明之去方塊濾波器架構之結構示意圖。

第四(a)圖及第四(b)圖分別為本發明在進行水平濾波與垂直濾波的順序之示意圖。

第五圖為本發明之巨方塊中每個 4\*4 方塊自匯流排輸入的順序示意圖。

第六(a)圖及第六(b)圖分別為本發明之第二暫存器陣列在進行轉置前後的動作示意圖。

**【主要元件符號說明】**

- 10 匯流排
- 12 輸入埠
- 14 輸出埠
- 16 濾波器
- 18 第一暫存器陣列
- 20 第二暫存器陣列
- 22 單埠記憶體
- 24 資料流控制單元

## 十、申請專利範圍：

1、一種以匯流排同步傳輸的去方塊濾波器架構，其係在一匯流排上之輸入埠與輸出埠間進行巨方塊之去方塊濾波處理，且該巨方塊係由複數方塊組成，該去方塊濾波器架構包括：

一第一暫存器陣列，用以存放來自該匯流排的一方塊；

一個一維濾波器，其係對該匯流排輸入之另一方塊與該方塊進行水平濾波處理，以得到一暫時方塊以及一已濾波方塊，該暫時方塊係取代原本存在該第一暫存器陣列中之方塊；

一第二暫存器陣列，用以存放該已濾波方塊，將全部濾波完畢的該已濾波方塊轉置後寫入至一單埠記憶體，此時仍重複上述之濾波處理，使該第二暫存器陣列可以水平輸入-垂直輸出或垂直輸入-水平輸出的交替方式依序寫入該單埠記憶體中，直至該巨區塊內的所有區塊之所有水平濾波皆以欄型式存放在該單埠記憶體中；

該第一暫存器陣列與該一維濾波器係自該單埠記憶體內讀入該區塊資料，並以相同的手段進行垂直濾波，使存在於該第二暫存器陣列內已濾波之該方塊直接經該匯流排輸出至一中央處理單元；以及

一資料流控制單元，係用以控制上述各元件之間的所有該區塊資料流之動作。

2、如申請專利範圍第1項所述之以匯流排同步傳輸的去方塊濾波器架構，其中每一該巨方塊係由16個4\*4區塊所組成。

3、如申請專利範圍第2項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該第一暫存器陣列與該第二暫存器陣列係為4\*4像素大小之暫存器陣

列。

4、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中在目前該巨方塊進行去方塊濾波處理之同時，係可同步計算下一個巨方塊的邊緣強度，以供判斷是否需進行去方塊濾波處理。

5、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中在該巨方塊進行進行去方塊濾波處理之前，更可先計算該巨方塊的邊緣強度，以供判斷所需進行去方塊濾波處理的程度。

6、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該巨方塊先進行水平濾波處理之順序係以每二個水平相鄰之區塊依序進行，直至所有水平濾波結束後，再對該巨方塊內之每二個垂直相鄰之區塊進行垂直濾波處理。

7、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該巨區塊在進行水平濾波時，該巨區塊係與其左/右側相鄰之巨塊的相鄰欄區塊進行濾波。

8、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該巨區塊在進行垂直濾波時，該巨區塊係與其上/下側相鄰之巨塊的相鄰列區塊進行濾波。

9、如申請專利範圍第 1 項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該一維濾波器在進行水平濾波時，係以每一該區塊內之列為單位，依序進行水平濾波與存放，當該區塊內之所有列皆處理完成後，即可進行下一區塊的處理；以及在該第二暫存器陣列中存放之該已濾波方塊，係將每

一該區塊內之列進行轉置，使其以欄型式寫入至該單埠記憶體中。

10、如申請專利範圍第9項所述之以匯流排同步傳輸的去方塊濾波器架構，其中該一維濾波器在進行垂直濾波時，係直接以每一該區塊內之欄為單位，依序進行垂直濾波與傳輸，當該區塊內之所有欄皆處理完成後，即可進行下一區塊的處理。

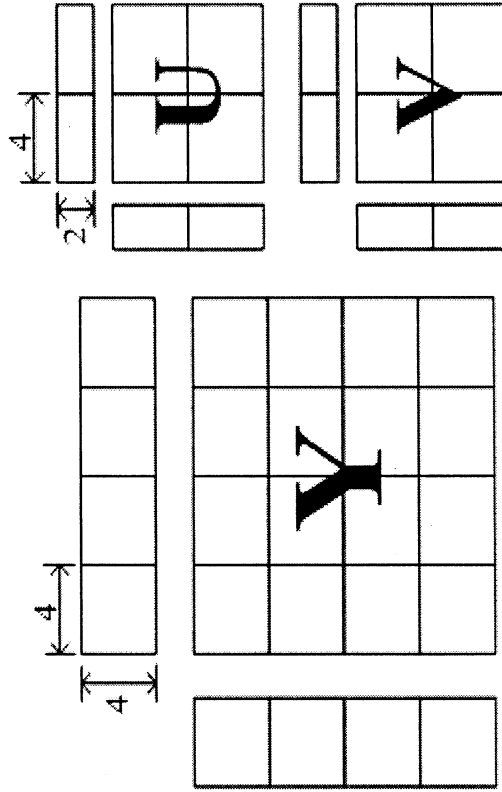
11、一種以匯流排同步傳輸的適應性傳輸方法，該方法係先依據一個目前的巨方塊是否需要和上面巨方塊、左邊巨方塊以及自己內部進行濾波，而將濾波模式根據該巨方塊之邊緣強度而分成八種模式，如下列所示：

模式	左邊巨方塊*	上面巨方塊*	目前巨方塊*
1	Y	Y	Y
2	N	Y	Y
3	Y	N	Y
4	N	N	Y
5	Y	Y	N
6	N	Y	N
7	Y	N	N
跳過	N	N	N

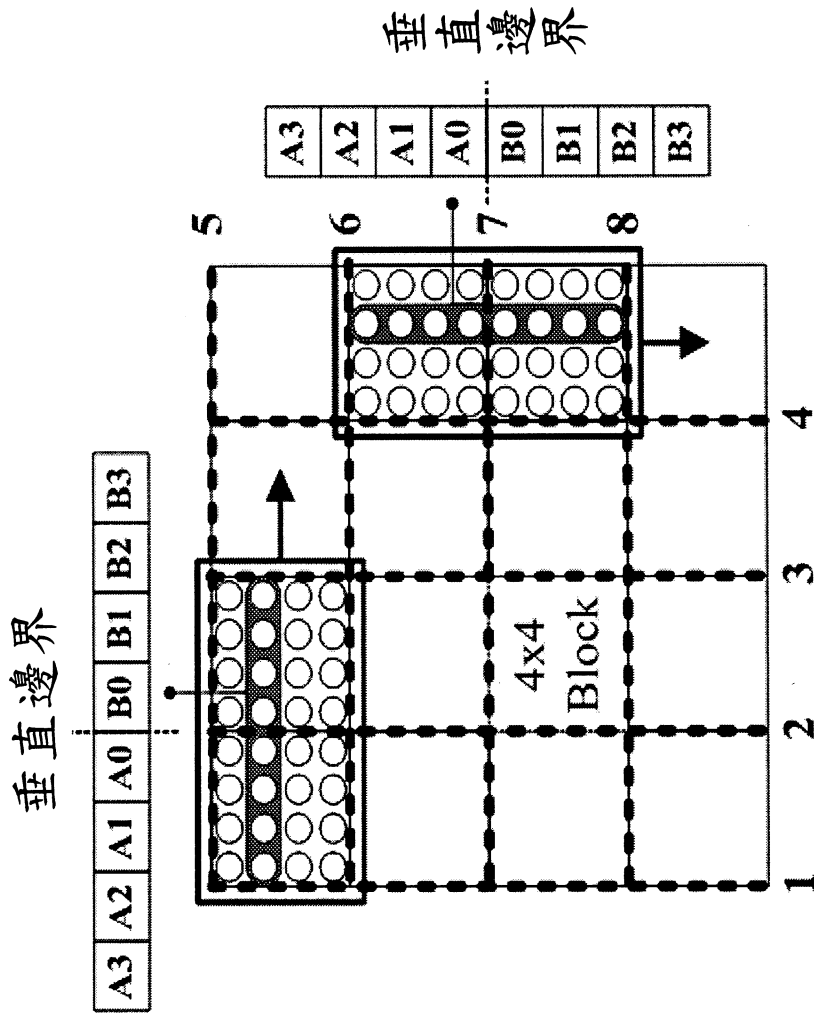
其中，\*代表巨方塊需要傳輸，且N代表邊緣強度為零，Y代表邊緣強度非為零；以及

根據該八種模式判斷該巨方塊是否需要進行去方塊濾波處理或是判斷所需進行去方塊濾波處理的程度。

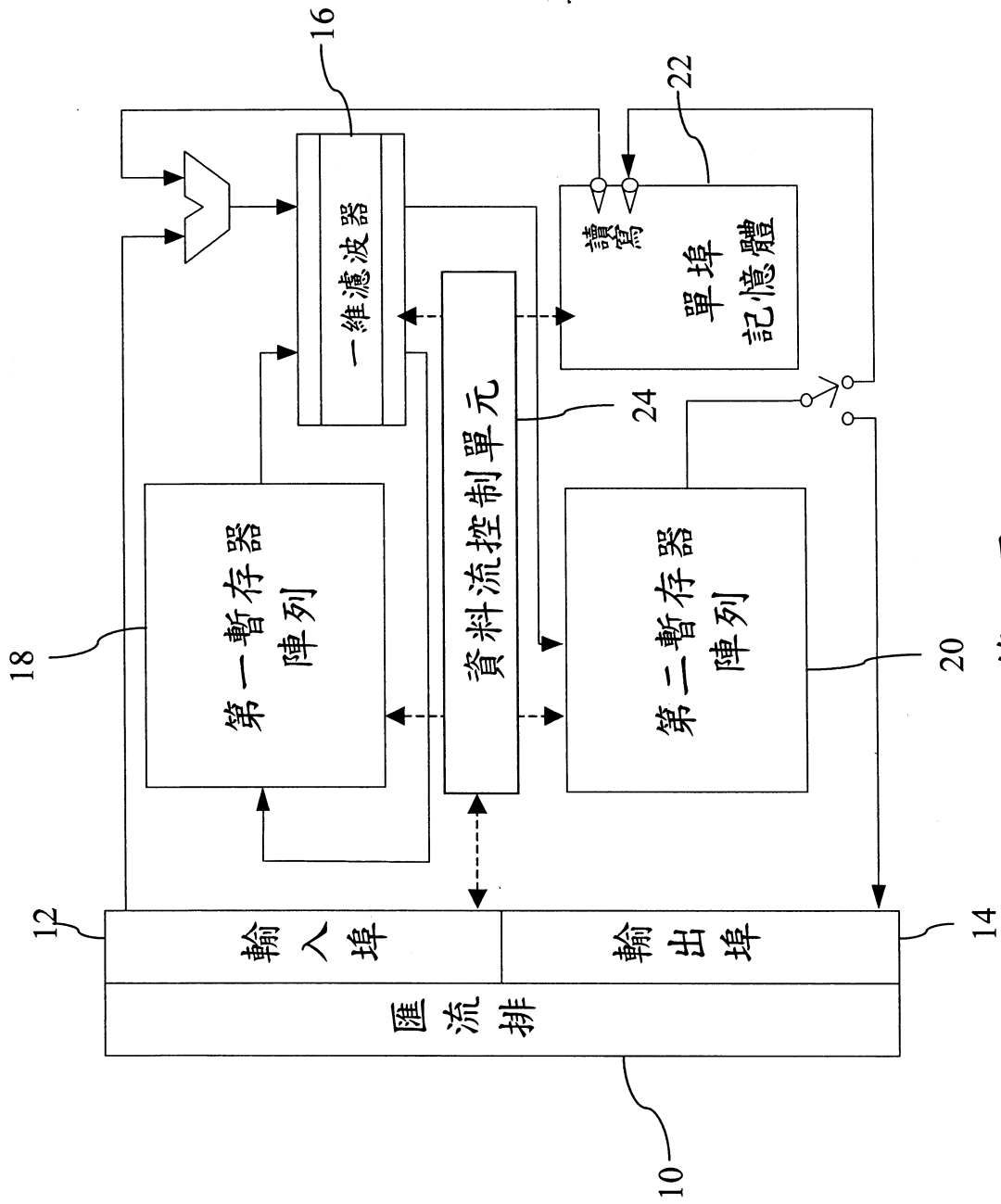




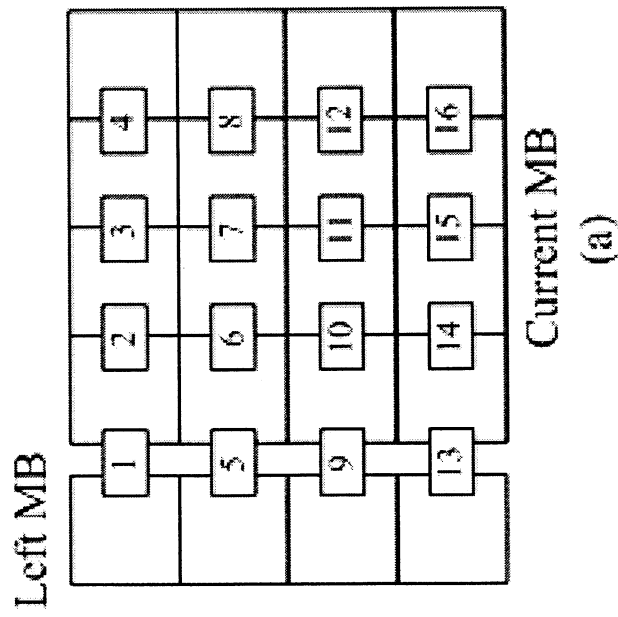
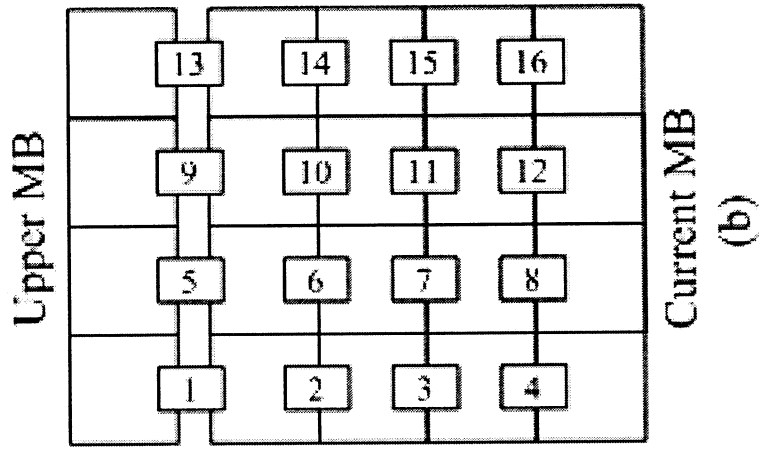
第一圖  
(先前技術)



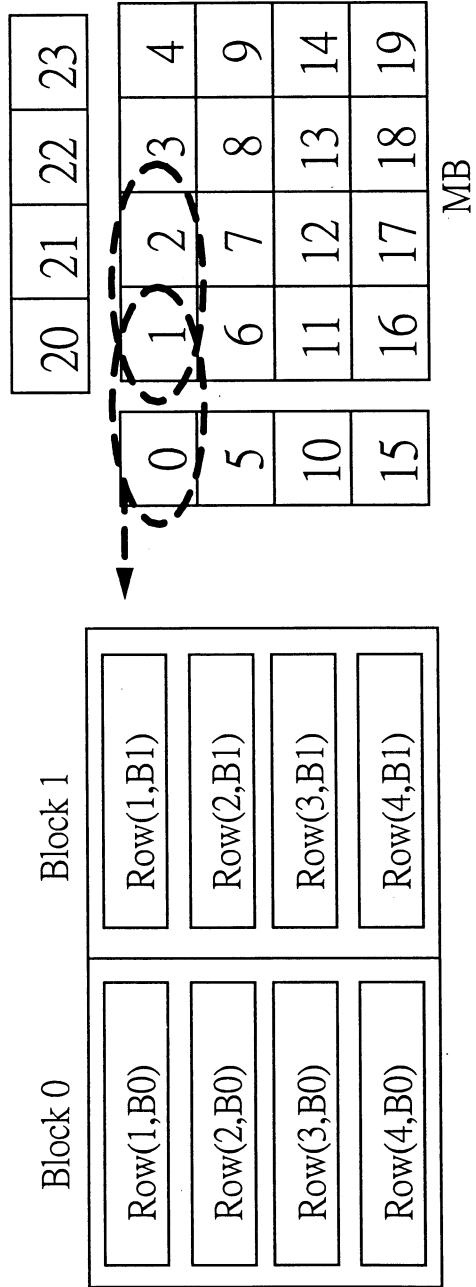
第二圖  
(先前技術)



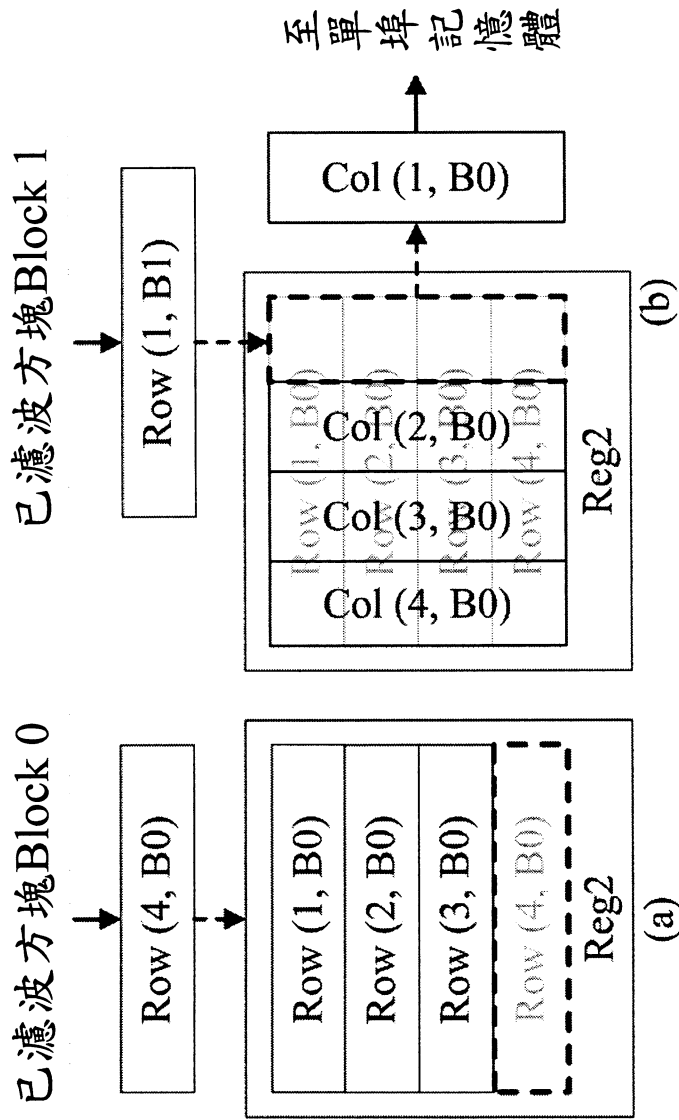
第三圖



第四圖



第五圖



第六圖