

# 發明專利說明書

200644427

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：74119599

※申請日期：74-6-14

※IPC 分類：H03K 21/38 (2006.01)

## 一、發明名稱：(中文/英文)

動態頻率計數之全數位倍頻器

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文) 中華民國 TW

## 三、發明人：(共 1 人)

姓名：(中文/英文) 1. 李鎮宜

2. 陳寶龍

國籍：(中文/英文) 1. 中華民國 TW

2. 中華民國 TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：94年5月26日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係揭露一種動態頻率計數之全數位倍頻器，其係利用動態頻率計數的方式來計算及調整數位式震盪器的輸出頻率，且為了簡化硬體架構，更採用 2 的次方來進行運算；而習知之可程式除頻器及相頻偵測器則被簡單之漣波計數器所取代，且於作為 DCO 輸出時序計數器之漣波計數器中取值的方式係區分為商數值 Q 與餘數值 R 的方式，而非直接讀取整數值。由於本發明採用動態時間方式計算，使得頻率解析度得以提高，對於輸出頻率亦具有較低的抖動量。

## 六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

40 參考時序計數器

42 DCO 輸出時序計數器

44 動態頻率計數 (DFC) 迴路控制器

46 數位控制震盪器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種全數位倍頻器 (all-digital frequency multiplier)，特別是關於一種利用動態頻率計數方式來計算調整數位式震盪器之輸出頻率的全數位倍頻器。

### 【先前技術】

近年來隨著科技的發展，人類對資訊的需求已邁入了無線通訊的時代。許多無線通訊系統陸續被提出，且隨著通訊系統的發展，如何去獲得精準的振盪頻率是很重要的；一般石英震盪器通常應用於低頻裝置上而無法直接應用於高頻裝置上，因此通常需要先進行頻率轉換之步驟來產生多重時脈訊號，此即稱之為時脈倍頻器。

一般常見之時脈倍頻器大多以類比式相鎖迴路 (Phase-Locked Loop, PLL) 以及全數位式相鎖迴路 (All-digital Phase-Locked Loop, ADPLL) 來實施。請參閱第 1 圖所示，一般常見之相鎖迴路電路通常包含一相頻偵測器 (PFD) 10、電荷幫浦 12、迴路濾波器 14、可程式除頻器 16 以及一電壓控制震盪器 (VCO) 18 等基本要件所組成。一參考時脈訊號 REF\_clk 輸入至一相頻偵測器 10 以偵測訊號相位與頻率，經電荷幫浦 12 提供足夠的電壓後，利用迴路濾波器 14 將訊號電壓輸入至電壓控制震盪器 18，再以可程式除頻器 16 將該訊號除以倍數因子 N，而後回饋至相頻偵測器 10；整個相鎖迴路可根據電壓控制震盪器 18 之輸出時脈 VCO\_clk 而轉換成 N 倍的輸出參考頻率  $N \times \text{REF\_clk}$ 。然而在電晶體持續微縮的競爭中，類比式的相鎖迴路

電路卻無法獲得像一般數位電路所能得到的面積縮小、高效能、低功耗等種種優點，因而發展出另外一種全數位式相鎖迴路設計。

全數位式相鎖迴路電路如第 2 圖所示，其係包含相頻偵測器 20、迴路控制器 22、數位迴路濾波器 24、數位控制震盪器 (DCO) 26、28 以及可程式除頻器 30 等基本要件所組成。一參考時脈訊號 REF\_clk 輸入至相頻偵測器 20 以偵測訊號相位與頻率，迴路控制器 22 產生數位指令以追蹤數位控制震盪器 28 根據相頻偵測器 20 之結果而輸出時脈訊號，再以可程式除頻器 30 將該訊號除以倍數因子 N，而後回饋至相頻偵測器 20，最後利用數位迴路濾波器 24 將訊號電壓輸入至另一數位控制震盪器 26；整個相鎖迴路可根據數位控制震盪器 26 之輸出時脈 DCO\_clk 而轉換成 N 倍的輸出參考頻率  $N \times \text{REF\_clk}$ 。此種相鎖迴路通常以固定時間去調整及計算數位控制震盪器 26 的頻率，無法利用延長量測時間來增進頻率偵測的解析度；且為了輸出低抖動時脈，通常使用二個數位控制震盪器 26、28，但此舉卻會造成功率消耗增加以及需要較大的面積。

再者，不管是類比式相鎖迴路或是全數位式相鎖迴路，其在回饋路徑上須要有一可程式除頻器，同時額外需要一個相頻器，導致其架構較為複雜且因所需之閘數較多，其功率消耗亦相對較大。因此，本發明係針對上述之缺失，提出一種利用動態頻率計數方式來計算及調整頻率之全數位倍頻器，以改善存在於先前技術中之該些缺點。

### 【發明內容】

本發明之主要目的係在提供一種動態頻率計數之全數位倍頻器，其係

利用動態頻率計數方式來計算及調整頻率，使得產生輸出的頻率為參考時脈訊號頻率的整數倍，而無須額外再使用高解析度的相頻偵測器或時間轉換電路。

本發明之另一目的係在提供一種動態頻率計數之全數位倍頻器，其係以 2 的次方倍數時間進行計算，以大大簡化硬體架構及其所須的成本，並同時可以提升頻率偵測的準確度。

本發明之再一目的係在提供一種動態頻率計數之全數位倍頻器，其係利用臨界值的設定來降低頻率估算誤差及降低數位控制震盪器控制指令 (DCW) 切換頻率，因此減少數位控制震盪器的輸出抖動量，而能夠達成輸出低抖動時脈。

為達到上述之目的，本發明係包含一參考時序計數器可接收一輸入參考時脈訊號，並可據此估計其頻率；一輸出時序計數器則可估計出輸出頻率；並利用一動態頻率計數迴路控制器接收一倍數因子，並根據該參考時脈訊號與輸出頻率進行動態頻率計數，使一數位控制震盪器可據此調整其輸出之輸出頻脈，且其可回饋至輸出時序計數器，此最後輸出之時脈為該參考時脈訊號乘以倍數因子的輸出參考頻率。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

## 【實施方式】

第 3 圖為本發明之全數位倍頻器的方塊示意圖，如圖所示，此動態頻率計數之全數位倍頻器包括一參考時序計數器 40、一 DCO 輸出時序計數器

42、一動態頻率計數 (DFC) 迴路控制器 44 以及一數位控制震盪器 46 等；且此架構不需要可程式除頻器，係利用 DCO 輸出時序計數器 42 作為 DCO 輸出頻率之頻率估計器 (frequency estimator)，且其亦可達到可程式除頻器之作用，同樣地，參考時序計數器 40 可作為輸入參考時序訊號的頻率估計器；該參考時序計數器 40 可接收一輸入參考時脈訊號 REF\_clk，並可據此估計其頻率，且輸出時序計數器 42 可估計出 DCO 輸出頻率，以利用動態頻率計數迴路控制器 44 接收一倍數因子 N，並根據該參考時脈訊號與輸出頻率進行動態頻率計數。當然，動態頻率計數迴路控制器 44 係根據平均頻率誤差來進行動態計數調整，在此過程中，係採用二進位搜尋之迴路增益控制來達到快速鎖定。參考時序計數器 40 係從該輸入參考時脈訊號之速度開始計數，此計數器 40 在每一個輸入參考時脈訊號之上緣進行計數，開始計數之初始值為 0；同樣地，DCO 輸出時序計數器 42 從數位控制震盪器 46 之輸出時脈開始計數，當參考時序計數器 40 為 2 次方的參考時脈週期時，在 DCO 輸出時序計數器 42 中之商數值 Q 與餘數值 R 會回饋與輸入至動態頻率計數迴路控制器 44 之倍數因子 (multiplication factor) N 相比較，此頻率取樣週期即為 2 次方輸入參考時脈訊號週期。假如頻率比較結果仍維持沒有改變，則參考時序計數器 40 與 DCO 輸出時序計數器 42 將會繼續計數頻率的累積；相反地，若有改變，則動態頻率計數迴路控制器 44 會將頻率誤差訊號轉換成一 DCO 控制指令 (DCW) 給數位控制震盪器 46，以調整數位控制震盪器 46 之輸出頻率，同時，該二計數器 40、42 歸零重新開始計數(Reset)。



因此，數位控制震盪器 46 可根據動態頻率計數迴路控制器 44 之計數結果調整其輸出之輸出時脈 DCO\_clk，其可回饋至輸出時序計數器 42，使最後之輸出時脈為參考時脈訊號乘以倍數因子 N 的輸出參考頻率  $N \times \text{REF\_clk}$ 。整個全數位倍頻器可根據數位控制震盪器 46 之輸出時脈 DCO\_clk 而轉換成 N 倍的輸出參考頻率  $N \times \text{REF\_clk}$ 。

第 4 圖為本發明之動態頻率計數迴路控制器之示意圖，如圖所示，動態頻率計數迴路控制器 44 係利用一決定單元 48 來進行數位計算比較以及發出控制訊號來更新 DCO 控制指令，此決定單元 48 會根據 2 次方輸入參考時脈訊號週期來比較 DCO 輸出時序計數器 42，且決定單元 48 亦會控制該頻率之獲得過程 (acquisition process) 50、細微協調過程 (fine tuning process) 52 以及鎖定過程 (locked process) 54，在經多工器 56 處理即可輸出 DCO 控制指令。同時參閱第 5 圖所示之動態頻率計數迴路控制器的狀態轉換示意圖，狀態 0 為初始狀態，在此狀態中，參考時序計數器 40 與 DCO 輸出時序計數器 42 皆為重置狀態；在一個  $2^1 \times T_{\text{REF}}$  的取樣週期之後，動態頻率計數迴路控制器 44 會從狀態 0 切換至狀態 1，以進行頻率比較，如果 DCO 輸出時序計數器中的商數值 Q 和倍數因子(N)相等，而且頻率誤差小於臨界值 (稱之為餘數值 R)，接著會等到  $2^2 \times T_{\text{REF}}$  的取樣週期時從狀態 1 切換至狀態 2，且 DCO 控制指令不會改變；如果商數值 Q 和倍數因子(N)不相等或頻率誤差大於等於臨界值 R，則會根據頻率比較結果改變 DCO 控制指令，且會切換回到狀態 0 以重置該二計數器 40、42。其他狀態亦是以此種方式進行。其中，利用此臨界值之設定可以降低數位控制震盪器 46 的頻率

輸出抖動量。

上述之參考時序計數器 40 係可為具有重置功能的漣波計數器，此參考時序計數器 40 之長度係取決於估算 DCO 頻率之最大狀態值。上述之 DCO 輸出時序計數器 42 亦可為具有重置功能的漣波計數器，因此，DCO 輸出時序計數器 42 的大部分位元係在低速下環境中工作，以節省功率消耗，此 DCO 輸出時序計數器 42 之長度係與倍數因子 N 以及參考時序計數器 40 的長度有關。如果倍數因子之最大值為 P，則 L 可表示為：

$$L = \lceil \log_2 P \rceil$$

假如參考時序計數器的長度為 M，則 DCO 輸出時序計數器的長度為 L+M。第 6 圖所示為在 DCO 輸出時序計數器中在每一位元 ( $A_{L+M-1} A_{L+M-2} \dots A_2 A_1 A_0$ ) 的 Q 值與 R 值示意圖，在第 i 狀態之 Q 值與 R 值分別如下所示：

$$Q_i = (A_{L+i-1} \dots A_{i+1} A_i), \text{ 以及}$$

$$R_i = (A_{i-1} \dots A_1 A_0)$$

據此，動態頻率計數迴路控制器之取樣週期時間可定義為  $C_i = 2^i \cdot T_{REF}$ ；其中，i 值代表第 i 狀態， $T_{REF}$  為輸入參考時脈訊號之週期時間，此取樣週期時間  $C_i$  係為時間標記 (timestamp)，以進行 DCO 輸出時脈的頻率比較，如第 7 圖所示。為了簡化硬體架構，並避免複雜的除頻計算，此量測頻率週期係以 2 次方的倍數時間計算。

因此，本發明提出之全數位倍頻器乃係利用動態頻率計數方式來計算及調整頻率，使得產生輸出的頻率為參考頻率的整數倍，而無須額外再使用高解析度的相頻偵測器或時間轉換電路，即可達到相同之目的者，且功

效上更為增進許多。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

### 【圖式簡單說明】

第 1 圖為習知類比式相鎖迴路 (PLL) 之電路示意圖。

第 2 圖為習知全數位式相鎖迴路 (ADPLL) 之電路示意圖。

第 3 圖為本發明之全數位倍頻器的方塊示意圖。

第 4 圖為本發明之動態頻率計數迴路控制器之示意圖。

第 5 圖為本發明之動態頻率計數迴路控制器的狀態轉換示意圖。

第 6 圖為本發明在 DCO 輸出時序計數器中在每一位元的 Q 值與 R 值示意圖。

第 7 圖為本發明之動派頻率計數之時序圖。

### 【主要元件符號說明】

10 相頻偵測器

12 電荷幫浦

14 迴路濾波器

16 可程式除頻器

18 電壓控制震盪器

20 相頻偵測器

22 迴路控制器

- 24 數位迴路濾波器
- 26、28 數位控制震盪器
- 30 可程式除頻器
- 40 參考時序計數器
- 42 DCO 輸出時序計數器
- 44 動態頻率計數 (DFC) 迴路控制器
- 46 數位控制震盪器
- 48 決定單元
- 50 獲得過程
- 52 細微協調過程
- 54 鎖定過程
- 56 多工器

## 十、申請專利範圍：

1、一種動態頻率計數之全數位倍頻器，包括：

- 一參考時序計數器，接收一輸入參考時脈訊號，並可據此估計其頻率；
- 一輸出時序計數器，可估計出輸出頻率；
- 一動態頻率計數迴路控制器，係接收一倍數因子，並根據該參考時脈訊號與輸出頻率進行動態頻率計數；以及

一數位控制震盪器，其係根據該動態頻率計數迴路控制器之計數結果調整其輸出之輸出時脈，其可回饋至該輸出時序計數器，且該輸出時脈為該參考時脈訊號乘以倍數因子的輸出參考頻率。

2、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該參考時序計數器係為漣波計數器。

3、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該輸出時序計數器係為漣波計數器。

4、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該動態頻率計數迴路控制器係根據平均頻率誤差來進行動態計數調整，並採用二進位搜尋之迴路增益控制來達到快速鎖定。

5、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該參考時序計數器係從該輸入參考時脈訊號之速度開始計數。

6、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該 DCO 輸出時序計數器係自該數位控制震盪器之輸出時脈開始計數。

7、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該參考時序計數器為 2 次方的參考時脈週期時，在該 DCO 輸出時序計數器中之

商數值  $Q$  與餘數值  $R$  會與該倍數因子相比較。

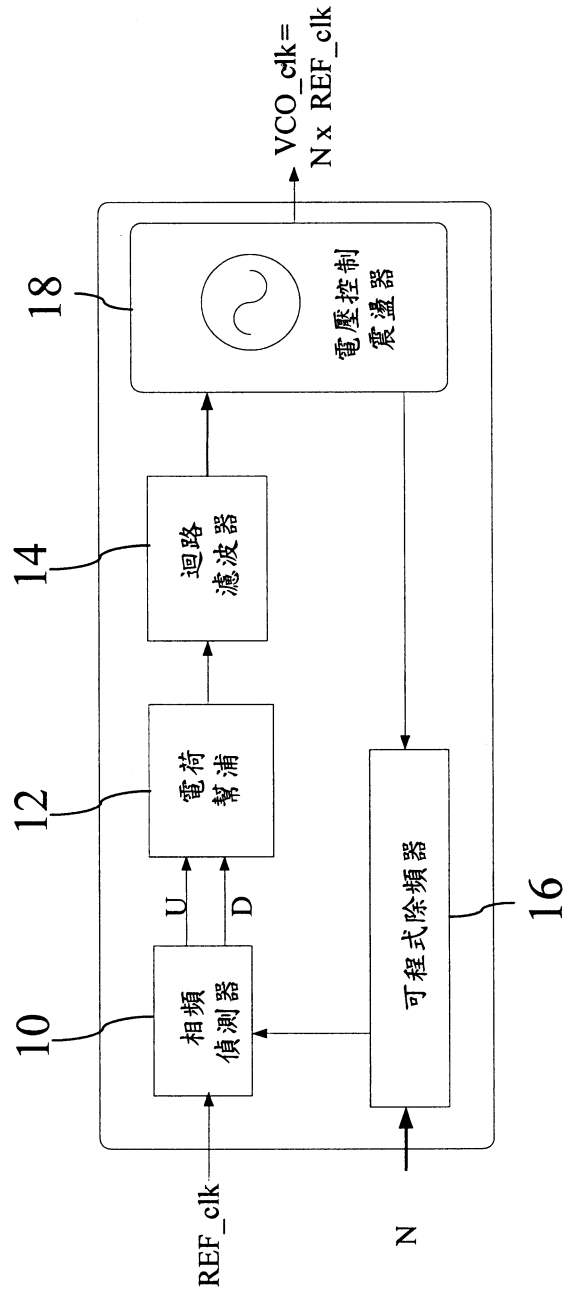
8、如申請專利範圍第 7 項所述之動態頻率計數之全數位倍頻器，其中該比較結果仍維持沒有改變，該參考時序計數器與該 DCO 輸出時序計數器將會繼續計數頻率的累積；以及該結果有改變，則該動態頻率計數迴路控制器會將頻率誤差訊號轉換成一 DCO 控制指令 (DCW) 給該數位控制震盪器，以調整該數位控制震盪器之輸出頻率。

9、如申請專利範圍第 8 項所述之動態頻率計數之全數位倍頻器，其中該動態頻率計數迴路控制器係至少包含一個決定單元，用以進行數位計算比較以及發出控制訊號來更新該 DCO 控制指令。

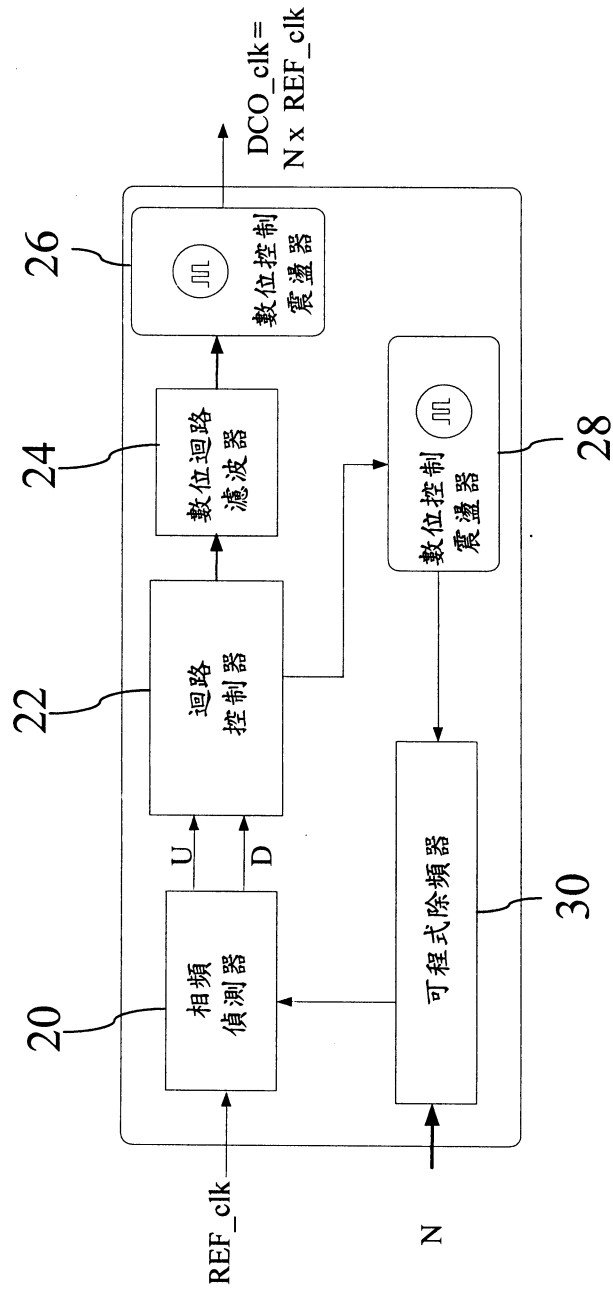
10、如申請專利範圍第 9 項所述之動態頻率計數之全數位倍頻器，其中該決定單元更會控制該輸出頻率之獲得過程、細微協調過程以及鎖定過程，以輸出該 DCO 控制指令。

11、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該參考時序計數器之長度係取決於估算 DCO 頻率之最大狀態值。

12、如申請專利範圍第 1 項所述之動態頻率計數之全數位倍頻器，其中該 DCO 輸出時序計數器之長度係與倍數因子  $N$  以及參考時序計數器的長度有關。

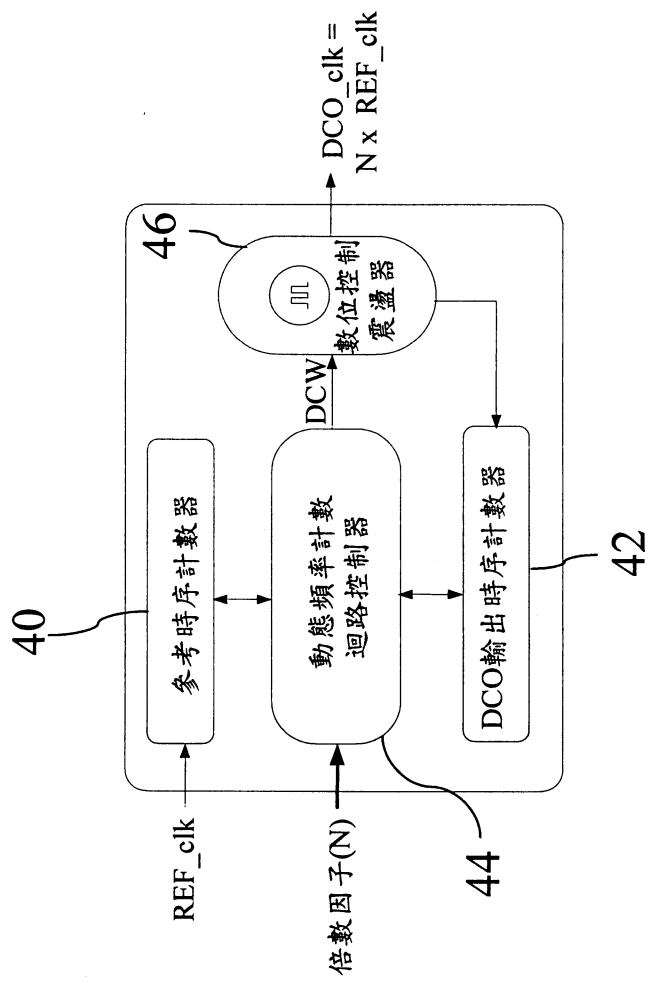


第1圖

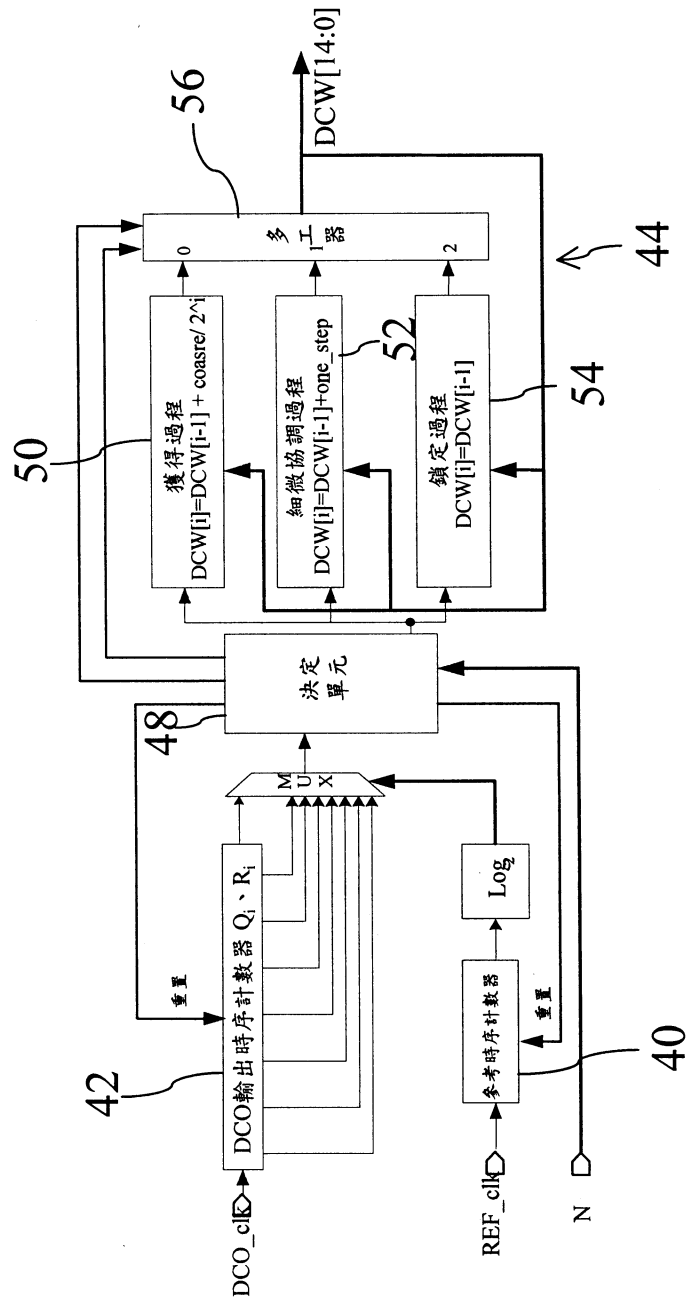


第2圖

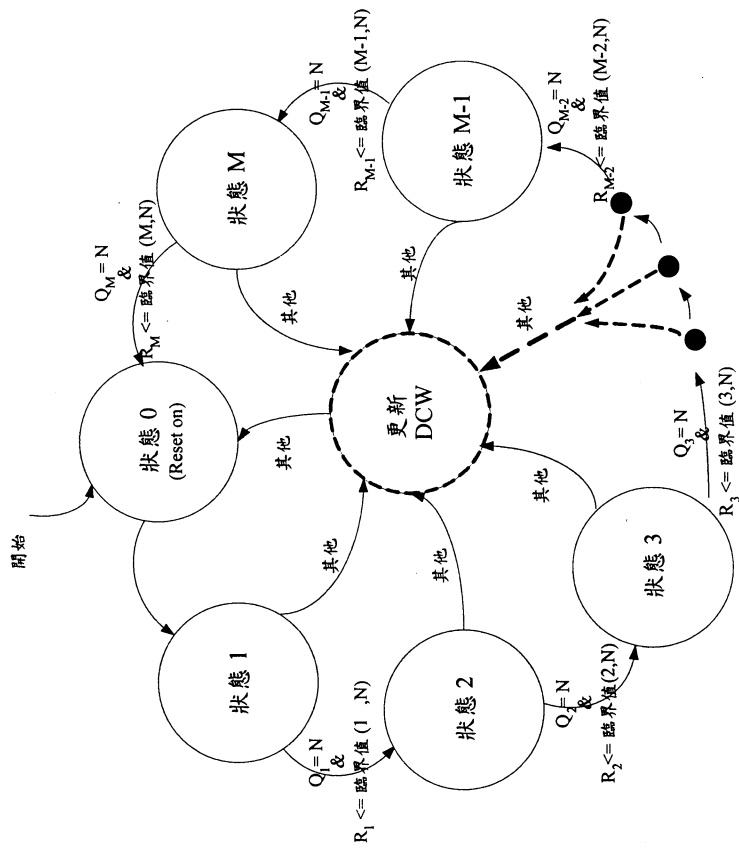




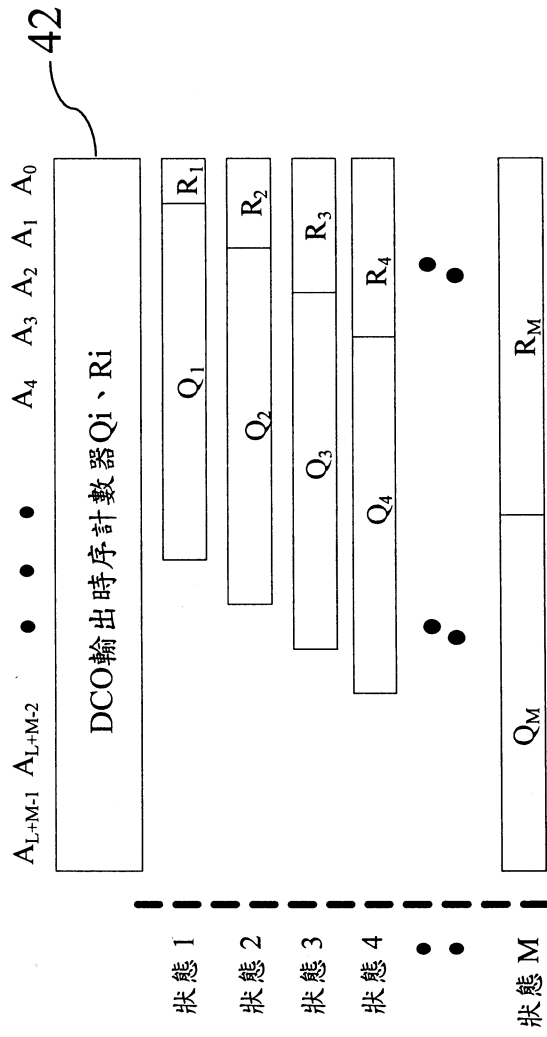
第3圖



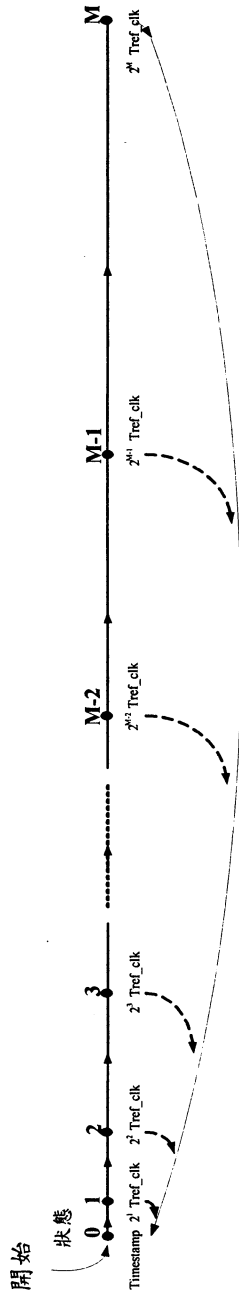
第4圖



第5圖



第6圖



第7圖