

發明專利說明書

LP537-7

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**94126932**

※申請日期：**94.8.9** ※IPC 分類：**G06F 17/14 // H04L 5/00 (2006.01)**

一、發明名稱：(中文/英文)

G06F 17/14 - H04L 5/00 (2006.01)
(1) (n)

高產量管線式快速傅立葉轉換處理器

A HIGH-THROUGHPUT PIPELINED FFT PROCESSOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 TA-HSUEH RD., HSINCHU, TAIWAN R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 李鎮宜/LEE, CHEN-YI

2. 林昱偉/LIN, YU-WEI

國籍：(中文/英文)

1.~2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：94年06月10日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國 2005.06.08 US 11/147,723

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本案提出一種應用於超寬頻 (UWB) 系統的管線快速傅立葉轉換 (FFT) 處理器，包括：用以實行根-2 (radix-2) FFT 演算的一第一模組、用以實行根-8 FFT 演算的一第二模組、用以實行根-8 FFT 演算的一第三模組、複數個共軛區塊 (conjugate blocks)、一除法區塊以及複數個多工器。所提出之被稱為混合根多路徑延遲迴授 (Mixed-Radix Multi-Path Delay Feedback) 的管線 FFT 結構係藉由使用多資料路徑配置而能夠提供較高的產量率，本案之處理器係使用高根 FFT 演算法以降低複雜之乘法演算的數目。

六、英文發明摘要：

The invention proposes a pipelined FFT processor for UWB system, comprising a first module for implementing radix-2 FFT algorithm; a second module is to realize radix-8 FFT algorithm; a third module is to realize radix-8 FFT algorithm; a plurality of conjugate blocks; a division block; and a plurality of multiplexers. The proposed pipelined FFT architecture called Mixed-Radix Multi-Path Delay Feedback (MRMDF) can provide higher throughput rate by using the multi-data-path scheme. The high-radix FFT algorithm is also realized in our processor to reduce the number of complex multiplications.

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本案係關於一種快速傅立葉轉換(FFT)處理器，特別是關於一種具有應用於高產量率之多路徑管線結構的快速傅立葉轉換處理器。

【先前技術】

超寬頻(UWB)通訊系統目前已成爲無線個人區域網路(WPAN)在研究及發展上的焦點，其係在實際的多路徑環境下將 10 公尺距離、110 百萬位元/秒的資料傳送速度提升爲 2 公尺距離、480 百萬位元/秒的速度。正交頻分多工(OFDM)係爲 802.15.3a 標準化群組應用於建立超寬頻通訊系統下一實體層標準(physical-layer standard)的首選，以 OFDM 爲基礎的 UWB 不僅在無須使用複合時域通道等化器(complex time-domain channel equalizer)之時間散亂(time-dispersive)式通道或頻率選擇式(frequency-selective)通道的情況下具有可靠的高資料傳輸率，其更能夠提供很高的光譜效率(spectral efficiency)。然而，由於由類比/數位轉換器至實體層之資料取樣率高達 528 百萬樣本/秒或更高，因此欲實現 UWB 系統的實體層是極爲困難的，尤其是對於使用具有高計算複雜度之元件的超大型積體電路(VLSI)的配置方法來說更是如此。FFT/IFFT 係爲 UWB 系統之實體層中具有高計算複雜度的模組之一；UWB 系統中 128 點 FFT/IFFT 的執行時間(execution time)僅爲 312.5ns。因此，如果使用傳統的方法，爲了滿足 UWB 系統之嚴格規格，FFT/IFFT 便會具有

極高的功率消耗和硬體成本。是故，本案提出一種具有應用於高產量率之新式多路徑管線結構的 FFT/IFFT 處理器，其係使用較高根 (higher-radix) FFT 演算法、較少的記憶體及複合多工器以減少功率消耗和硬體成本。

【發明內容】

本案提出一種具有應用於高產量率之新式多路徑管線結構的 FFT 處理器，該 FFT 處理器係使用較高根 FFT 演算法、較少的記憶體及複合多工器以減少功率消耗和硬體成本。

本案所提應用於 UWB 系統之管線 FFT 處理器包括：一第一模組、一第二模組、一第三模組、複數個共軛區塊、一除法區塊以及複數個多工器。

因此，本案所提之被稱為混合根多路徑延遲迴授 (Mixed-Radix Multi-Path Delay Feedback) 的管線 FFT 結構係藉由使用多資料路徑架構而能夠提供較高的產量率；再者，藉由延遲迴授及資料排程方法的使用，MRMDF 中記憶體和複合多工器的硬體成本亦分別僅為習用之 FFT 處理器的 38.9% 及 47.2%。該處理器係使用高根 FFT 演算法以降低複雜之乘法演算的數目。

【實施方式】

以下參考所附圖示進行本案較佳實施例之說明。

請參閱第 1 圖，BU 包括四個 BU_2，其係用以針對兩個輸入資料進行複數加法及複數減法的運算，由於該模組係使用根 -2 FFT 演算，因此 BU 會直到輸入序列 $x(n)$ 及 $x(n+64)$

皆可利用時才啓動，其對應於 SFG 的第一階段。模組 1 中四個平行輸入序列的次序分別爲 $in(4m)$ 、 $in(4m+1)$ 、 $in(4m+2)$ 及 $in(4m+3)$ ，其中 m 爲 $0、1、\dots\dots、31$ 。因此，每條資料路徑上這兩個可利用的資料便被分成 16 個週期，當每個時脈週期內每條路徑的一輸入資料爲可利用時。在初始的 16 個週期中，初始的 64 個資料係儲存於暫存檔中，而在下次的 16 個週期中，BU 的 8 個輸入資料 $x(i)$ 及 $y(i)$ 便分別由暫存檔及輸入所接收，接著，BU 根據根 -2 FFT 演算產生輸出資料。同時，BU 所產生之四個輸出資料 $X(i)$ 係直接被饋送至模組 2，且另一四個輸出資料 $Y(i)$ 則被儲存於暫存檔。在 32 個週期之後，這些資料 $Y(i)$ 在被送至模組 2 之前會由暫存檔所讀取並被同時乘以擺動因數。一般來說，執行根 -2 FFT 演算的四-平行方法需要四個複合多工器，且複合多工器的使用率僅爲 50%。本案提出一種新的方法以增加該使用率及減少複合多工器的數目，其詳細運作說明如下。當 BU 產生 $Y(i)$ 時，兩個 $Y(i)---Y(1)$ 及 $Y(2)$ 在 $Y(i)$ 被儲存於暫存檔之前會先被乘以適當的擺動因數。在 32 個時脈週期之後，另兩個 $Y(i)---Y(3)$ 及 $Y(4)$ 在資料 $Y(i)$ 被饋送至模組 2 之前亦會被加乘。藉由重新排定複合加乘的時間，很明顯地可發現本案方法僅需要兩個複合多工器，如第 2 圖所示。使用本案所提出的方法能夠達到複合多工器 100% 的使用率。

請參閱第 3 圖，模組 2 包括四個 BU_8 結構及一個模組化複合多工器，這些四個 BU_8 係以相同方式運作，BU_8 的結構係直接從 3-步驟根 -8 FFT 演算而映射過來的，且

BU_8 中三個延遲元件的尺寸分別為 8、4 及 2 點。延遲元件的功能是儲存輸入資料直到其他的可用輸入資料為 BU_2 運作所接收為止。在第一步驟及第二步驟中 BU_2 所產生之輸出資料被饋送至下一步驟之前會被乘以一主要擺動因數 1 、 $-j$ 、 W_8^1 或 W_8^3 ，這些擺動因數能夠有效率地被實行，但源自於 BU_8 之第三步驟中的四個輸出資料必須同時乘以模組複合化多工器中的次要擺動因數。

建立用以同時乘以不同之擺動因數的四個複數乘法器是不具效率的，修正後之複數乘法器的擺動因數是 $W_{64}^p(e^{-\frac{j2\pi p}{64}}) = X_p + jY_p$ ，其中 $X_p = \cos(\frac{2\pi p}{64})$ 及 $Y_p = \sin(\frac{2\pi p}{64})$ 係為擺動因數的實部和虛部，且 p 為從 1 到 49。然而，本案僅需要九組常數值、區域 A 中的 $p=0$ 至 8，這是因為其他七個區域的擺動因數能夠使用映射表而得到。實際上，由於第一組常數值 $(1, 0)$ 是主要的，因此我們僅需要實行 A 區域中的八組常數值，藉由使用數個加法器及位移器能夠更有效率地實行這些常數值。

每條資料路徑中擺動因數之後的擺動因數排程係被映射至區域 A，很明顯地可以看出除了時間狹縫 2 及時間狹縫 3 之外，每個時間狹縫之四條路徑中的擺動因數具有不同值。在時間狹縫 2 及時間狹縫 3 之中，如果僅建立單一的常數乘法器 4 則會發生硬體衝突；因此，本案設計中使用一額外的常數乘法器 4 以避免更多的花費。剛開始時，源自於 BU_8 之第三步驟的四個輸出序列被分成實部及虛部，每條路徑的資料係根據擺動因數的排程而被饋送至適當的常數

乘法器。因此，藉由適當地交換實部和虛部並使用八組常數值以及根據映射表選擇適當的標誌，便能夠實行完整的常數乘法計算。本方法與四個複數乘法器相比能夠節省大約 38% 的邏輯計算，同時本方法的運作表現亦與四個複數乘法器的運作表現相同。

根據本案一較佳實施例，使用 $0.18\ \mu\text{m}$ 單晶，六-金屬 CMOS 製程於 $1.76 \times 1.76\text{mm}^2$ 的核心區域之上以製作用於 UWB 系統的一測試晶片，其包括一 FFT/IFFT 處理器及一測試模組。所製作之 FFT 處理器的產量率高達 1G 樣本/秒，且消耗功率為 175mW。而當其產量率滿足 UWB 標準之 FFT 產量率的 409.6M 樣本/秒時，功率損耗則為 77.6mW。

本案得由熟知此技術之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

【圖式簡單說明】

第 1 圖係為本案所提 128-點 FFT/IFFT 處理器一較佳實施例的方塊圖；

第 2 圖係為本案較佳實施例之模組 1 的方塊圖；

第 3 圖係為本案較佳實施例之模組 2 的方塊圖；以及

第 4 圖係為本案較佳實施例之模組 3 的方塊圖。

十、申請專利範圍：

1. 一種應用於超寬頻 (UWB) 系統的管線快速傅立葉轉換 (FFT) 處理器，包括：

- 一第一模組，用以實行根-2(radix-2)FFT 演算；
- 一第二模組，用以實行根-8 FFT 演算；
- 一第三模組，用以實行根-8 FFT 演算；
- 複數個共軛區塊 (conjugate blocks)；
- 一除法區塊；以及
- 複數個多工器。

2. 如申請專利範圍第 1 項之管線快速傅立葉轉換處理器，其中該第一模組更包括：

- 一暫存檔，用以儲存 64 複數資料；
- 一蝶形單元 (butterfly unit)，用以針對兩輸入資料進行複數加法及複數減法；
- 二個複數乘法器；
- 二個唯讀記憶體 (ROM)，用以儲存擺動因數 (twiddle factors)；以及
- 複數個多工器。

3. 如申請專利範圍第 2 項之管線快速傅立葉轉換處理器，其中該蝶形單元包括四個 BU_2，用以針對兩輸入資料進行複數加法及複數減法。

4. 如申請專利範圍第 1 項之管線快速傅立葉轉換處理器，其中該第二模組更包括：

- 四個 BU_8；以及

一修正後之複數乘法器。

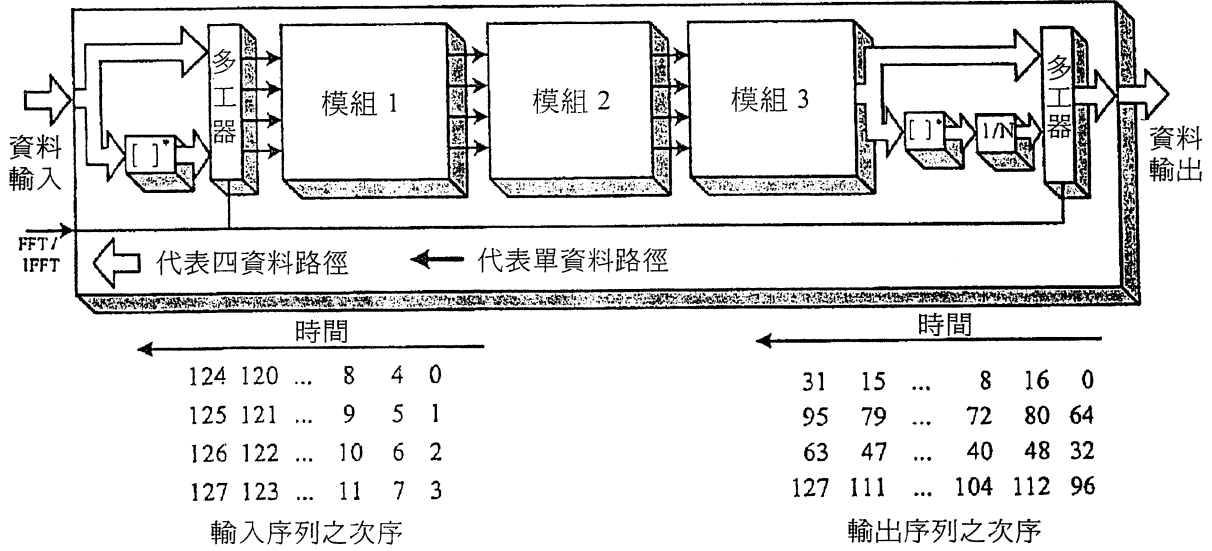
5.如申請專利範圍第4項之管線快速傅立葉轉換處理器，其中每個BU_8包括三個延遲元件，用以儲存輸入資料，三個延遲元件的尺寸分別為八、四及二點。

6.如申請專利範圍第1項之管線快速傅立葉轉換處理器，其中該第三模組更包括：

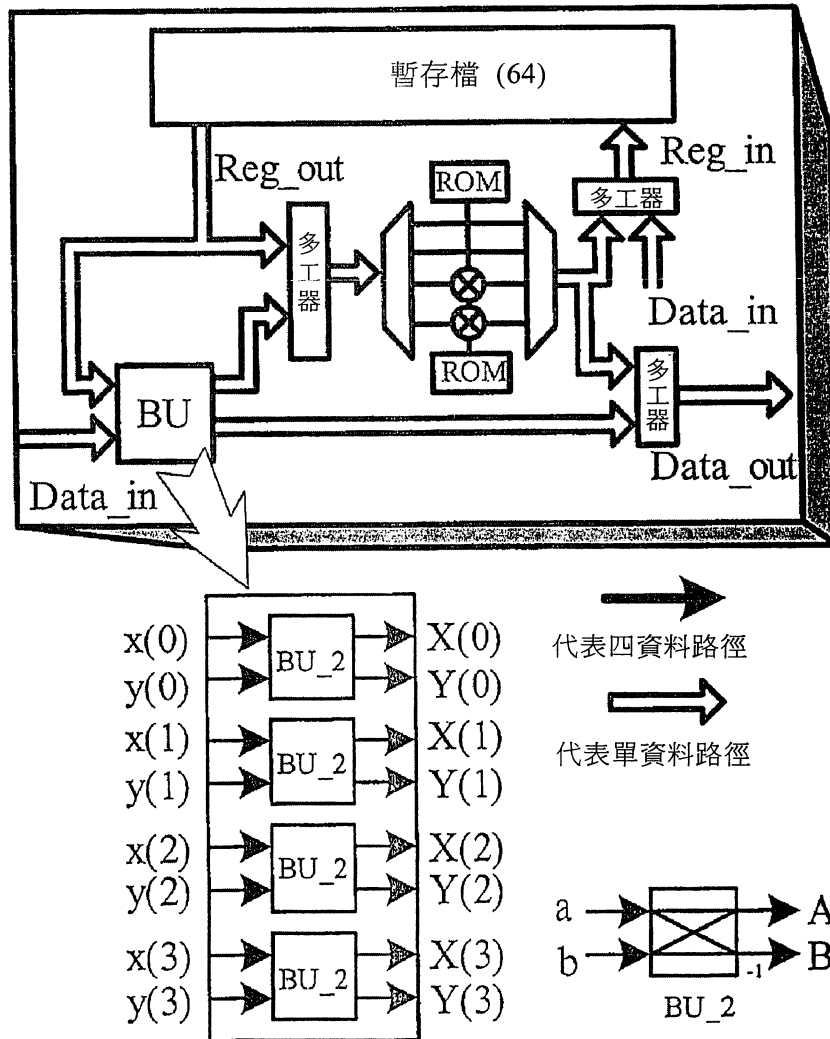
八個BU_8；以及

一修正後之乘法器。

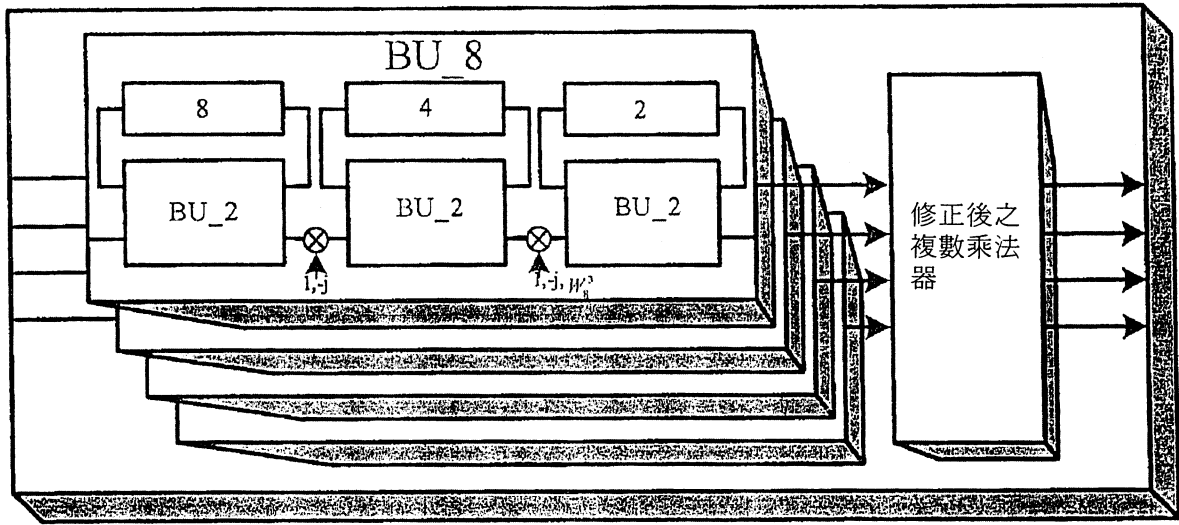
十一、圖式：



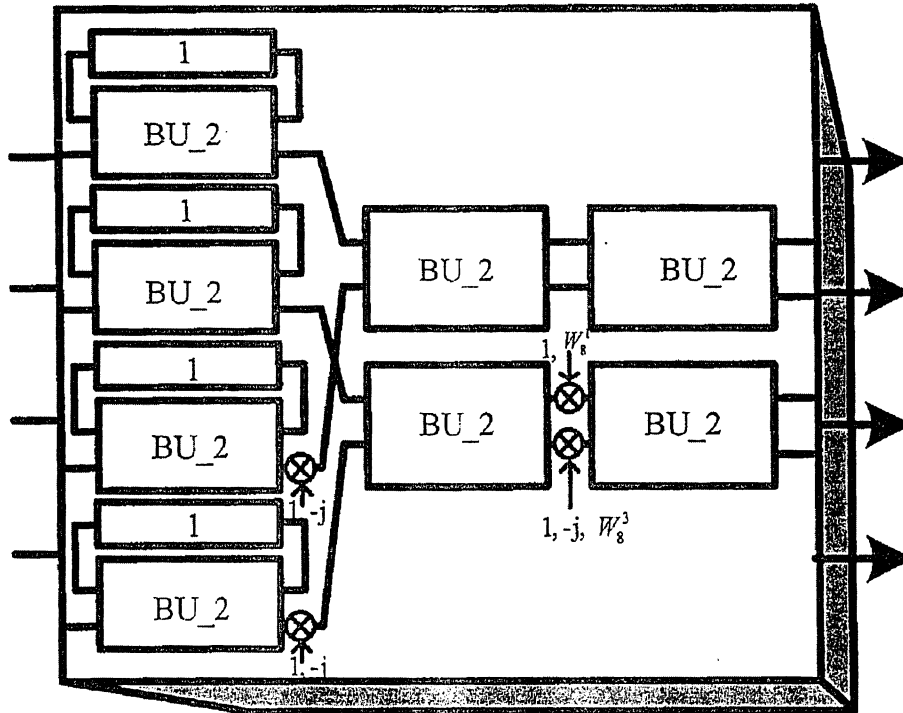
第 1 圖：Block diagram of the proposed 128-point FFT/IFFT processor.



第 2 圖：Block Diagram of the Module 1.



第 3 圖：Block Diagram of the Module 2.



第 4 圖：Block diagram of the Module 3.