

發明專利說明書 200629741

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 94103623

※ 申請日期： 94.2.4 ※IPC 分類： H03K15/00

一、發明名稱：(中文/英文)

渦輪解碼器之架構

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

1、李鎮宜

2、林建青

3、施彥旭

國 籍：(中文/英文)

1、 中華民國 TW

2、 中華民國 TW

3、 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種渦輪解碼器之架構，利用一最大後置機率解碼器自一共享記憶體讀取先驗資料，且先驗資料會先經過一讀取位址產生器重排位址後，再經過最大後置機率解碼器運算為數非本徵資料，並經過一寫入位址產生器重排位址，再寫入共享記憶體內，且本發明還設置一快取記憶體，藉此降低對外部記憶體的存取，進而降低功率消耗，且本發明可有效降低共享記憶體使用量，並降低電路複雜度，且可降低成本。

六、英文發明摘要：

七、指定代表圖：

(一)本案代表圖為：第 2 圖

(二)本案代表圖之元件代表符號簡單說明：

2 渦輪解碼器

20 最大後置機率解碼器 22 共享記憶體

240 讀取位址產生器 242 寫入位址產生器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種渦輪解碼器之架構，特別是關於一種低複雜度之渦輪解碼器之架構。

【先前技術】

渦輪解碼器已經大量應用於無線行動通訊系統，在第三代無線通訊應用領域，由於資料量的提升，對於解碼器效能的需求愈顯重要。美國向來為世界積體電路(IC)設計產業領導者，因此在未來 3G 通訊的市場將佔有相當重要的地位，也因此隨著 3G 日漸普及，市場需求將會越來越大。

美國專利公告號 U.S. 6,477,679 提出一個快取記憶體架構，其提出對於多個運算單元的最大後置機率解碼器(MAP)架構需要利用多個記憶體區塊搭配資料切換器作資料分配，既有的架構為了使快取記憶體同時提供多筆資料給多數個渦輪碼之子解碼器，將記憶體分為多個區塊，透過切換器繞線至各個子解碼器，然在硬體實現上，多個記憶體區塊除了使晶片面積增加，亦同時增加了控制電路與繞線的複雜度。

美國專利公告號 U.S. 6,580,767 中提出一種在兩個子解碼器之間加上打散器的方法，但是對打散器的實現方式卻未有所著墨，因此對於較大的區塊長度不容易實現。

另外，亦有前人將打散器與反打散器分開設計，所需要的記憶體容量卻相當大，且在資料輸入端無快取記憶體架構，因此在記憶體的存取上造成多餘的功率消耗。

亦有前人利用單子解碼器架構，但是對於打散器架構的處理較複雜，而且需要一組由於運算延遲必須暫存資料的記憶體，打散器與反打散器也是個別的記憶體架構，整體的成本將會有很大的部分由記憶體佔據，因此成本提高。

另外，某些傳統渦輪碼解碼器中的打散器(interleaver)需要使用兩塊靜態隨機存取記憶體 220、222 來完成同時讀寫的動作，如第 1 圖所示，此靜態隨機存取記憶體 220、222 大小在輸入之區塊長度增加時將造成電路成本增加，故有單記憶體架構之實現，惟此類架構忽略了輸入資料重複讀取的問題，造成多餘的功率消耗。

有鑑於此，本發明係針對上述之困擾，提出一種渦輪解碼器之架構，以改善上述之缺失。

【發明內容】

本發明之主要目的，係在提供一種渦輪解碼器之架構，在單一最大後置機率解碼器(Maximum A Posteriori Probability; MAP)之架構下，將輸入快取與打散器中單記憶體架構整合於渦輪解碼器，有效降低記憶體使用量，並降低電路複雜度。

本發明之另一目的，係在提供一種渦輪解碼器之架構，針對先前技術中渦輪碼解碼器隨著資料區塊長度而線性增加輸入緩衝區大小之問題，提供一單區塊小型快取記憶體(Input cache)來避免頻繁讀取外部記憶體造成的功率消耗問題，以有效解決重複讀取大型記憶體所造成的功率消耗。

本發明之再一目的，係在提供一種渦輪解碼器之架構，利用一位址重

排裝置整合打散器與反打散器，改善先前技術中打散器與反打散器為個別的記憶體架構，而降低整體成本大部分由記憶體佔據之缺點，以降低成本。

本發明之又一目的，係在提供一種渦輪解碼器之架構，其係利用最大後置機率解碼器運作的關鍵點在於資料都是先讀後寫，因此不會發生資料被覆蓋的衝突，以達到習知二軟式解碼器之作用。

為達到上述之目的，本發明係提出一種渦輪解碼器之架構，包括一最大後置機率解碼器，其係自一共享記憶體內讀取數先驗資料，且先驗資料會經過一位址重排裝置重排位址後，再經過最大後置機率解碼器運算為數個非本徵資料，再經位址重排裝置重排非本徵資料的位址，再寫入共享記憶體。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明的目的、技術內容、特點及其所達成的功效。

【實施方式】

隨著對資料傳輸量的需求，編碼率的提升，在有限的通道容量下錯誤更正編解碼越趨複雜，渦輪解碼器的實現使許多通訊系統的效能大幅提高，也相對付出更多的複雜度，渦輪解碼器一個相當重要的特點即打散器的運用，使反覆解碼的方法得以實現，但隨著對資料精確度與高速傳輸的需求，更長的編碼區塊長度是一個趨勢，但卻使解碼器的記憶體需求大量增加，對於一個行動通訊系統來說，在功率消耗與電路複雜度上將會是很大的挑戰，因此本發明提出一種渦輪解碼器之架構，其係應用於 IC 設計產業，諸如應用於 GSM 行動通訊，寬頻分碼多工存取(Wideband

CDMA；WCDMA)或 CDMA2000 3G 無線通訊系統等產品上，適用於單晶片系統之設計，以有效降低電路複雜度。

請同時參閱第 2 圖所示之本發明之渦輪解碼器之結構方塊示意圖，渦輪解碼器 2 包括一最大後置機率解碼器(MAP)20，用以接收數先驗資料(priori information)，並可以將先驗資料運算為數非本徵資料(extrinsic data)，且有一共享記憶體 22，用以提供儲存先驗資料，並供最大後置機率解碼器 20 讀取，另供最大後置機率解碼器 20 寫入非本徵資料，另有一位址重排裝置 24，位址重排裝置 24 包括一讀取位址產生器 240 及一寫入位址產生器 242，分別連接最大後置機率解碼器 20 及共享記憶體 22，最大後置機率解碼器 20 會讀取經位址重排裝置 24 重排位址後之先驗資料，並經過最大後置機率解碼器 20 運算為非本徵資料且經位址重排裝置 24 重排位址，再寫入共享記憶體 22 內。

渦輪解碼器 2 運作的關鍵點在於資料都是先讀後寫，因此不會發生資料被覆蓋的衝突，如第 1 圖所示之示意圖，由於資料必須同時在同一共享記憶體 22 方塊讀寫，因此以往之習知技術需要兩個靜態隨機存取記憶體方塊達到同時讀寫，如第 1 圖所示，然此法造成記憶體長度(20, 730)相當大，因此為避免造成晶片面積大幅增加，本發明便如第 2 圖所示，利用時間分工的方式使單一共享記憶體 20 區塊提供兩個資料埠，即只利用一靜態隨機存取記憶體實現，以達到同時讀寫的功能。

並請同時參閱第 3 圖所示之演算法直接對應之示意圖，整個渦輪解碼器 2 主要由二軟式解碼單元(SISO decoder)26、28、打散器(interleaver)30 與

反打散器(De-interleaver)32 組成，軟式解碼單元 26、28 由最大後置機率解碼器(MAP decoder)20 實現，完成整個渦輪解碼器 2 的主要運算，打散器 30 與反打散器 32 由共享記憶體 22 與位址重排裝置 24 組成，負責二軟式解碼單元 26、28 之間先驗資料及非本徵資料的位址重排，以決定讀寫的順序；因為二軟式解碼單元 26、28 對於字碼的解碼順序不同，因此需要打散器 30 與反打散器 32 使兩者得以進行資料交換。

在本發明中，係為利用一最大後置機率解碼器 20 以達到以往兩個軟式解碼器的作用，然在此最大後置機率解碼器 20 中所達到的作用仍與以往之兩個軟式解碼器相同，只是本發明係利用此最大後置機率解碼器 20 便達到二階段的解碼流程，以下將解碼流程分成兩個階段，分別是二階段軟式解碼單元 26、28，然此二階段軟式解碼單元 26、28 仍是由整合於一最大後置機率解碼器 20 內，利用最大後置機率解碼器 20 具有資料可覆蓋之特性，以達二階段軟式解碼流程，底下為解碼流程的詳加說明，然為了加以區別，分別將最大後置機率解碼器 20 內所能達到的兩階段解碼流程分別利用第一階段軟式解碼單元(SISO decoder 1)26 與第二階段軟式解碼單元(SISO decoder 2)28 說明，如第 4 圖所示，在第一階段軟式解碼單元 26，最大後置機率解碼器 20 將先驗資訊由共享記憶體 22 讀出，接著將算出的非本徵資料寫回共享記憶體 22，讀寫次序為 0, 1, 2, ..., N-1 之連續位置；而在第二階段軟式解碼單元 28，最大後置機率解碼器 20 將先驗資訊由共享記憶體 22 讀出，接著將算出的非本徵資料寫回共享記憶體 22，讀寫次序係為經過位址重排裝置決定之重排位置；因此記憶體的資料一直維持著 0, 1, 2, ...,

N-1 的順序，第一階段軟式解碼單元 26 與第二階段軟式解碼單元 28 不同之處在於讀寫共享記憶體 22 的順序不同，以完成資料交換。

而第 5 圖為本發明之一實際應用實施例的詳細電路架構，與第 2 圖作對應，除了渦輪解碼器 2，尚包含了維特比(Viterbi)解碼器，其中，數個狀態轉換計量單元(Transition Metric Unit；TMU) 202，加比較選擇單元(add-compare-select；ACS) 204 與對數相似值比單元(log-likelihood-ratio；LLR) 206 組成最大後置機率解碼器 20，而靜態隨機存取記憶體 34(SRAM(α)) 提供最大後置機率解碼器 20 暫存路徑權值(Path Metric)，快取記憶體(Input cache)36 則用來降低對一外部記憶體的存取，以藉此降低功率的消耗，另外因最大後置機率解碼器 20 具有資料可覆蓋之特性，因此利用時間分工的觀念，提供一共享記憶體 22 取代兩個較大的靜態隨機存取記憶體 220、222，以便與位址重排裝置 24 構成打散器 30 與反打散器 32 功能。

其中，第 6 圖為快取記憶體 36 之架構，並請同時參閱第 7 圖之時序圖，本發明採用滑動窗(sliding window)方法，如第 6 圖所示，每一小區塊分別被 ACS- α ，ACS- β_1 與 ACS- β_2 讀取，共讀取三次，因此採用快取記憶體 36 架構降低對外部記憶體存取，進而降低功率消耗，此快取記憶體 36 僅存放三個小區塊，而且提供一個寫入埠進行資料更新與三個讀取埠給加比較選擇單元(ACS unit)，此快取記憶體 36 採用雙埠靜態隨機存取記憶體，容量為 60x24 位元；而且為了提供四個資料埠，因此採用時間分工的方式，第二輸出埠使用暫存器來確保所有的資料與系統時脈同步。

為了更加闡明本發明之特徵所在，因此下表一利用本發明所提出之渦

輪解碼器之結構及 M. A. Bickerstaff 等人在 "A Unified Turbo/Viterbi Channel Decoder for 3GPP Mobile Wireless in 0.18- μ m CMOS" 中所提出的架構應用在 3GPP standard :

表一 本發明與 M. A. Bickerstaff 提出之渦輪解碼器之架構應用在 3GPP2 standard 之應用。

	本發明	M. A. Bickerstaff
技術實現	0.18 μ m CMOS	
晶片面積(mm ²)	7.29	9
最大區塊長度	20,730	5,114
速率	1/5	1/3
生產率(Mb/s)	3.1 (6 重覆)	2 (10 重覆)
功率(mW)	121	292

由表一得知，在更大的區塊長度之下，我們所提出的方法可用更經濟的架構來實現，在晶片面積與功率消耗上都有更好的表現，即在相當的晶片面積之下，本發明所提出之渦輪解碼器之架構可以提供四倍的區塊長度與更低的功率消耗。

本發明提出一種渦輪解碼器之架構，利用渦輪解碼器可重複讀取輸入區塊資料，並不會發生資料覆蓋之特性，以取代習知二軟式解碼器的功能，並提供一單區塊小型快取記憶體來避免頻繁讀取外部記憶體造成的功率消耗問題，此外，由於只有單一區塊小型快取記憶體區塊，故不再需要後段

之切換器來分配資料；並且在打散器的運用方面，利用單一最大後置機率解碼器架構所具有之資料可覆蓋的特性，讓整個渦輪解碼器的打散器及反打散器(de-interleaver)可共用同一共享記憶體區塊，有效減少共享記憶體使用量，解決了傳統架構造成的面積浪費問題，亦可簡化其控制電路；並且配合打散器及反打散器共享單一共享記憶體區塊，使渦輪解碼器同時達到低功率、低複雜度的優點。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故凡其他未脫離本發明所揭示之精神而完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

【圖式簡單說明】

第 1 圖為習知之結構方塊示意圖。

第 2 圖為本發明之先驗資料讀取及寫入非本徵資料之示意圖。

第 3 圖為本發明之演算法直接對應之示意圖。

第 4 圖為本發明之二階段的解碼流程示意圖。

第 5 圖為本發明之一實際應用實施例的詳細電路架構。

第 6 圖為本發明之快取記憶體之架構示意圖。

第 7 圖為本發明之快取記憶體之時序圖。

【主要元件符號說明】

2 渦輪解碼器

20 最大後置機率解碼器 22 共享記憶體

220、222 靜態隨機存取記憶體

24 位址重排裝置

240 讀取位址產生器 242 寫入位址產生器

26、28 軟式解碼單元 30 打散器

32 反打散器

202 狀態轉換計量單元

204 加比較選擇單元 206 對數相似值比單元

34 靜態隨機隨取記憶體 36 快取記憶體

十、申請專利範圍：

1. 一種渦輪解碼器之架構，包括：

一最大後置機率解碼器，用以接收數先驗資料及將該等先驗資料運算為數非本徵資料；

一共享記憶體，其內係儲存該等先驗資料；以及

一位址重排裝置，其係連接該最大後置機率解碼器及該共享記憶體，該最大後置機率解碼器係讀取經該位址重排裝置重排位址後之該等先驗資料，並經該最大後置機率解碼器運算為該等非本徵資料且經該位址重排裝置重排位址，再寫入該共享記憶體。

2. 如申請專利範圍第 1 項所述之渦輪解碼器之架構，其中，該最大後置機率解碼器讀取該等先驗資料及該等非本徵資料寫入該共享記憶體之順序不同。

3. 如申請專利範圍第 1 項所述之渦輪解碼器之架構，其中，該位址重排裝置包括一讀取位址產生器及一寫入位址產生器，分別連接該最大後置機率解碼器及該共享記憶體，並分別用以重排該等先驗資料及該等非本徵資料之位址。

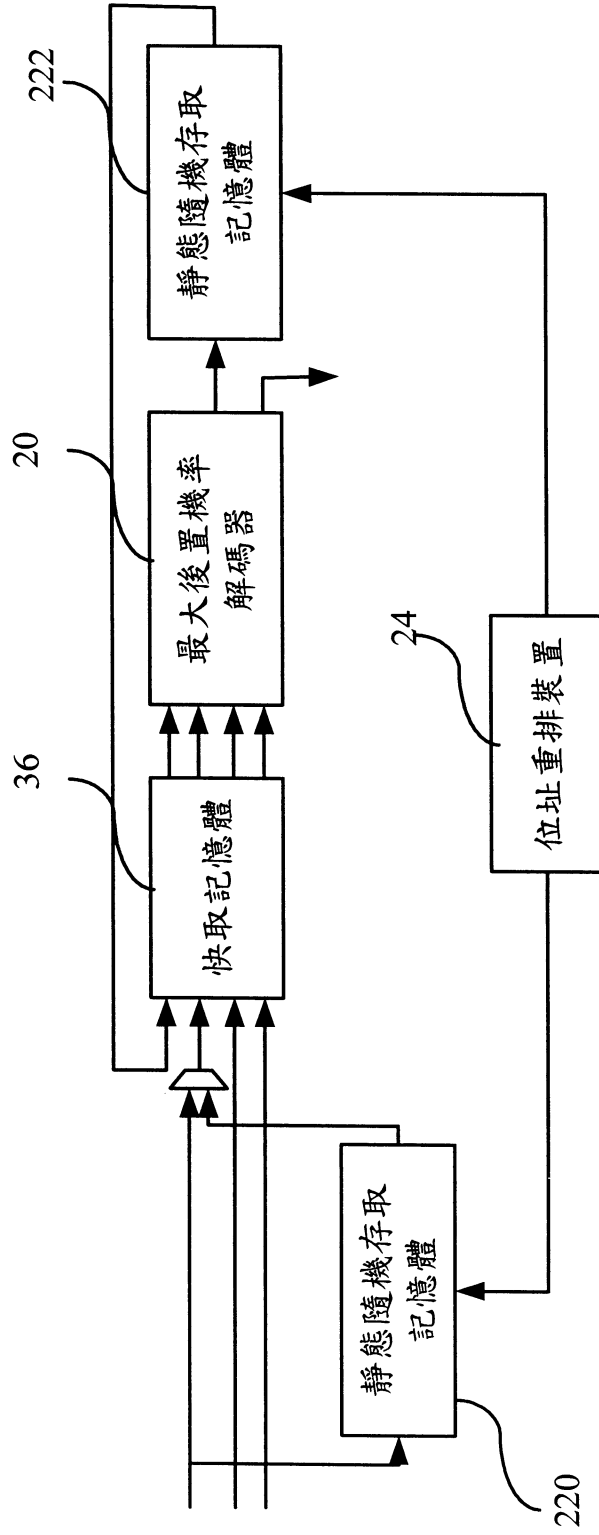
4. 如申請專利範圍第 1 項所述之渦輪解碼器之架構，其中，該共享記憶體包括一靜態隨機存取記憶體，用以儲存該等先驗資料或非本徵資料。

5. 如申請專利範圍第 1 項所述之渦輪解碼器之架構，更包括一靜態隨機存取記憶體，連接該位址重排裝置及該最大後置機率解碼器，用以提供該最大後置機率解碼器暫存路徑權值。

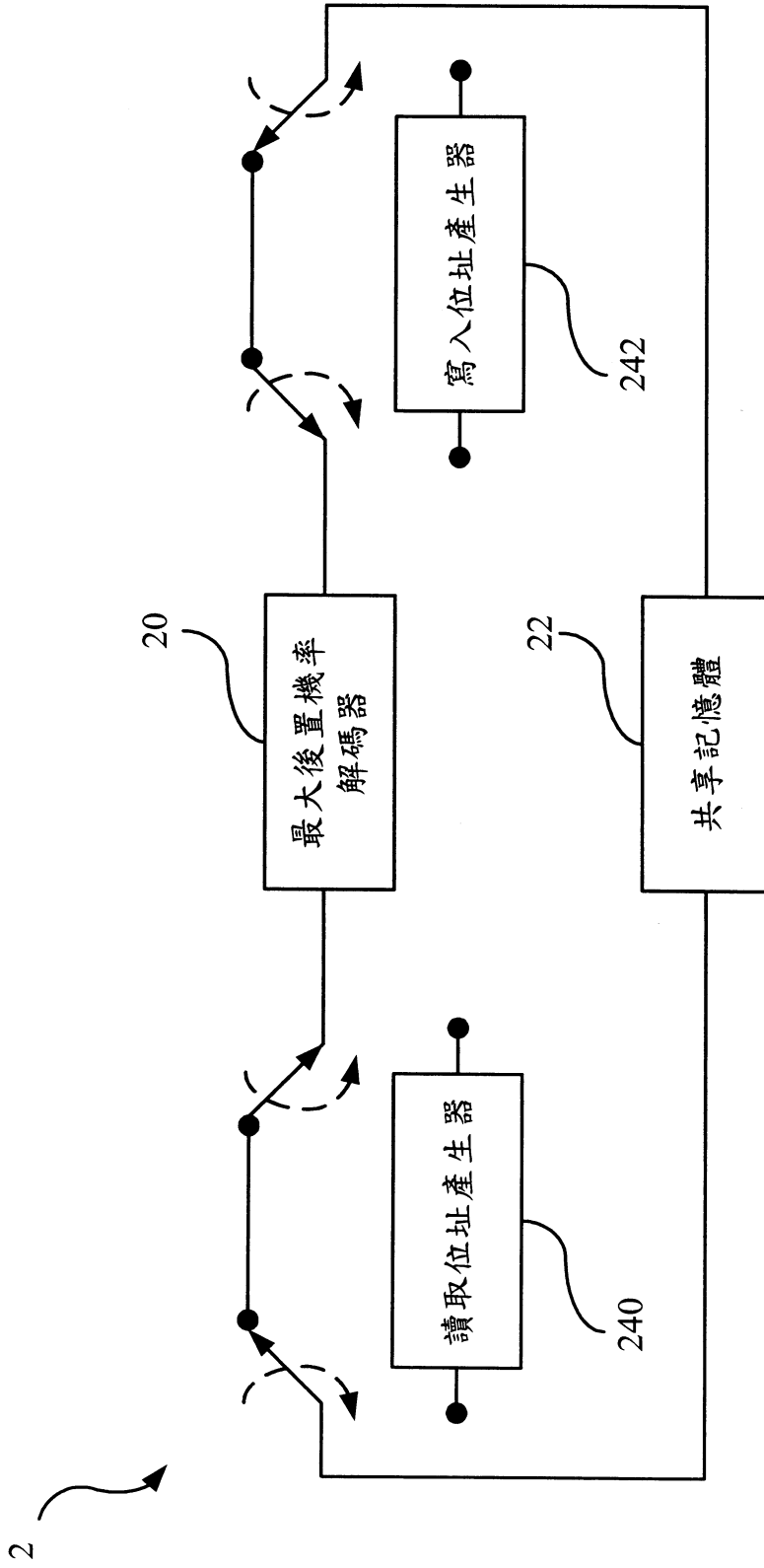
6. 如申請專利範圍第 1 項所述之渦輪解碼器之架構，更包括一快取記憶體，

連接一外部記憶體及該最大後置機率解碼器，用以降低對該外部記憶體之存取動作。

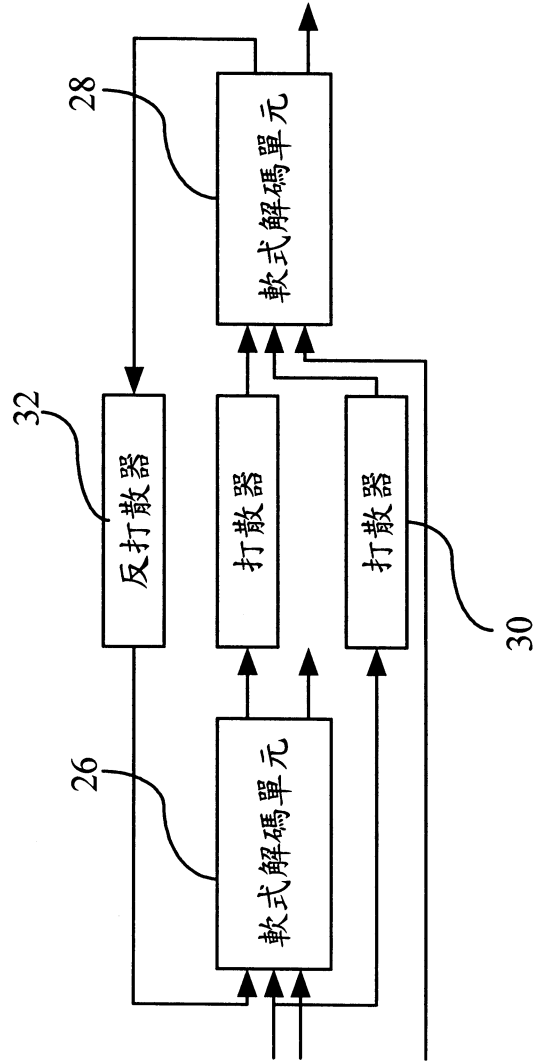
7. 如申請專利範圍第 6 項所述之渦輪解碼器之架構，其中，該快取記憶體係為多埠靜態隨機存取記憶體。



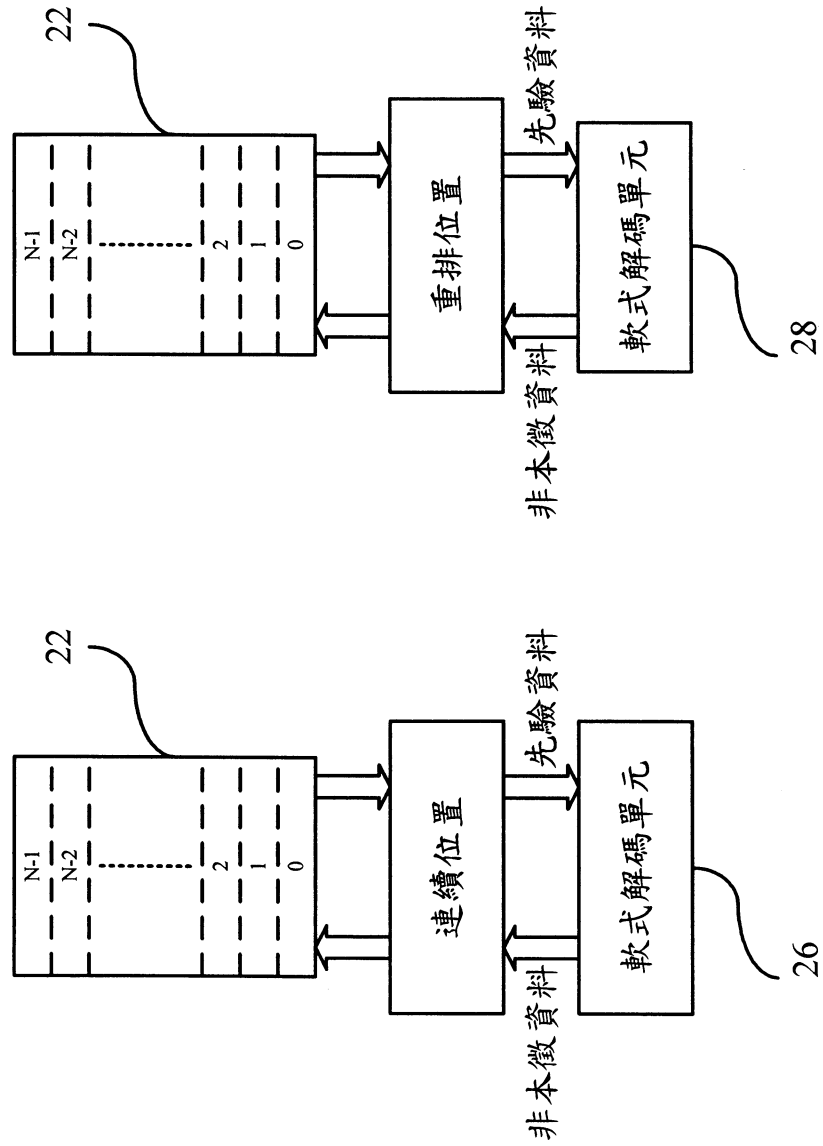
第1圖(先前技術)



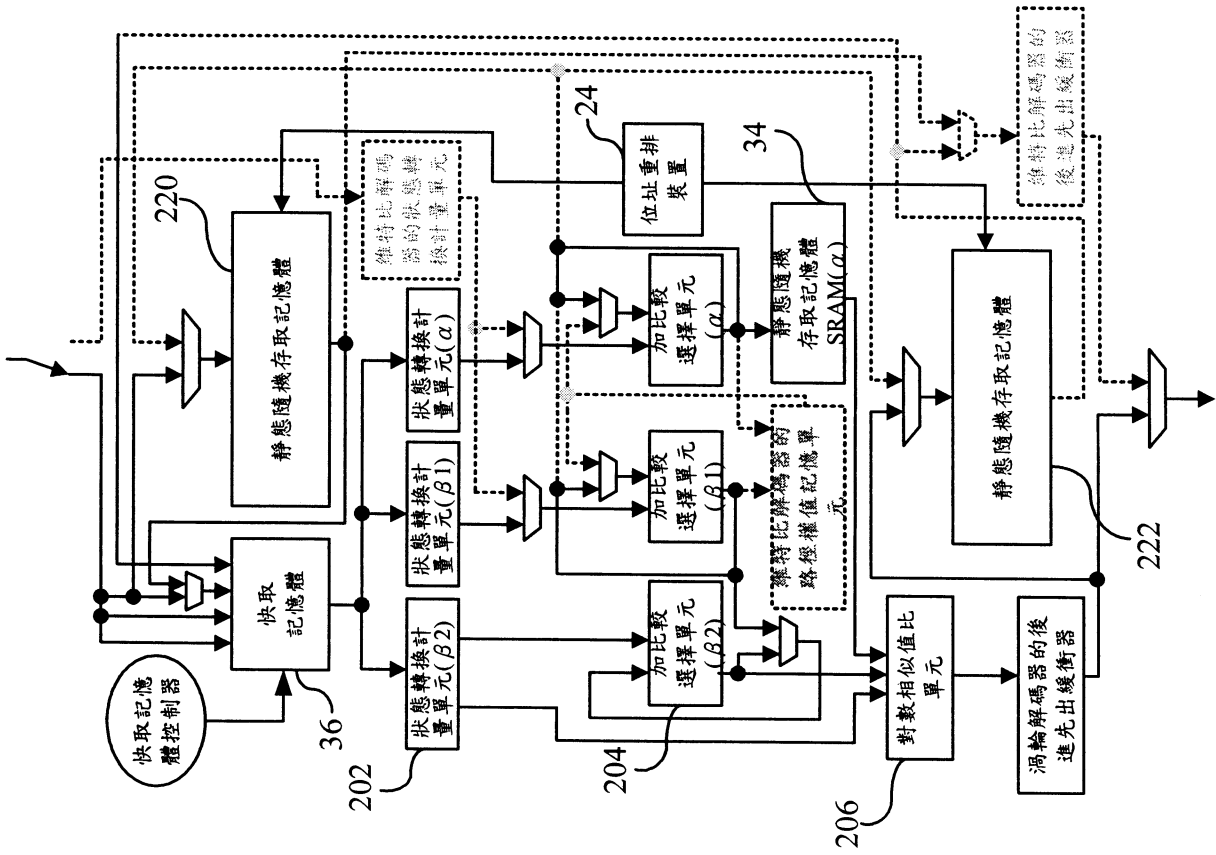
第2圖



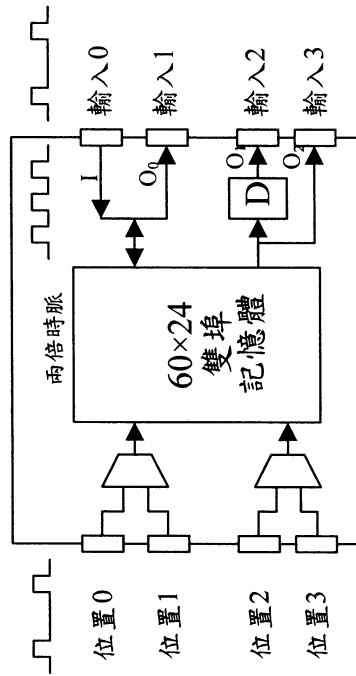
第3圖



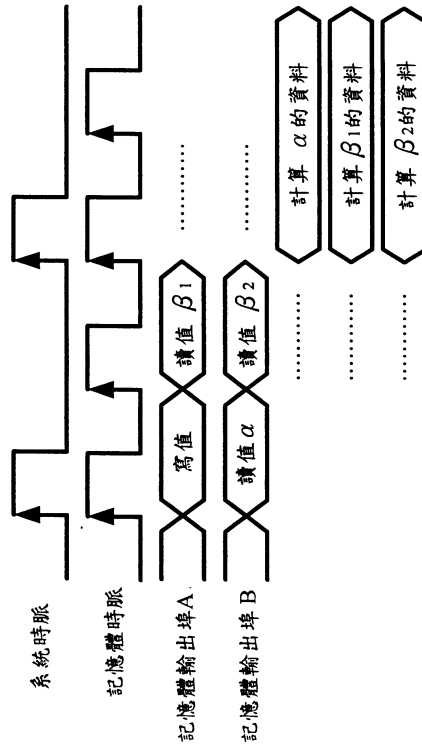
第4圖



第5圖



第6圖



第7圖