

發明專利說明書

200625251

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93140477

※申請日期：93-12-24 ※IPC 分類：G09G 3/36, H07K 19/00

一、發明名稱：(中文/英文)

具低壓差動訊號 (LVDS) 與低擺幅差動訊號 (RSDS) 規格之平面顯示器
高速輸入輸出緩衝器

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1、柯明道

2、莊凱嵐

國 籍：(中文/英文)

1、中華民國 TW

2、中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其實發生日期為：93 年 6 月 29 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種具低壓差動訊號 (LVDS) 與低擺幅差動訊號 (RSDS) 規格之平面顯示器高速輸入輸出緩衝器，其係將運用於平面顯示器系統介面的低電壓差動訊號傳輸規格與更小擺幅差動訊號傳輸規格之輸入輸出緩衝器整合於同一輸入輸出緩衝器電路中，且此輸入輸出緩衝器的資料傳輸速度可以到達 1.2 Gb/s，其可以支援解析度為 UXGA (1600×1200 像素) 的平面顯示器。因此本發明提供一種輸入輸出緩衝器可適用於兩種標準傳輸介面的，不但可節省電路面積，更可在高速資料傳輸下運作，並且其在睡眠模式下可節省電源的消耗。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明：

- | | |
|-------------|-----------|
| 1 輸出緩衝器 | 11 輸出緩衝電路 |
| 12 轉換電路 | 13 共態回授電路 |
| 14、15 電流鏡電路 | 16 控制開關電路 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種高速輸入輸出緩衝器，特別是有關一種具有 LVDS 與 RSDS 兩種規格之平面顯示器高速輸入輸出緩衝器。

【先前技術】

今日平面顯示器持續在提供其色彩濃度與解析度的增加，很多面板製造業者都已經可以量產解析度超過 SVGA (800 × 600 像素) 和 XGA (1024 × 768 像素) 的平面顯示器，隨著平面顯示器解析度的快速增加，位於平面顯示器系統裡直接連接顯示卡到液晶顯示時脈控制器以及液晶顯示時脈控制器到面板驅動電路的介面應該操作於更高的資料傳輸速度。

以往 TTL 或 CMOS 的方式，易產生較高的 EMI，而系統中的各個單元，均須通過 EMI 認證，若搭配不同系統時，解決 EMI 之方式不同，可能造成生產時的困擾，所以現在普遍使用 LVDS/RSDS 傳輸介面，能夠大幅減少耗電量及電磁波，並精簡數位電視為解決電磁波干擾及輻射問題所需之零組件，降低生產成本。因此，位於平面顯示器系統介面的高速輸入輸出緩衝器設計是有其必要的。

習知美國專利申請案號 US6726298.2004 和 US6731135.2001，均為有關低壓差動訊號的輸入輸出緩衝器的設計，以及目前在低擺幅差動訊號中的設計上亦具用緩衝器的設計，然而低壓差動訊號與低擺幅差動訊號最主要的不同是在於兩者應用的標的及傳輸的速率，兩者在功能上大致相同都是一種輸入輸出緩衝器。

有鑑於此，本發明係針對上述之問題，提出一種具低壓差動訊號（LVDS）與低擺幅差動訊號（RSDS）兩種規格之平面顯示器高速輸入輸出緩衝器，其係將運用於平面顯示器系統界面的低電壓差動訊號傳輸規格與更小擺幅差動訊號傳輸規格整合於輸出緩衝器電路中，且可以操作到很高的資料傳輸速度並可以支援解析度為 UXGA(1600 × 1200 像素)的平面顯示器系統。

【發明內容】

本發明之主要目的，係在提供一種具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其係使用共同設計的緩衝器將低壓差動訊號與低擺幅差動訊號兩種規格的傳輸介面整合在一起，可以節省平面顯示器在資料傳輸介面的電路設計以及靈活運用在兩種規格的資料傳輸。

本發明之另一目的，係在提供一種具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其係使用共同設計的緩衝器增加資料傳輸速率，使其可以支援高解析度的平面顯示器系統。

本發明之再一目的，係在提供一種具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其係設有睡眠模式可以在高速輸入輸出緩衝器未使用時關閉電路以節省電源的消耗，

根據本發明，其係包括一轉換電路可接收一單端電壓訊號並輸出一差動電壓訊號，一輸出緩衝電路用以接收差動電壓訊號並輸出標準訊號，二個電流供應電路提供電流至輸出緩衝電路以及一輸入緩衝電路可偵測一低

電壓差動訊號的輸入並將其轉換成一單端電壓訊號，可使得本發明適合兩種資料傳輸之標準介面，節省電路面積，另有省電模式避免不必要的運作以節省電源。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係利用高速輸入輸出緩衝器將低壓差動訊號 (LVDS) 輸入輸出緩衝器與低擺幅差動訊號 (RSDS) 輸入輸出緩衝器整合在一起，以簡化平面顯示器系統介面的電路設計。

請參閱第一圖為具有低壓差動訊號 (LVDS) 與低擺幅差動訊號 (RSDS) 規格的平面顯示器資料傳輸之架構，再參閱第二圖為本發明之輸出緩衝器電路示意圖，輸出緩衝器 1 可將先前的序列全擺幅資料訊號經由一傳輸線傳輸至低壓差動訊號或低擺幅差動訊號接收端，包括一轉換電路 12 可以將單一資料訊號轉換成差動資料訊號，差動訊號一極接至 M2 和 M4，另一極接至 M1 和 M3，一輸出緩衝電路 11 連接轉換電路 12 接收其傳送之差動訊號並輸出標準差動訊號，如低壓差動訊號或低擺幅差動訊號，一共態回授電路 13，其一端 M9 經由兩個偵測電阻 R_{A1} - R_{B1} (100 k Ω) 與輸出緩衝電路 11 連接，可保持輸出緩衝電路 11 之輸出偏移電壓在低壓差動訊號和低擺幅差動訊號標準規格的電壓範圍內，另一端 M12 則連接至 M7，另有兩個電流鏡電路 14、15 連接輸出緩衝電路 11 之 M5 及 M6，可提供電流至輸出緩衝電路 11，另一端則連接共態回授電路 13 之 M10 及 M11，最後有一控制開

關電路 16 連接兩個電流鏡電路 14、15，可控制兩個電流鏡電路 14、15 提供電流至輸出緩衝電路 11；其中，輸出緩衝電路 11 是由 4 個 MOS 開關組成，其上方 M5、M6 有兩個電流源，下方 M7 亦有一個電流源，輸出緩衝電路 11 就像是一個具有極性的開關，有適當的電流產生後會經過一終端電阻 R_{TT} 以建立一適當的輸出電壓擺幅符合低壓差動訊號 (LVDS) 和低擺幅差動訊號 (RSDS) 的標準，當 M2 和 M3 開啟時則輸出緩衝電路 1 輸出電流為正，而當 M1 和 M4 開啟時則輸出緩衝電路 1 輸出電流為負，因為輸出緩衝電路 1 的資料傳輸率為每秒十億位元，在輸出輸入介面上因為阻抗的不匹配使得資料在傳輸時的信號能量反射而破壞信號的品質，因此其輸出端為一雙終端電路，可以減低信號能量的反射，此雙終端電路為在兩個終端線的發射端跨接了電阻 R_{TT} 在另一端接受端跨接了電阻 R_{TR} ，且兩電阻值為 $100\ \Omega$ 。

再者，共態回授電路 13 可以將緩衝電路 1 輸出補償電壓保持在低壓差動訊號 (LVDS) 和低擺幅差動訊號 (RSDS) 的標準範圍內，由二個電阻 $R_{A1} - R_{B1}$ ($R_{A1} = R_{B1} = 100\ \text{k}\Omega$) 而得到共態電壓其再與差動放大器 M8 - M13 的一個輸入參考電壓 1.25 V 比較，其中電阻 R_{A2} ($20\ \text{k}\Omega$) 可以降低共態電壓的雜訊， R_{B2} ($20\ \text{k}\Omega$) 加在另一電壓輸入端以平衡差動輸入 M8 - M9，一補償網路 $C_C - R_C$ ($C_C = 6\ \text{pF}$ and $R_C = 4\ \text{k}\Omega$) 被加在共態回授電路的迴路可在處理-供給電壓-溫度 (Process, supply Voltage, Temperature, PVT) 參數上得到穩定。

在控制電路 16 上 LR 和 EN 兩個控制腳可以控制輸出緩衝器，當 LR 為

邏輯訊號“1”(3.3 V)以及 EN 是邏輯訊號“1”(3.3 V)時，兩個電流鏡電路 4、5，分別提供適當之電流至 M5 - M6 以建立 LVDS 所需之差動輸出電壓，另外，當 LR 為邏輯訊號“0”(0 V)以及 EN 是邏輯訊號“1”(3.3 V)時，電流鏡電路 5 被 M28 關閉，電流鏡電路 4 則會提供 M6 一電流，以建立 RSD 所需之電壓擺幅，最後當 EN 是邏輯“0”(0 V) 且輸入電壓 V_{IN} 為“1”(3.3 V)時，兩個電流鏡電路 4、5，分別被 M28 - M29 關閉以防止電流通過。

另外請參閱第三圖為本發明之轉換電路電路示意圖，當一邏輯為“1”信號(3.3V) 到達 V_{in} 時，結點 A 和結點 B 會充電上升到 3.3V 而結點 C 則會放電成為 0V，最後使得 V_{outp} 成為邏輯“1”， V_{outn} 成為邏輯“0”，相反的若是 V_{in} 的邏輯為“0”時則會使得 V_{outp} 成為邏輯“0”， V_{outn} 成為邏輯“1”；請參閱第四圖為本發明輸出之差動訊號的模擬圖，圖 a 為低壓差動訊號，圖 b 為低擺幅差動訊號。

請參閱第五圖為本發明輸入緩衝器電路示意圖，輸入緩衝器 2 可以偵測低電壓差動訊號的輸入並將其轉換成單端全擺幅電壓訊號，NMOS 差動對 (M21、M22) 可以偵測低壓差動訊號和低擺幅差動訊號標準規格輸入之低電壓差動訊號，並有一正回饋電路 (M23、M24) 22 可以立即在結點 C 及結點 D 得到大的差動電壓，輸入緩衝器電路上方為一差動至單端轉換電路 21，轉換電路 21 並可以將結點 C 及結點 D 之間的差動訊號放大；其中，當控制腳 EN 是邏輯訊號“0”(0 V) 及輸入緩衝器輸出端被 M25 鉗為“0”(0 V) 時，輸入緩衝器為睡眠模式，請參閱第六圖為輸入緩衝器的模擬圖，虛線為當接收訊號為最差的情況 ($V_{OD} = \pm 100 \text{ mV}$)，然而在實線部分則顯示輸出訊號可回

復至單端全擺幅電壓(3.3 V)的狀態，第七圖為輸入緩衝器的交流響應圖圖，其顯示當輸入緩衝器在操作速度為1.2 Gb/s時其DC增益仍足夠（大於24.3 dB）。

請參閱第八圖為本發明晶片電子顯微鏡圖，其係使用0.25- μm 1P5M CMOS製程製造操作電壓為3.3V，輸出緩衝器的面積為 $220\ \mu\text{m} \times 350\ \mu\text{m}$ ，輸入緩衝器為 $100\ \mu\text{m} \times 240\ \mu\text{m}$ ，從第九圖至第二十二圖為本發明測試得到輸出訊號圖及眼圖特性，第九圖為輸出緩衝器在840 Mb/s傳輸速度及LR腳在邏輯訊號為“1” (3.3 V)時的LVDS 眼圖特性，第十圖為輸出緩衝器在840 Mb/s傳輸速度及LR腳在邏輯訊號為“0” (0 V)時的RSDS眼圖特性，第十一圖及第十二圖在相同測試環境下所產生的LVDS以及RSDS眼圖特性，其測試條件為1.2 Gb/s得傳輸速率，LR 腳邏輯訊號“1” (3.3 V)和LR 腳邏輯訊號“0” (0 V)。當EN邏輯訊號為“0” (0 V)時輸出緩衝器為睡眠模式，輸出緩衝器得輸入 V_{in} 接到邏輯訊號“1” (3.3 V)時電流的消耗為 μA 以下。第十三圖為在接收端的輸入緩衝器在400 MHz傳輸速率下的訊號圖形，在LVDS和RSDS規格標準下所定義的最差情形的訊號輸入($V_{OD} = \pm 100\ \text{mV}$)，其輸出訊號為一具有50% 工作週期 (duty cycle) 單端全擺幅訊號，第十四圖為在接收端的輸入緩衝器在400 MHz傳輸速率下的眼圖，第十五圖為在接收端的輸入緩衝器在600 MHz傳輸速率下的訊號圖形，第十六圖為在接收端的輸入緩衝器在600 MHz傳輸速率下的眼圖，第十七圖為在接收端的輸入緩衝器在840 MHz傳輸速率下的訊號圖形，第十八圖為在接收端的輸入緩衝器在840 MHz傳輸速率下的眼圖，第十九圖為在接收端的輸入緩衝器在1.2 GHz 傳輸速率

下的輸出訊號圖形，當輸出訊號為邏輯“0” (0 V)時且控制腳EN轉換成“0” (0 V)時，所測得的電流消耗為 μA 以下。第二十、二十一、二十二圖顯示在輸出緩衝器輸入三種不同頻率：300 Mb/s, 400 Mb/s and 600 Mb/s之測試訊號透過同軸電纜連接到輸入緩衝器之後所測試的眼圖。

本發明利用控制開關可以切換電流鏡電路的電流讓輸出訊號電壓擺幅是為低電壓差動訊號傳輸規格或是更小擺幅差動訊號傳輸規格，若當控制開關將電流鏡電路關閉，則此輸出緩衝器則是位於休眠狀態，而位於輸出緩衝器輸入端的單端轉雙端電路則是用來控制四個 MOS 開關，其於製程或溫度改變時都能產生兩個對稱的差動控制訊號，另外，輸入緩衝器一樣具有低電壓差動訊號傳輸規格、更小擺幅差動訊號傳輸規格和休眠模式，其使用兩級放大器電路來將所接收到的低電壓訊號轉變成滿擺幅訊號以便給下一級數位電路處理，此兩輸入輸出緩衝器可以操作到很高的資料傳輸速度（每秒 1.2 十億位元）並可以支援解析度為 UXGA (1600 × 1200 像素)的平面顯示器系統。因此，本發明可提供一種共用的輸入輸出緩衝器，可節省電路面積及支援高速的資料傳輸，並且具有省電模式節省電力消耗。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

【圖式簡單說明】

- 第一圖為平面顯示器資料傳輸之架構。
第二圖為本發明之輸出緩衝器電路示意圖。
第三圖為本發明之轉換電路電路示意圖。
第四圖為本發明輸出之差動訊號的模擬圖。
第五圖為本發明輸入緩衝器電路示意圖。
第六圖為輸入緩衝器的模擬圖。
第七圖為輸入緩衝器的交流響應圖。
第八圖為本發明晶片電子顯微鏡圖。
第九圖至第二十二圖為本發明測試得到輸出訊號圖及眼圖特性。

【主要元件符號說明】

- | | |
|-------------|-----------|
| 1 輸出緩衝器 | 11 輸出緩衝電路 |
| 12 轉換電路 | 13 共態回授電路 |
| 14、15 電流鏡電路 | |
| 16 控制開關電路 | 2 輸入緩衝器 |
| 21 轉換電路 | 22 正回饋電路 |

十、申請專利範圍：

1. 一種具低壓差動訊號 (LVDS) 與低擺幅差動訊號 (RSDS) 規格之平面顯示器高速輸入輸出緩衝器包括：

一轉換電路，其係接收一單端電壓訊號並輸出一差動電壓訊號；

一輸出緩衝電路，其係用以接收該差動電壓訊號並輸出一標準訊號；

至少二個電流供應電路，其係用以提供電流至該輸出緩衝電路；以及

一輸入緩衝電路，其係經由一差動訊號線與該輸出緩衝電路連接可接受該標準訊號，並將該標準訊號轉換成一單端電壓訊號。

2. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該輸出緩衝電路包括四個金屬氧化半導體 (MOS) 開關。

3. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，更包括一控制開關電路，其係用以控制該等電流供應電路提供電流至該輸出緩衝電路。

4. 如申請專利範圍第 3 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中，該控制開關電路包括至少二個輸入接腳。

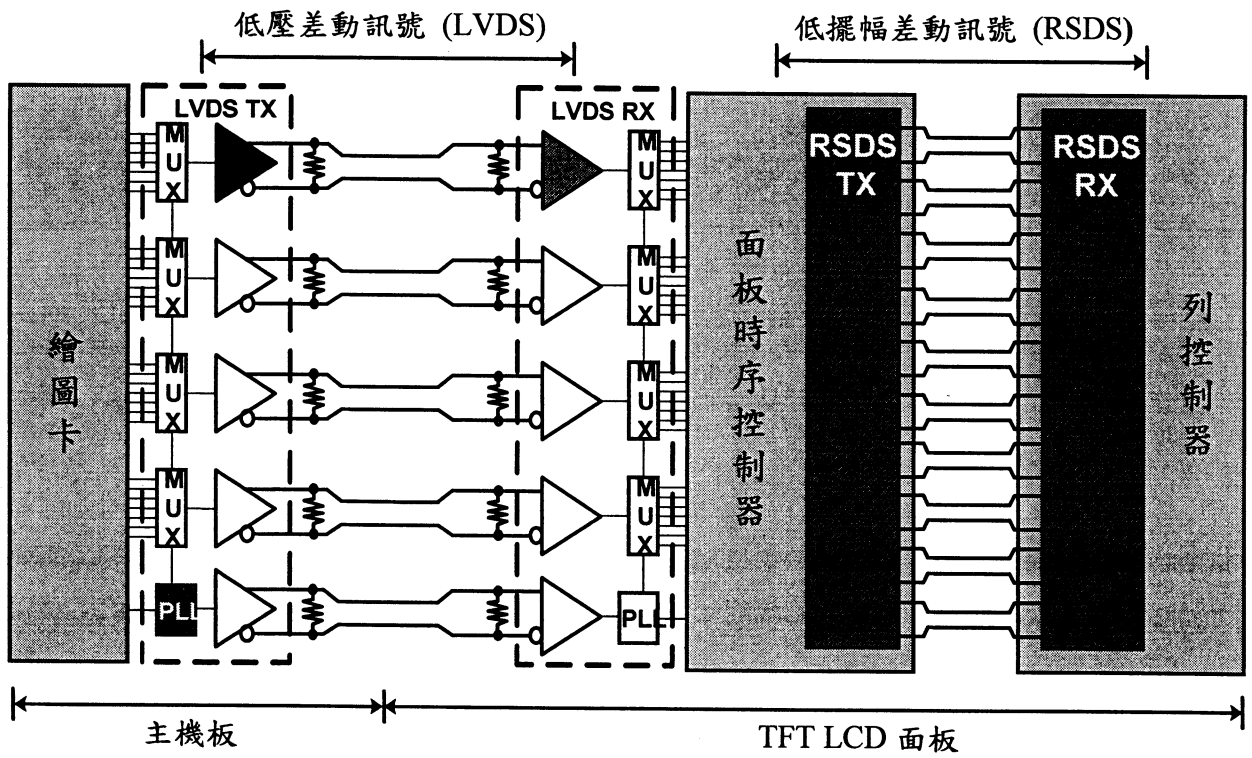
5. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該標準訊號為一低壓差動訊號或一低擺幅差動訊號。

6. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該等電流供應電路為電流鏡電路。

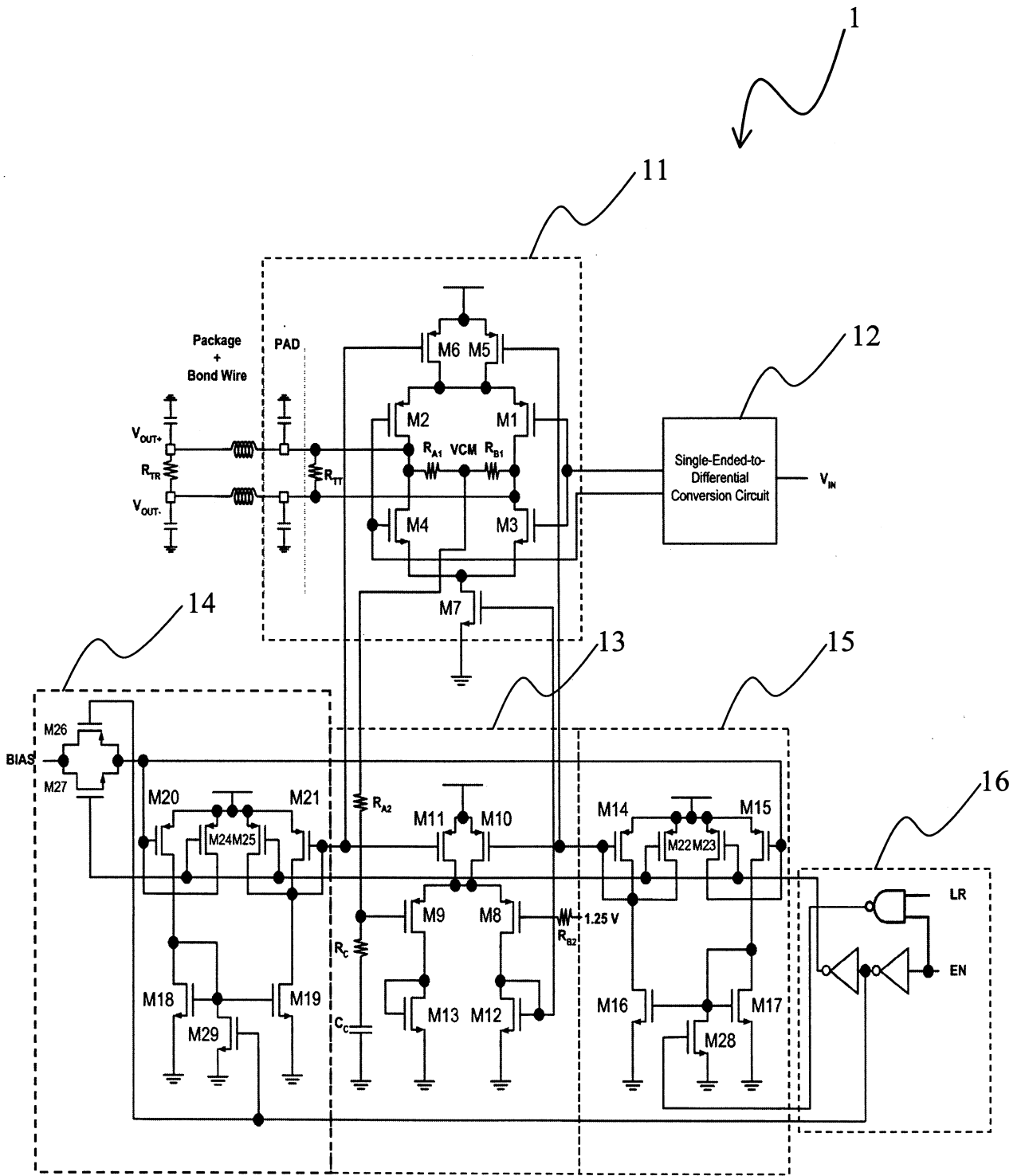
7. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，更包括一共態回授電路，其係用以將該標準訊號保持在低壓差動訊號 (LVDS) 和低擺幅差動訊號 (RSDS) 的標準範圍內。
8. 如申請專利範圍第 7 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該共態回授電路經由二偵測電阻與該輸出緩衝電路連接。
9. 如申請專利範圍第 8 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該等偵測電阻值為 100 k Ω 。
10. 如申請專利範圍第 7 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，更包括一補償網路，其係連接至該共態回授電路使該共態回授電路在處理-供給電壓-溫度 (Process, supply Voltage, Temperature, PVT) 參數上得到穩定。
11. 如申請專利範圍第 10 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該補償網路包括一電阻為 4 k Ω 串接一電容為 6 pF。
12. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該輸入緩衝電路更包括：
 - 一偵測電路，其係用以偵測一低壓差動訊號；
 - 一正回授電路，其係可以產生一差動電壓擺幅；以及
 - 一訊號轉換器，其係可以將一差動訊號轉換成一單端訊號。

13. 如申請專利範圍第 12 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中該偵測電路為一 NMOS 差動對。

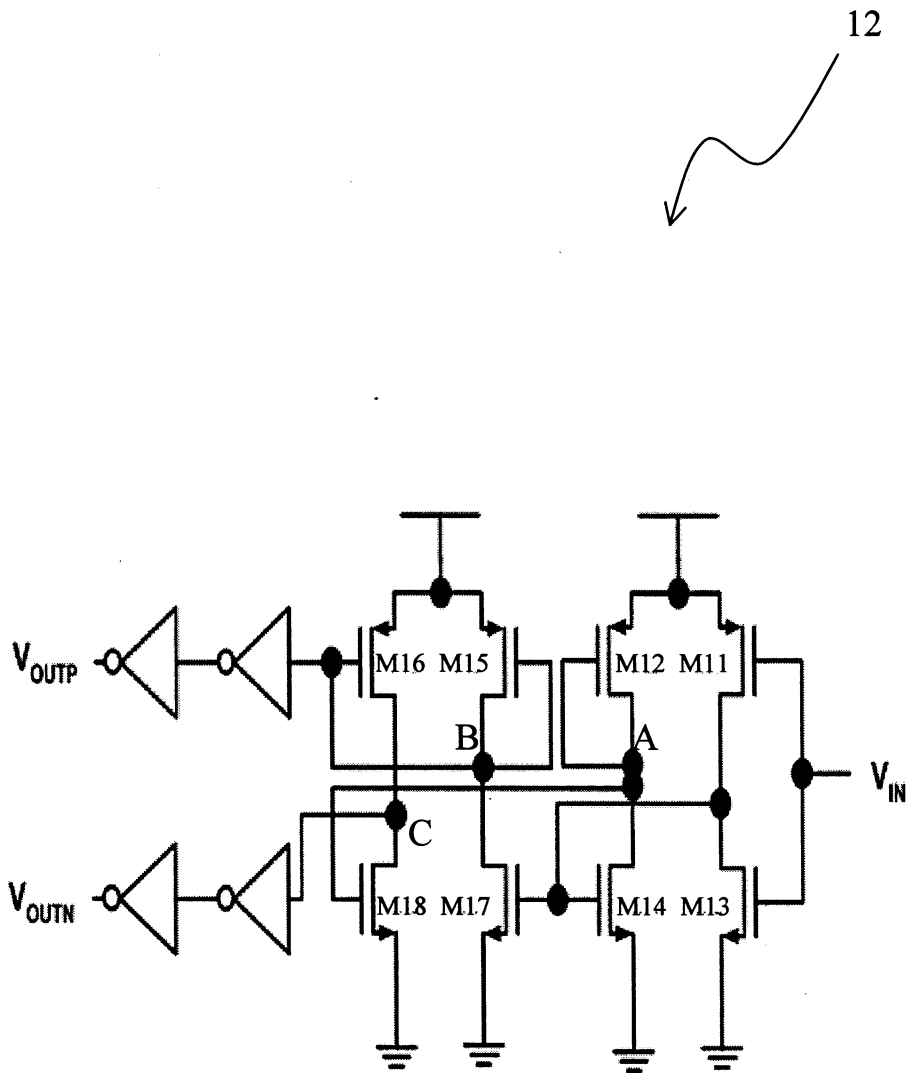
14. 如申請專利範圍第 1 項所述之具低壓差動訊號與低擺幅差動訊號規格之平面顯示器高速輸入輸出緩衝器，其中，該輸入緩衝電路更包括至少二個輸入接腳。



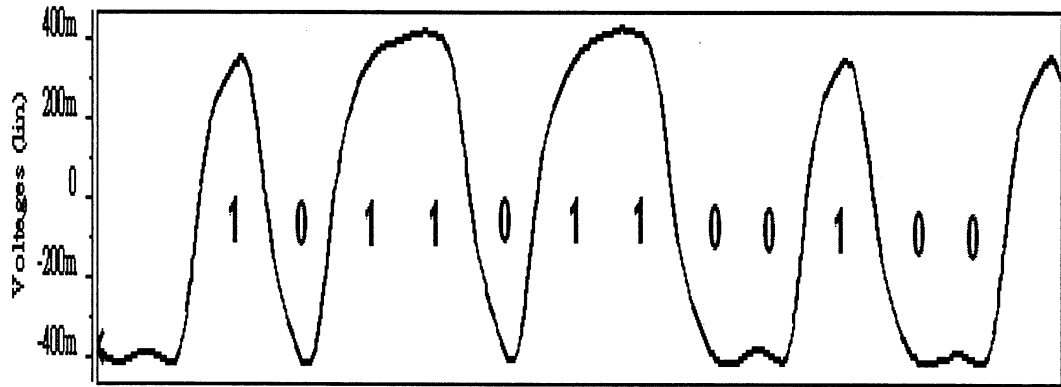
第一圖



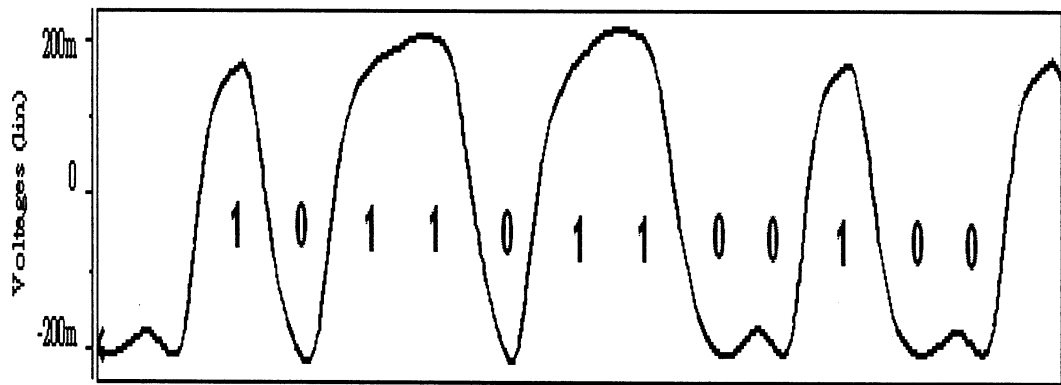
第二圖



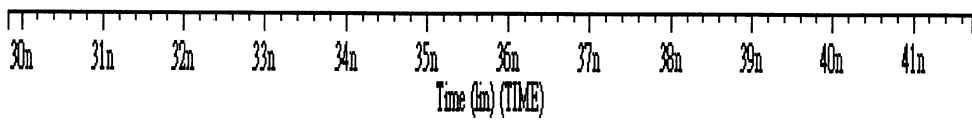
第三圖



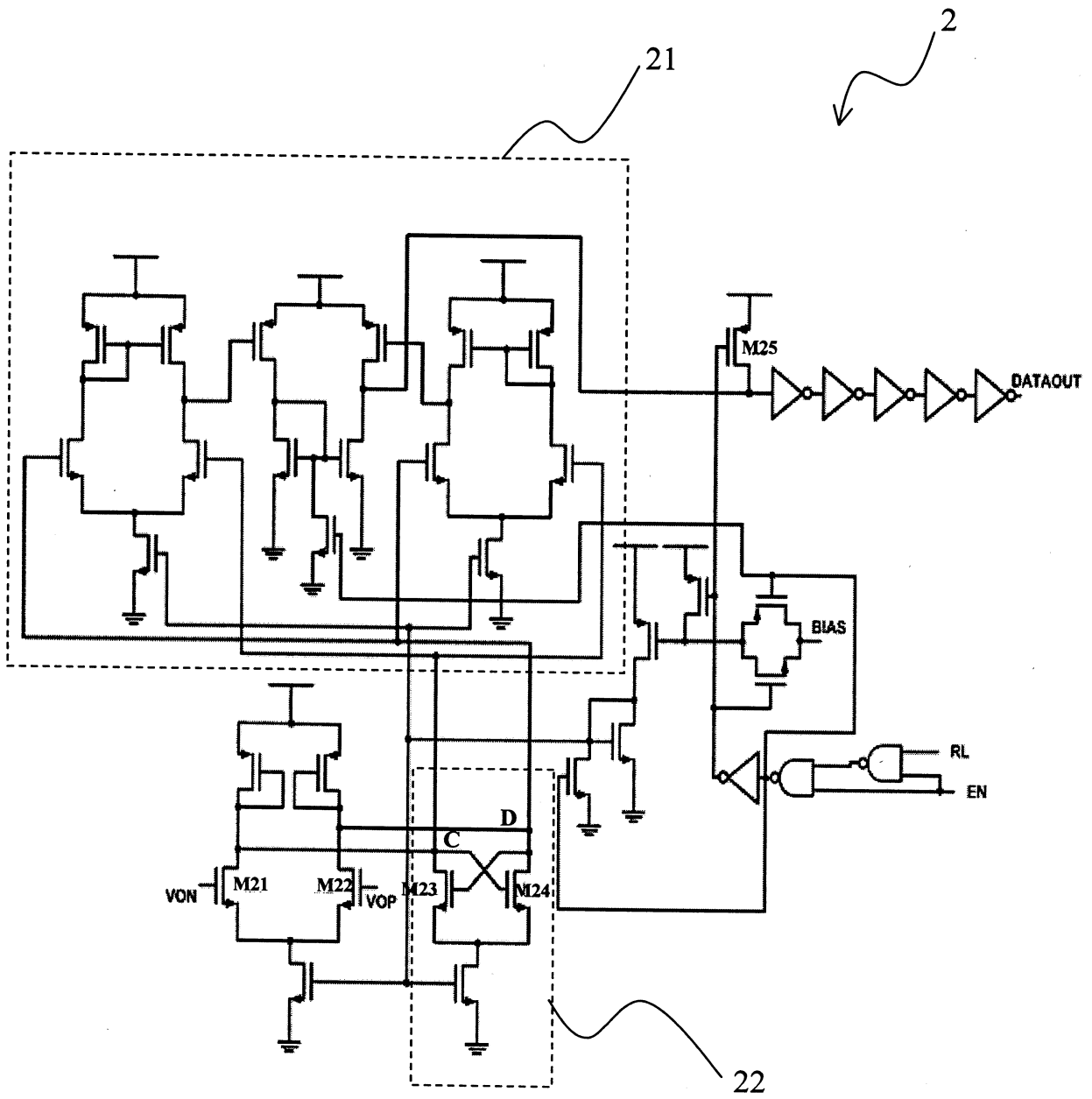
a



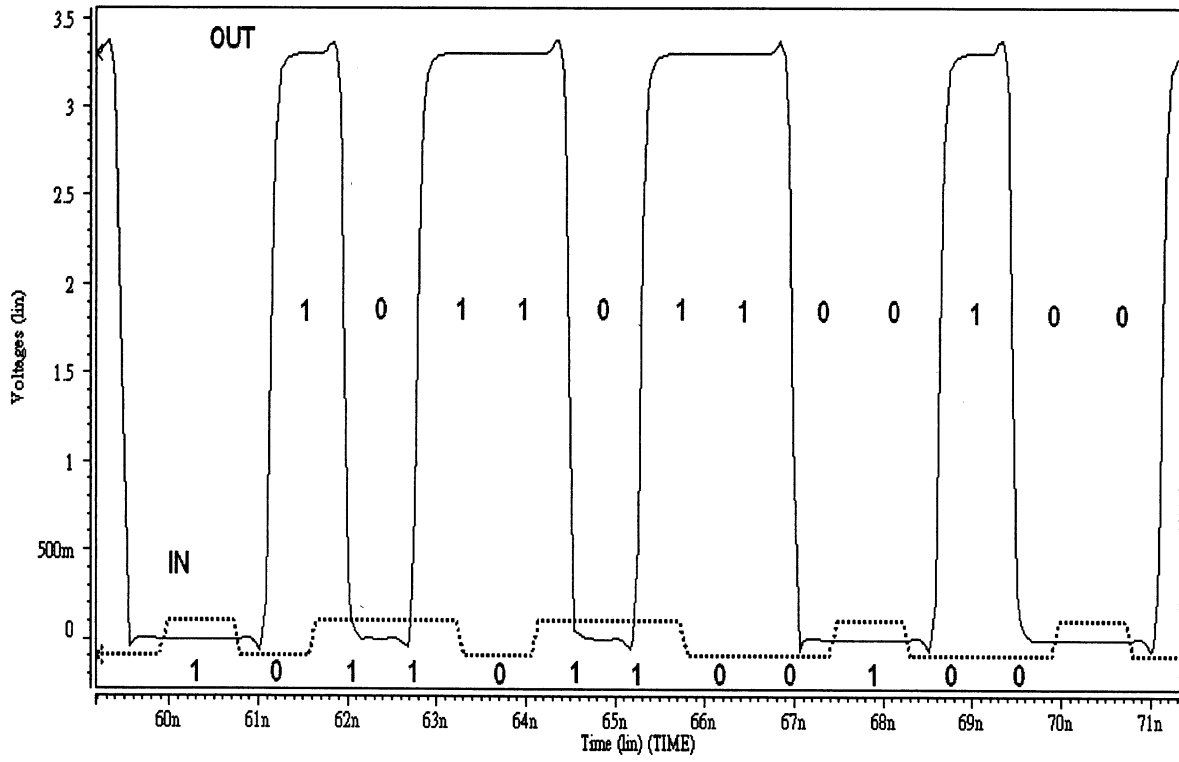
b



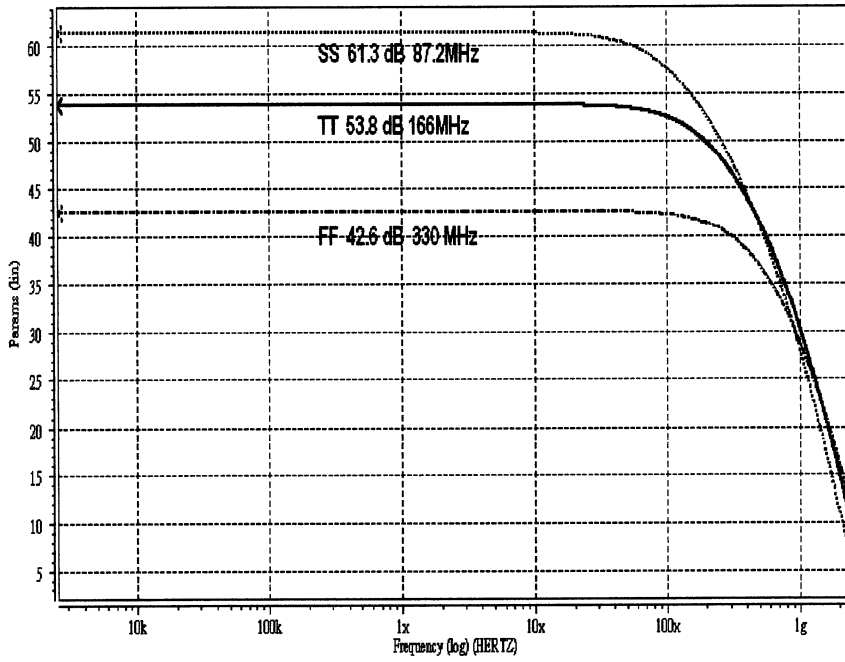
第四圖



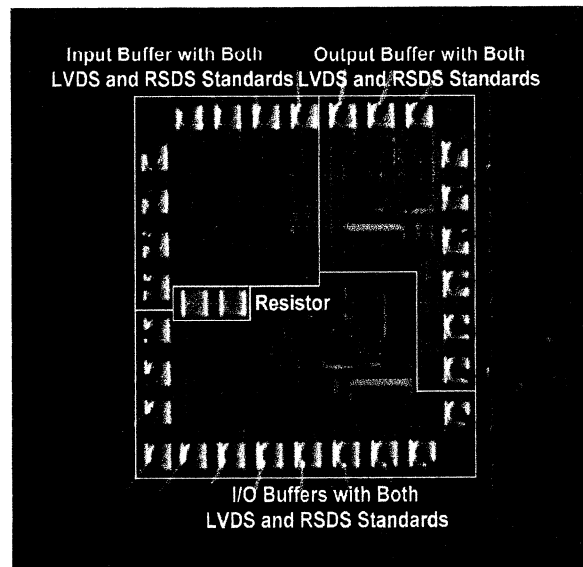
第五圖



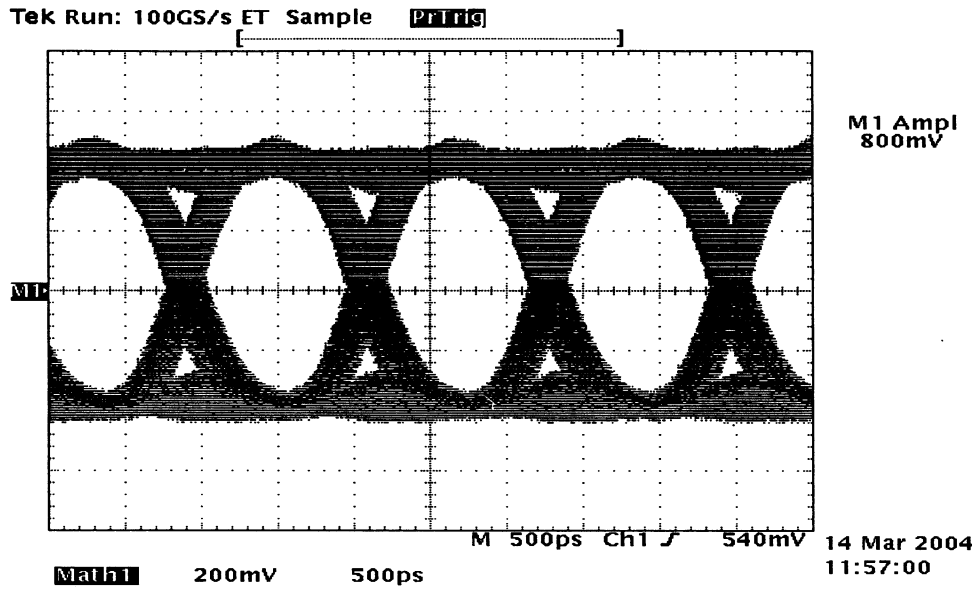
第六圖



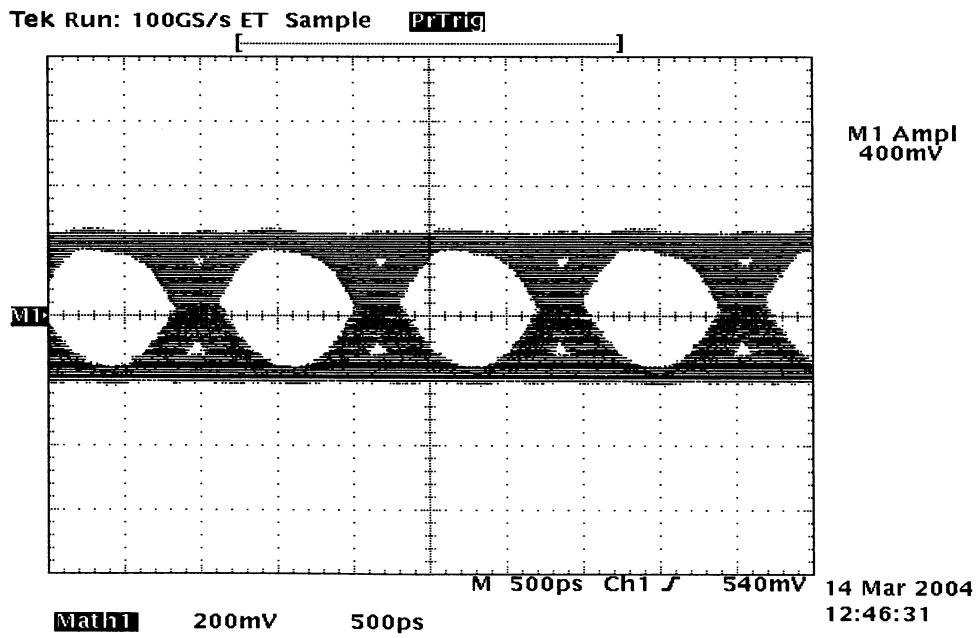
第七圖



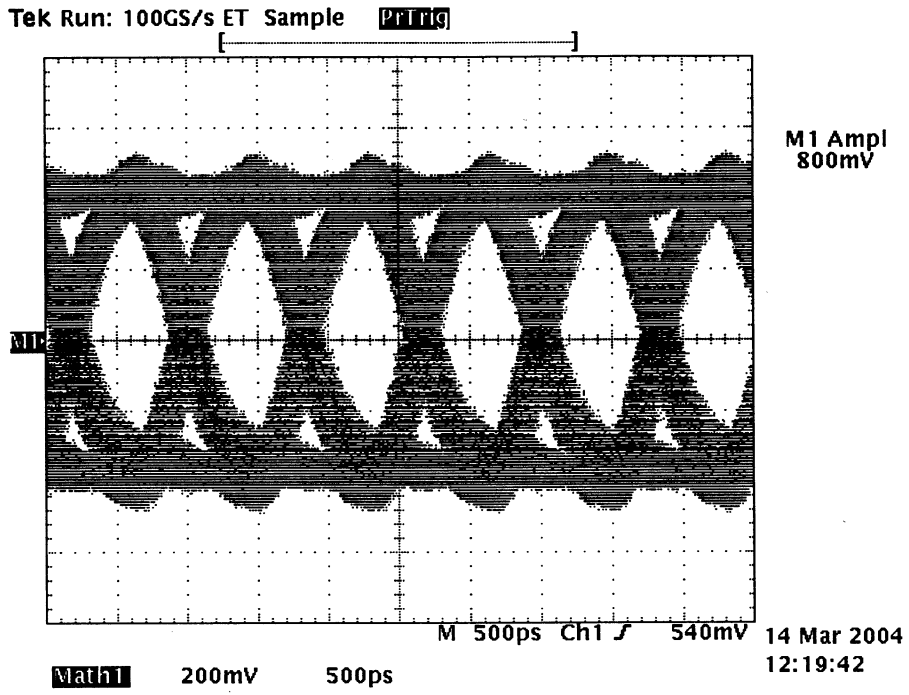
第八圖



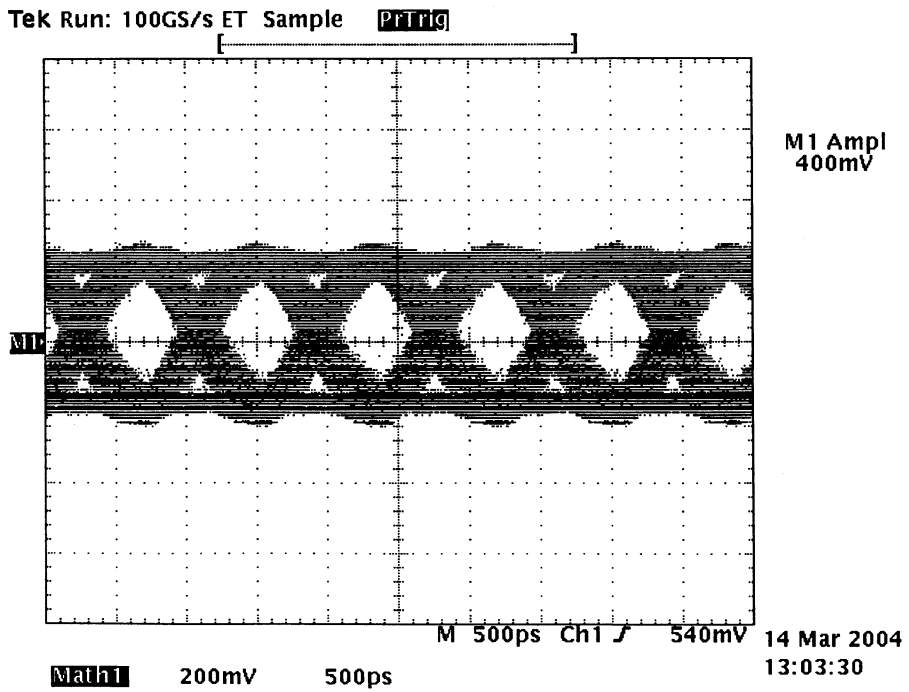
第九圖



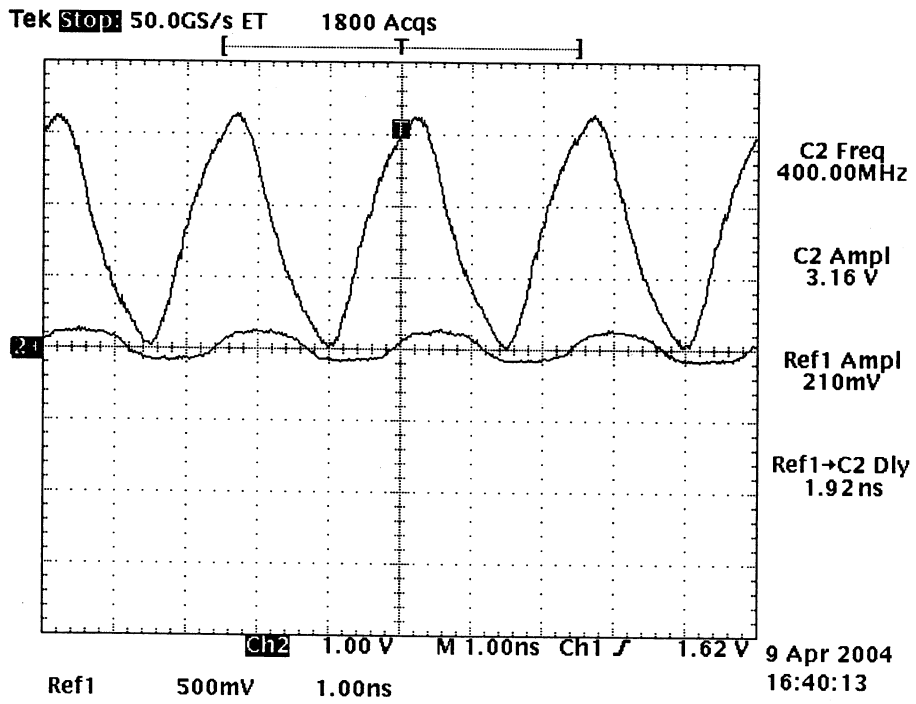
第十圖



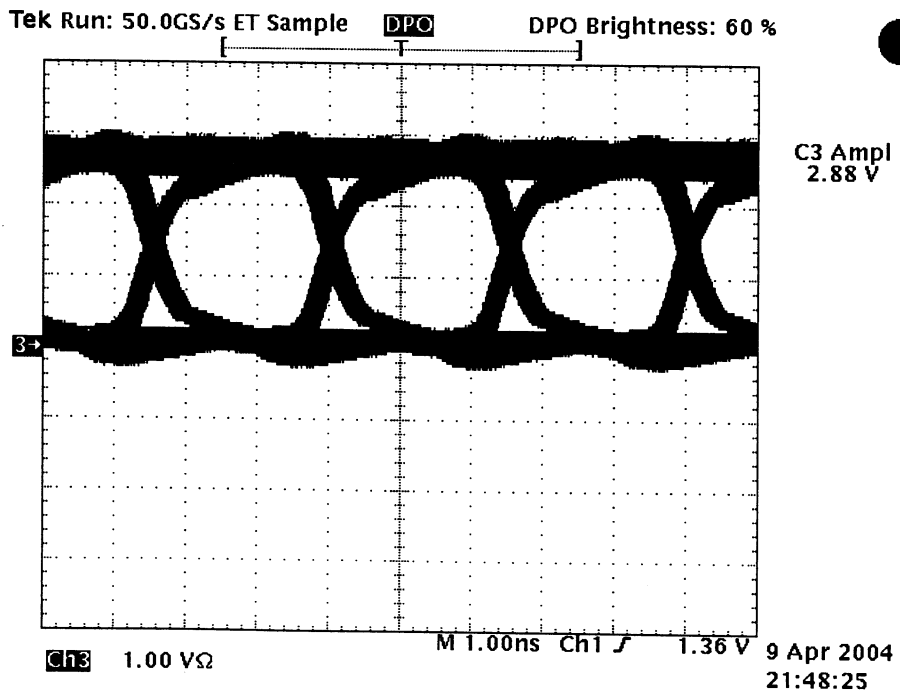
第十一圖



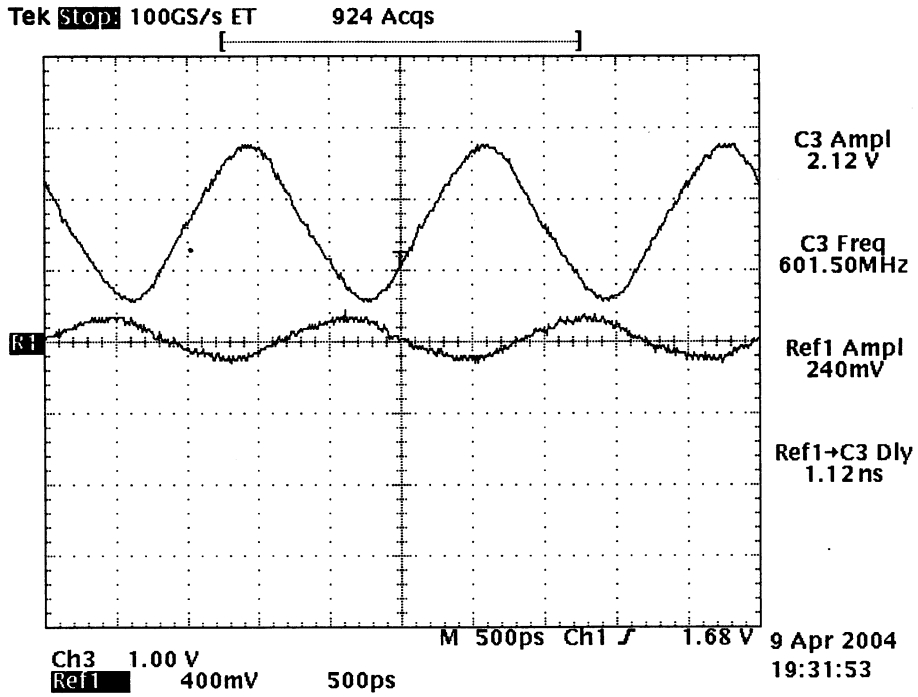
第十二圖



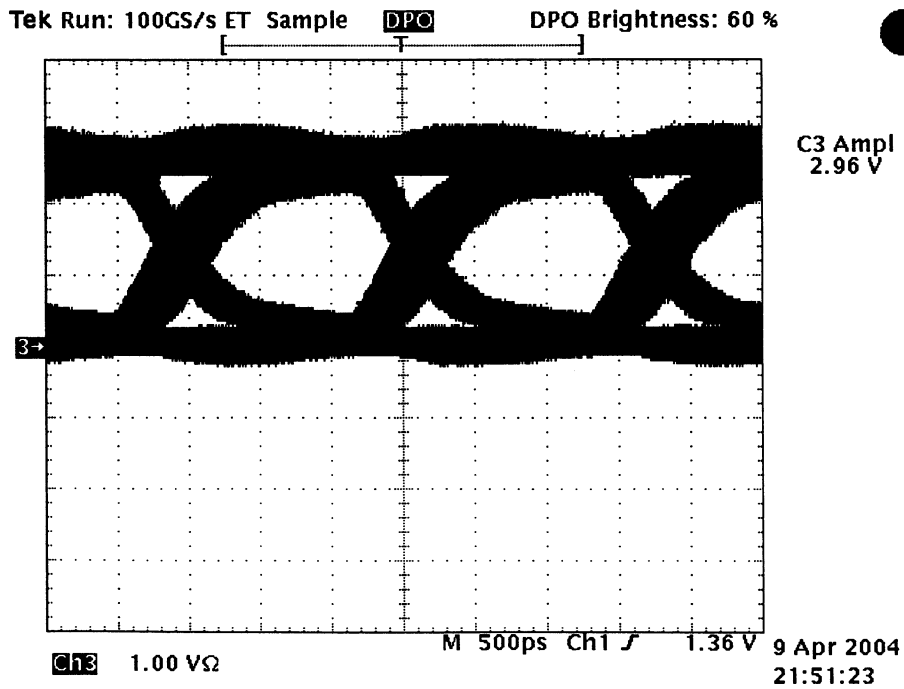
第十三圖



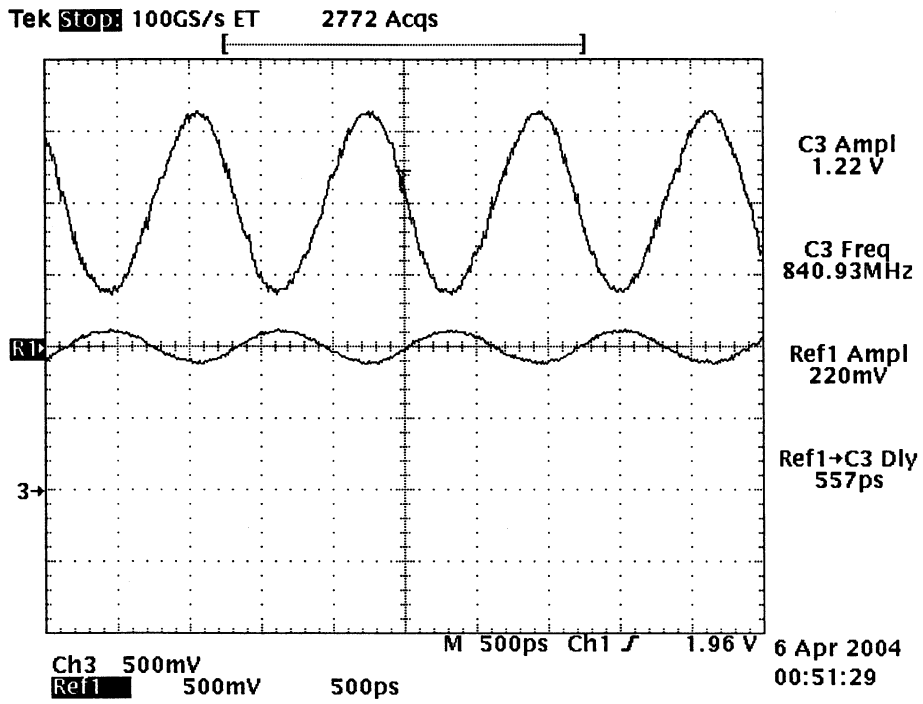
第十四圖



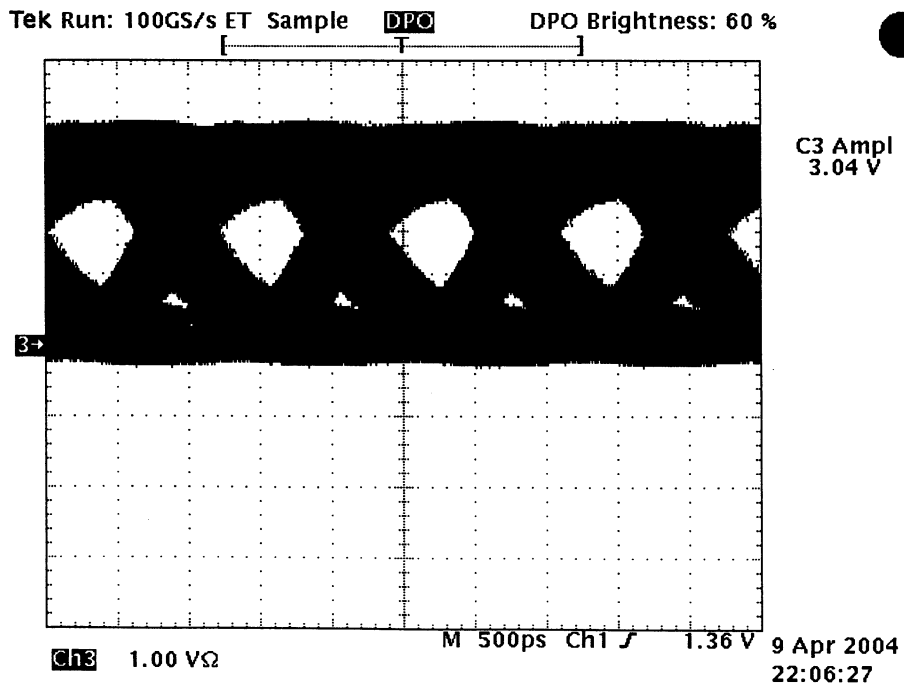
第十五圖



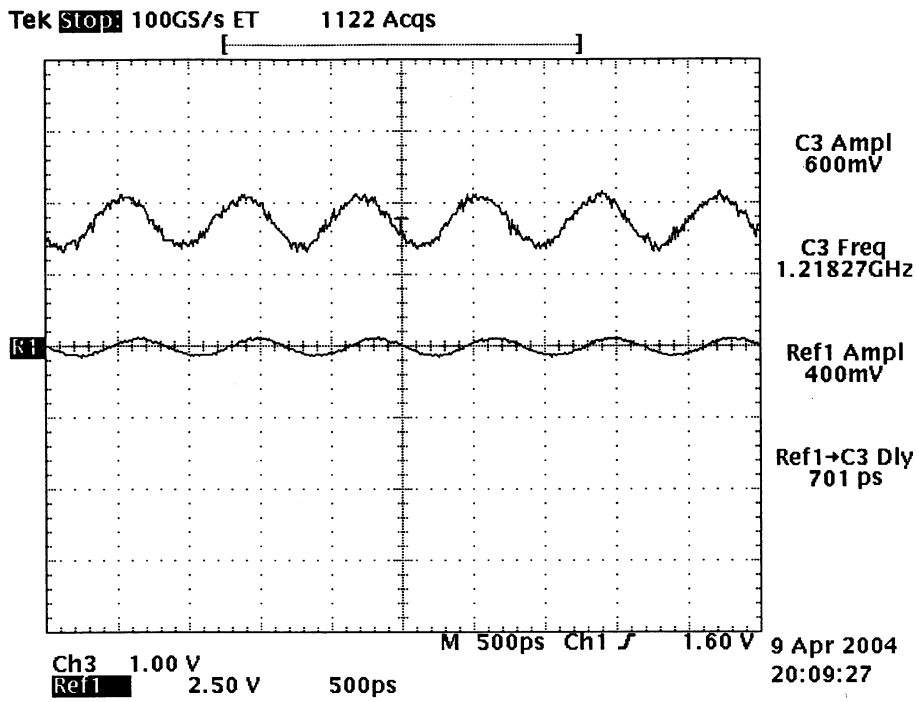
第十六圖



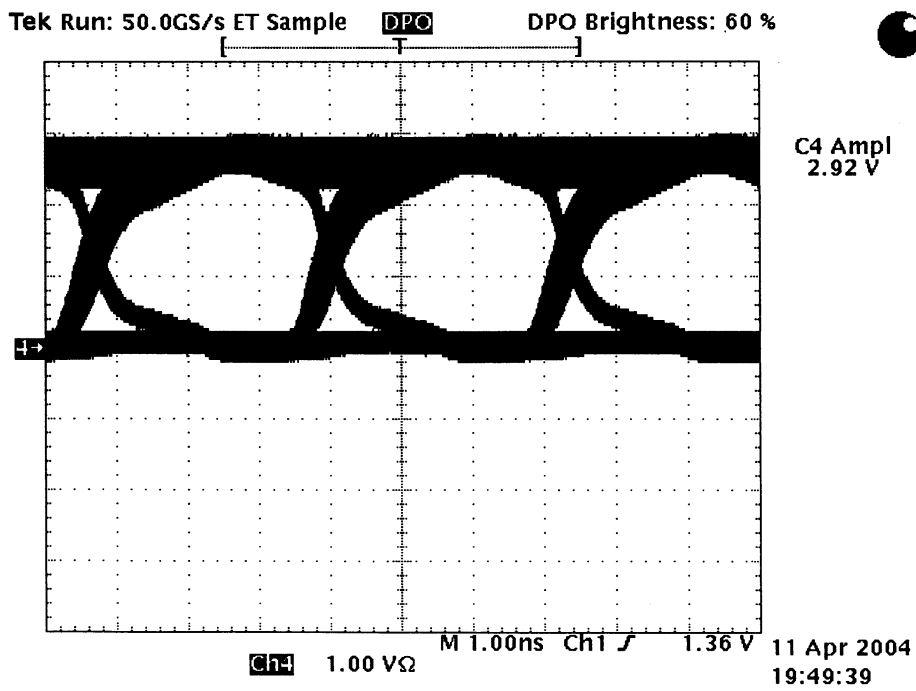
第十七圖



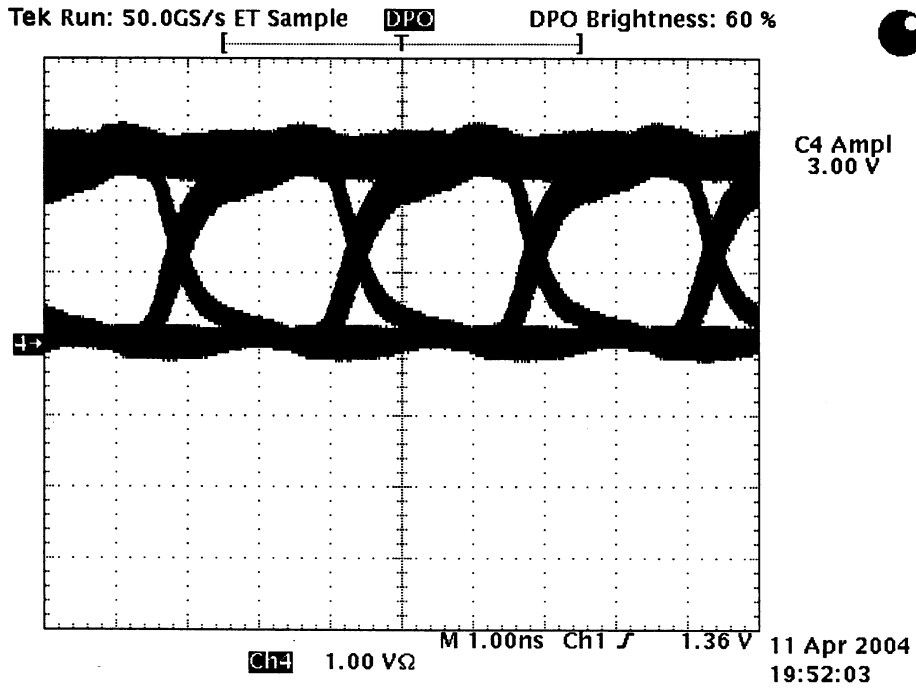
第十八圖



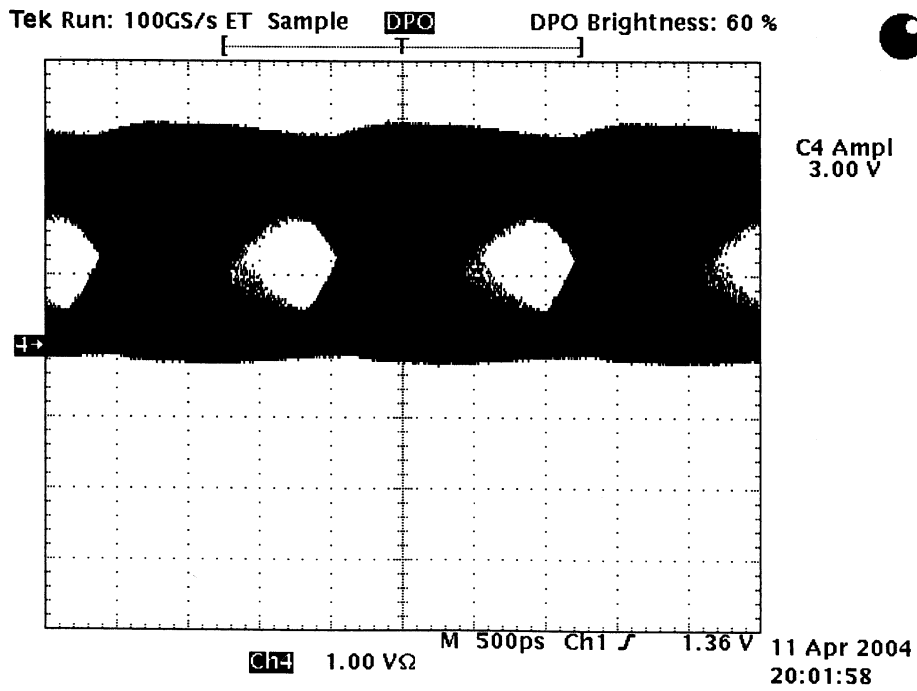
第十九圖



第二十圖



第二十一圖



第二十二圖