

發明專利說明書

200622587

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93139316

※ 申請日期：93.12.17. ※IPC 分類：G06F 11/28, H04L 29/14

一、發明名稱：(中文/英文)

資料錯誤率量測裝置及其偽隨機碼產生器 /

Bit error rate tester and pseudo random bit sequences
generator thereof

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文) 張俊彥/CHUN-YEN CHANG

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/NO. 1001, DASYUE RD., HSINCHU CITY, 300,
TAIWAN (R. O. C.)

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 陳巍仁 / CHEN, WEI-ZEN

2. 黃冠勝 / HUANG, GUAN-SHENG

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

☒ 主張專利法第二十二條第二項 ☒ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：2004 年 8 月 4 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種資料錯誤率量測裝置及其偽隨機碼產生器。此資料錯誤率量測裝置包括發送端偽隨機碼產生器、主偽隨機碼產生器、僕偽隨機碼產生器、比較器以及計數單元。發送端偽隨機碼產生器產生平行 N 位元之原偽隨機碼(N 為大於 1 之整數)，其中待測物接收原偽隨機碼後輸出平行 N 位元之待測碼。主偽隨機碼產生器產生平行 N 位元之主偽隨機碼，以及僕偽隨機碼產生器產生平行 N 位元之僕偽隨機碼。比較器接收並比較待測碼、主偽隨機碼以及僕偽隨機碼是否相同，以及輸出比較結果。計數單元耦接至比較器，用以依據比較結果計數資料錯誤次數。

六、英文發明摘要：

A bit error rate tester and a pseudo random bit sequences generator thereof are provided. The bit error rate tester includes a transmitter pseudo random bit sequences generator, a master pseudo random bit sequences generator, a slave pseudo random bit sequences generator, a comparator and a counting unit. The transmitter pseudo random bit sequences generator outputs a parallel N-bit (N is integer larger than 1) original pseudo random bit sequences, wherein an object to be tested receives the original pseudo random bit sequences and outputs a parallel N-bit code to be tested. The master and the slave pseudo random bit sequences generators

output a master and a slave parallel N-bit pseudo random bit sequences, respectively. The comparator receives and compares whether the code, the master and the slave pseudo random bit sequences is same, and outputs comparison result. The counting unit couples to the comparator for counting number of bit error base on the comparison result.

七、指定代表圖：

(一)本案指定代表圖為：圖(5)。

(二)本代表圖之元件符號簡單說明：

500：平行資料錯誤率量測裝置

510：待測物

520、530、540：偽隨機碼產生器

531、541：偽隨機碼

550：比較器

551：比較結果

560：控制電路

570：計數單元

Din：待測碼

Dout：原偽隨機碼

MD：符號密度選擇訊號

NE：資料錯誤次數

PL：序列長度選擇訊號

TF：測試失敗信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種資料錯誤率量測裝置及其偽隨機碼產生器，且特別是有關於一種並列式資料錯誤率量測裝置及其平行化偽隨機碼產生器。

【先前技術】

偽隨機碼(pseudo random bit sequences, PRBS)產生器為資料傳輸收發器常用之測試輸入信號源，如圖 1 所示為傳統具有串列式資料錯誤率量測裝置之資料傳輸收發系統。當傳送端 110 欲將資料經由傳輸媒體 130 (例如電纜線) 傳送給接收端 120 時，傳送端 110 之主系統 111 輸出並列資料給串列器(serializer) 112。串列器 112 將並列資料轉換為串列資料，緩衝器 115 則將串列資料經由傳輸媒體 130 傳給接收端 120 之緩衝器 125。解串列器 122 則將傳送端 110 所輸出且經過傳輸媒體 130 與緩衝器 125 之串列資料轉換為並列資料，以便傳送給接收端 120 之主系統 121。

當欲量測傳送端 110 與接收端 120 之間所傳輸資料的錯誤率(bit error rate)時，傳統作法是由傳送端 110 之資料錯誤率量測裝置(bit error rate tester) 113 產生串列之偽隨機碼 Dout，並且透過多工器 114 選擇將資料錯誤率量測裝置 113 所產生之偽隨機碼 Dout 傳送給緩衝器 115，緩衝器 115 則將串列之偽隨機碼經由傳輸媒體 130 傳給接收端 120 之緩衝器 125。此時解多工器 124 同時選擇將所接收之偽隨機碼傳送給資料錯誤率量測裝置 123，因此資料錯誤率

量測裝置 123 即可檢查接收到的偽隨機碼的錯誤位元數量，進而獲得資料錯誤率。

一般而言，資料錯誤率量測裝置 113 與 123 中各自具有序列式偽隨機碼產生器，以便產生相同之偽隨機碼。如圖 2 所示為傳統之序列式偽隨機碼產生器。其包含暫存器 210-1 ~ 210-15 及互斥或(XOR)閘 220。當時脈 (clock) 來臨時會把暫存器 210-1 ~ 210-14 的輸出傳送至下一級暫存器，並且把暫存器 210-14 與暫存器 210-15 之輸出藉由互斥或閘 220 做運算，並把運算之結果回授到第一個暫存器 210-1 之輸入，若所有暫存器之初始值不皆為 0，如此週而復始就可產生除了全部為 0 的其它所有組合信號，通常以輸出資料 Dout 為所產生之偽隨機碼。

為了使偽隨機碼產生器有更廣泛的應用及增加可測試性，可程式化偽隨機碼產生器有其必要性。如圖 3 所示為傳統可程式化序列式偽隨機碼產生器架構。串聯之暫存器 310-1 ~ 310-31 依照時脈逐級傳遞偽隨機碼 Dout，再依照不同之演算法將部分暫存器 310-1 ~ 310-31 的輸出經由互斥或(XOR)閘運算後輸出回授至多工器 330 而形成多條回授路徑。多工器 330 則依照選擇信號 SEL 選擇代表不同演算法之回授路徑，藉此改變所輸出偽隨機碼之序列長度。

然而，在極高速之應用條件下，習知之序列式偽隨機碼產生器資料速率將受限於數位電路與暫存器之速度，且由於暫存器皆操作於最高速度，因此往往消耗極大之功率。再者，由於傳統上資料傳輸系統係多位元並列輸入、

串列傳輸及多位元串列輸出之典型架構，因此傳統上使用串列式資料錯誤率量測裝置將無法完整測試傳輸系統中的每一個構件(例如圖 1 中無法測試到串列器 112 與解串列器 122)。

【發明內容】

本發明的目的就是在提供可調整序列長度(pattern length)、可調整符號密度(mark density)以及具有自我錯誤訂正功能之一種資料錯誤率量測裝置，以增進電路測試可靠度並且增進測試電路量測結果之正確性。

本發明的再一目的是提供可調整序列長度及可調整符號密度之一種平行化偽隨機碼(pseudo random bit sequences, PRBS)產生器，以快速產生並列的偽隨機碼。

本發明提出一種資料錯誤率量測裝置，用以量測待測物之資料錯誤次數。此資料錯誤率量測裝置包括發送端偽隨機碼產生器、主偽隨機碼產生器、僕偽隨機碼產生器、比較器以及計數單元。發送端偽隨機碼產生器產生平行 N 位元之原偽隨機碼(N 為大於 1 之整數)，其中待測物接收原偽隨機碼後輸出平行 N 位元之待測碼。主偽隨機碼產生器產生平行 N 位元之主偽隨機碼，以及僕偽隨機碼產生器產生平行 N 位元之僕偽隨機碼。比較器接收並比較待測碼、主偽隨機碼以及僕偽隨機碼是否相同，以及輸出比較結果。計數單元耦接至比較器，用以依據比較結果計數資料錯誤次數。

依照本發明的較佳實施例所述資料錯誤率量測裝置，上述之計數單元更依據比較結果計數比較次數，以便由比較次數與資料錯誤次數計算出待測物之資料錯誤率。依照本發明的較佳實施例，其中待測物係為資料傳輸系統。

依照本發明的較佳實施例所述資料錯誤率量測裝置，上述之僕偽隨機碼產生器接收待測碼，以及依據目前之待測碼產生該僕偽隨機碼。主偽隨機碼產生器除於預定期間接收待測碼並據以產生主偽隨機碼外，該主偽隨機碼產生器不接收待測碼而自動產生主偽隨機碼。

依照本發明的較佳實施例所述資料錯誤率量測裝置，上述之計數單元包括編碼器、運算電路以及累加電路。編碼器接收比較器所輸出之比較結果，並依據比較結果將該次比較中之錯誤位元數量編碼為多個錯誤次數值並輸出之。運算電路接收並加總各錯誤次數值，以及輸出目前錯誤值。累加電路依序接收每次之目前錯誤值並累加之，以輸出資料錯誤次數。

依照本發明的較佳實施例所述資料錯誤率量測裝置，上述之運算電路包括多數個第一加法器以及一第二加法器。每一個第一加法器各自接收並加總對應之錯誤次數值，以及各自輸出中間錯誤值；第二加法器接收並加總各中間錯誤值，以輸出目前錯誤值。

依照本發明的較佳實施例所述資料錯誤率量測裝置，上述之累加電路包括累加器以及計數器。累加器將前次累加結果與目前錯誤值相加，以輸出目前之累加結果。計數

器計數累加器所輸出目前累加結果之最高位元之溢位次數，以輸出計數結果，其中計數結果與累加結果即為該資料錯誤次數。

本發明再提出一種偽隨機碼產生器，包括偽隨機碼產生電路以及符號密度控制電路。偽隨機碼產生電路依據序列長度選擇訊號產生平行 $N+P-1$ 位元且序列長度最長為 2^M-1 之源偽隨機碼，其中 N 、 M 以及 P 為大於 1 之整數。符號密度控制電路接收源偽隨機碼，並依據符號密度選擇訊號改變源偽隨機碼之符號密度而輸出平行 N 位元且最低符號密度為 $1/2^P$ 之偽隨機碼。

依照本發明的較佳實施例所述偽隨機碼產生器，上述之偽隨機碼產生電路包括多個預算電路、至少一多工器以及至少一暫存器。預算電路各自依照對應之演算法進行邏輯運算，以輸出 $N+P-1$ 位元之預算結果。多工器依照序列長度選擇訊號而選擇並輸出各預算結果其中之一。暫存器依時序暫存多工器之輸出，並且輸出源偽隨機碼。其中，每一預算電路依照對應之演算法而接收源偽隨機碼進行邏輯運算，以各自輸出對應之預算結果。

依照本發明的較佳實施例所述偽隨機碼產生器，上述其中若以 MUX_s 表示各多工器中之第 s 層多工器，並且以 REG_s 表示各暫存器中之第 s 層暫存器(其中 s 為大於 0 並且小於等於 $\left\lceil \frac{M}{N} \right\rceil$ 之整數)，則 REG_s 之輸入端耦接至 MUX_s 之輸入端，以及 REG_s 之輸出端耦接至 MUX_{s-1} 之多個輸入端其中之一。

依照本發明的較佳實施例所述偽隨機碼產生器，上述其中各演算法其中之一係為 $Y_x = Y_{x-7} \oplus Y_{x-6}$ ，其中 Y_x 表示該偽隨機碼產生電路所產生之偽隨機碼之第 x 個位元，而 x 為大於 0 之整數。

依照本發明的較佳實施例所述偽隨機碼產生器，上述之符號密度控制電路包括 N 個符號密度控制器 MDC_n 。符號密度控制器 MDC_n 接收偽隨機碼產生電路之輸出 Z_n 至 Z_{n+P-1} ，並依照符號密度選擇訊號控制而決定偽隨機碼 D_n 之符號密度為 $1/2$ 至 $1/2^P$ 並輸出之。其中， Z_n 表示偽隨機碼產生電路之第 n 個位元輸出， MDC_n 表示第 n 個符號密度控制器， D_n 表示第 n 個符號密度控制器之輸出，而 n 為大於 0 且小於等於 N 之整數。

本發明因比較主偽隨機碼產生器所自動產生之偽隨機碼與來自待測物之待測碼，因此透過計數單元可即時檢測待測物之資料錯誤率。為防止主偽隨機碼產生器之輸出不正確，因此利用僕偽隨機碼產生器所產生之偽隨機碼再次與待測碼相比較，藉以判斷主偽隨機碼產生器所產生之偽隨機碼的正確性。因此，可隨時發覺自我錯誤而適時加以訂正，以增進測試電路量測結果之正確性與可靠度。其中，發送端偽隨機碼產生器、主偽隨機碼產生器、僕偽隨機碼產生器係使用可調整序列長度及可調整符號密度之平行化偽隨機碼產生器，以作為一高速可程式化之測試內建平台。本發明可以矽智產型式實現，進而取代外部昂貴測試機器。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

由於傳統上串列/解串列式收發機皆為多位元平行輸入、串列傳輸及多位元平行輸出之典型應用(如圖 1 所示)，因此平行化偽隨機碼產生器在測試上有其便利性。圖 4 是依照本發明較佳實施例說明的一種具有並列式資料錯誤率量測裝置之資料傳輸收發系統。請參照圖 4，當傳送端 410 欲將資料經由傳輸媒體 430 (例如電纜線等)傳送給接收端 420 時，傳送端 410 之主系統 411 輸出平行 N 位元(N 為大於 1 之整數)資料經由多工器 413 傳送給串列器(serializer) 412。串列器 412 將並列資料轉換為串列資料，緩衝器 415 則將串列資料經由傳輸媒體 430 傳給接收端 420 之緩衝器 425。解串列器 422 則將傳送端 410 所輸出且經過傳輸媒體 430 與緩衝器 425 之串列資料轉換為並列資料，以便經過解多工器 423 傳送給接收端 420 之主系統 421。相同的，若接收端 420 欲回傳資料給傳送端 410，則被傳送的資料需經過多工器 426、串列器 427、緩衝器 428、傳輸媒體 430、緩衝器 418、解串列器 417 與解多工器 416 而傳送到主系統 411。

為了量測完整的資料傳輸收發系統，本實施例使用並列式資料錯誤率量測裝置。當欲量測傳送端 410 與接收端 420 之間所傳輸資料的錯誤率(bit error rate)時，由傳送端

410 之資料錯誤率量測裝置(bit error rate tester) 414 產生平行 N 位元之偽隨機碼 Dout，並且透過多工器 413 選擇將資料錯誤率量測裝置 414 所產生之偽隨機碼傳送給串列器 412。串列器 412 將平行之偽隨機碼轉換為串列之偽隨機碼後傳送給緩衝器 415，緩衝器 415 則將串列之偽隨機碼經由傳輸媒體 430 傳給接收端 420 之緩衝器 425。解串列器 422 將緩衝器 425 輸出之偽隨機碼轉換為平行 N 位元之偽隨機碼後傳送給解多工器 423，此時解多工器 423 同時選擇將所接收之平行偽隨機碼(即待測碼)傳送給資料錯誤率量測裝置 424，因此資料錯誤率量測裝置 424 即可檢查接收到的待測碼之錯誤位元數量，進而獲得資料錯誤率。

一般而言，資料錯誤率量測裝置 414 與 424 中各自具有相同之並列式偽隨機碼產生器，以便產生相同之偽隨機碼。在本實施例中，資料錯誤率量測裝置 414 與 424 可參照圖 5 實施之。圖 5 是依照本發明較佳實施例說明之一種並列式資料錯誤率量測裝置方塊圖。請參照圖 5，於本實施例中待測物 510 可以是圖 4 之資料傳輸系統。若將資料錯誤率量測裝置 500 應用在內建式自我測試(built in self test, BIST)之領域中，則待測物 510 亦可以是待測之記憶體等。

資料錯誤率量測裝置 500 主要係由多序列長度偽隨機碼產生器 520、530 與 540、比較器 550、計數單元 570 及控制電路 560 所組成。其中，發射端之偽隨機碼產生器 520 產生平行 N 位元之原偽隨機碼 Dout (測試信號)至待測物

510，並經由待測物經平行序列轉換發送信號，接收端信號經解多工之後產生出待測碼 Din (待測信號)，並同時送至主偽隨機碼產生器 530 以及僕偽隨機碼產生器 540。其經由主偽隨機碼產生器 530 計算出下一個時脈(clock)的主偽隨機碼 531，以便由比較器 550 比較主偽隨機碼 531 和待測物輸出的下一筆待測碼 Din 是否相同。該比較結果 551 將送至數位控制電路 560，以判斷主偽隨機碼產生器 530 是否追蹤到待測物 510 輸出的待測碼 Din，當主偽隨機碼產生器 530 追蹤到待測物 510 輸出的待測碼 Din 後，將開始進行錯誤率量測。

當開始進行錯誤率量測時，由比較器 550 比對主偽隨機碼產生器 530 輸出的主偽隨機碼 531 和待測物 510 輸出的待測碼 Din，每比對一次，測試量計數加 1，以統計已測量之資料信號量。當主偽隨機碼產生器 530 輸出的主偽隨機碼 531 和待測物 510 輸出的待測碼 Din 信號相同時，則計數單元 570 之錯誤計數加 0；如不同時，其可能狀況有二：其一為接收信號有誤，其二為主偽隨機碼產生器 530 之自身錯誤。為鑑別此二種狀況，主偽隨機碼產生器 530 產生的主偽隨機碼 531、僕偽隨機碼產生器 540 產生的僕偽隨機碼 541 和待測物輸出的待測碼 Din 將同時經由比較器 550 比較，比較器 550 之輸出結果 551 將送至控制電路 560，以進行執行錯誤鑑別。

若主偽隨機碼產生器 530 輸出的主偽隨機碼 531 和待測物 510 輸出的待測碼 Din 信號不同，但僕偽隨機碼產生

器 540 輸出的僕偽隨機碼 541 和待測物 510 輸出的待測碼 Din 信號相同，此時為主偽隨機碼產生器 530 自行產生錯誤，因此控制電路 560 控制計數單元 570 而不要將此次錯誤計入，同時並重新將待測碼 Din 載入主偽隨機碼產生器，以便產生下筆偽隨機碼以供比對。

如主偽隨機碼產生器 530 輸出的主偽隨機碼 531 和待測物 510 輸出的待測碼 Din 相同，則不理會待測物 510 輸出的待測碼 Din 信號和僕偽隨機碼產生器 540 輸出的僕偽隨機碼 541 是否相同。若主偽隨機碼產生器 530 輸出的主偽隨機碼 531 和待測物 510 輸出的待測碼 Din 不同，而待測物 510 輸出的待測碼 Din 信號和僕偽隨機碼產生器 540 輸出的僕偽隨機碼 541 亦不相同，則在計數單元 570 登錄主偽隨機碼 531 和待測碼 Din 二者之間錯誤位元數量，並持續進行測試動作。

偽隨機碼產生器之實施方式將於稍後說明之。由於偽隨機碼產生器 520、530、540 產生的亂數是串列線性的關係，若此時符號密度(mark density)為 $1/2$ ，則只要將接收資料載入偽隨機碼產生器，其會正確的運算出下一次應輸入的值。

在發射端與接收端進行同步階段時，控制電路 560 將控制主偽隨機碼產生器 530 載入待測碼 Din 以便產生下筆偽隨機碼以供比對。若接收端的主偽隨機碼產生器 530 輸出之主偽隨機碼 531 和待測物 510 輸出的待測碼 Din 經由 K 次(如 $K=3$ ，實際次數則可依電路須求而改變)連續比較

相同無誤，則接收端之主偽隨機碼產生器 530 將進入自動產生的狀態而不再接收待測碼 Din，且符號密度可依測試需求進行設定，同時啟動計數單元 570 計算資料錯誤次數(即錯誤位元數)以及測試次數。若輸出位元數為 N，而設計偽隨機碼序列長度(pattern length)為 2^M-1 位元時，則上述 K 最少為 $\left\lceil \frac{M}{N} \right\rceil$ 次。發射端與接收端在完成同步階段隨即進入測試階段。

當接收端進入測試階段後且經過 T 個時脈週期無法達到發射與接收端同步，則判定此待測物 510 錯誤率過高，同時並顯示出測試失敗信號 TF。上述 T 可依所須規格定訂其值，例如 $T = K \times \text{待測物最大錯誤率}(P_{\max}) / \text{可測得最小錯誤率}(P_{\min})$ 。據此，則所需之錯誤次數計數器容量(E) = $P_{\max}/P_{\min}$ ，且測試樣本計數器容量(C) = $1/(P_{\min} \times N)$ 。

圖 6 為計數單元 570 之錯誤累加計數器之方塊圖。請參照圖 6，由於比較器 550 輸出為 N 位元，為了減少加法器的位元數以及加快累加運算速度，比較器 550 輸出之比較結果將被分為多組位元。為方便說明，以下將以 N=16、P=3 為例說明之，並且假設比較結果中每一位元若為 1 則表示圖 5 中待測物 510 輸出的待測碼 Din 之相對應位元發生錯誤。

將比較器 550 輸出之比較結果分為 4 組，每一組為 4 位元，則比較結果之各組經編碼器 610 編碼轉換為 3 位元之錯誤次數值。例如，若其中一組為「1111」(表示此 4 個位元皆發生錯誤)，則經編碼器 610 編碼輸出錯誤次數值為

「4」(二進位為 100，即錯誤位元數量為 4)。再透過管線化結構(pipeline)的方式經過運算電路 620 將各組錯誤次數值相加總而輸出目前錯誤值 645，以及用累加電路 630 將歷次比較之目前錯誤值 645 進行累加而輸出資料錯誤次數。

上述運算電路 620 包括暫存器 621、第一加法器 622、暫存器 623 以及第二加法器 624。編碼器 610 輸出 4 組 3 位元之錯誤次數值經過暫存器 621 後，分別兩兩一對傳送至對應之第一加法器 622 進行加總。每個第一加法器 622 將所接收之 2 組 3 位元錯誤次數值相加後各自輸出 4 位元之中間錯誤值。第二加法器 624 透過暫存器 623 接收第一加法器 622 所輸出 4 位元之中間錯誤值並進行加法運算，以輸出 5 位元之目前錯誤值 645。

上述累加電路 630 包括累加器 631 以及計數器 633。累加器 631 將前次一累加結果 632 與目前錯誤值 645 相加，以輸出目前之累加結果 632，而累加結果 632 之最高位元更傳送至計數器 633，以計數累加結果 632 之溢位次數並輸出計數結果 634。計數結果 634 與累加結果 632 即為資料錯誤次數 NE，故可得到一節省硬體且高效率的錯誤次數累加器。

上述實施例中平行化多序列長度、多符號密度的偽隨機碼產生器 520、530 與 540 可以參照圖 7 實施之。圖 7 是依照本發明較佳實施例說明之一種並列式偽隨機碼產生器方塊圖。請參照圖 7，偽隨機碼產生電路 710 依據序列

長度選擇訊號 PL 產生 $N+P-1$ 位元且序列長度最長為 2^M-1 之源偽隨機碼 711，其中 M 以及 P 為大於 1 之整數。符號密度控制電路 720 接收源偽隨機碼 711，並依據符號密度選擇訊號 MD 改變源偽隨機碼之符號密度而輸出 N 位元且最低符號密度為 $1/2^P$ 之偽隨機碼 721。

上述圖 2 所示為習知固定計算長度之偽隨機碼產生器之一例，其演算法可表示為 $y_m = y_{m-M} \oplus y_{m-M+a}$ ，其序列長度為 2^M-1 ， a 為小於 M 的整數。圖 8A 是當 M 小於平行輸出位元數時之圖 7 中偽隨機碼產生電路 710 之方塊圖。請參照圖 8A，圖中 $a18 \sim a1$ 、 $b18 \sim b1$ 以及 $c18 \sim c1$ 分別表示進行不同演算法之預算電路的輸出。各預算電路即利用互斥或閘完成 $y_m = y_{m-M} \oplus y_{m-M+a}$ 的運算，且預先計算出下一個時脈所有平行輸出資料，同時經由多工器 802 依照序列長度選擇訊號 PL 選擇回授位元以進行輸出序列之程式化。

當序列長度的冪次 M 小於或等於平行輸出位元數 N 時，由於其可平行預算之位元數較少，無法在較短時間內產生所需之所有輸出位元。為解決此一問題，在此以遞回式預先運算技術，以簡化邏輯運算之複雜度，進而提升整體產生器之運算速度。以一序列長度為 2^M-1 的偽隨機碼產出例，其第 m 位元為 $y_m = y_{m-M} \oplus y_{m-M+a}$ ，其中 a 為小於 M 的整數(a 值代表不同之序列長度)。例如，圖 8A 中輸入位元 $a18 \sim a1$ 分別為圖 9A 中進行演算法 $y_m = y_{m-7} \oplus y_{m-6}$ 之預算電路的輸出位元 $y32 \sim y17$ 。圖 9A 是進行演算法 $y_m = y_{m-7} \oplus y_{m-6}$ (序列長度 2^7-1) 且 16 位元輸出之預算電路。圖 9A 中輸

入位元 $y_{16} \sim y_{10}$ 則由圖 8A 中暫存器 801 輸出之部份位元所提供。

$$y_m = y_{m-M} \oplus y_{m-M+a} \text{ 經遞回化簡後為}$$

$$y_m = y_{m-2M} \oplus y_{m-2M+a} \oplus y_{m-2M+a} \oplus y_{m-2M+2a}$$

$$y_m = y_{m-2M} \oplus y_{m-2M+2a}$$

由上式可知，我們可依據 $[y_{m-2M}, \dots, y_{m-M-1}]$ 序列及遞回式預先運算法則同時求出 y_{m-M} 及 y_m 之輸出結果，故可在一樣的互斥或延遲時間內預先算出較多的值。例如，圖 9B 所示為由圖 9A 簡化後之序列長度 2^7-1 預算電路，其顯示遞回式預先運算法則應用在短序列長度時可有較快的運算速度。藉由邏輯簡化可預算出更多資料，且經過較短時間的運算即可得到預算的值，增進偽隨機碼產生速度。本實施例雖僅以圖 9A 與圖 9B 作為說明進行演算法 $y_m = y_{m-7} \oplus y_{m-6}$ 預算電路之實施範例，然而熟習此技藝者可以依照其所需選擇不同演算法因而設計出不同的預算電路。

圖 8A 所示為當 M 小於平行輸出位元數時之偽機碼產生器之平行偽隨機碼產生電路，除 16 位元偽隨機碼輸出 $y_{16} \sim y_1$ 之外，於每次輸出時更包含延展位元(extended bits) $y_{18} \sim y_{17}$ ，以便於符號密度控制電路進行多重符號密度控制功能。其可使序列產生器的信號更加多元化，進而輔助電路進行更多更複雜的分析。

圖 8B 所示為當 M 大於平行輸出位元數，且小於或等於兩倍平行輸出位元數時之偽隨機碼產生器。如圖 8B 所示，平行化偽隨機碼經由互斥或預先運算延續之資料，並

暫存於暫存器內，至下一個時脈以平行化輸出。d16~d1 和 e16~e1 代表兩組序列長度之偽隨機碼預算電路之輸出，其可經由多工器 805 選擇序列長度。換句話說，由於預算電路從第一筆資料(暫存器 803 之輸出 y18~y1)只能完整運算出第三筆資料(即預算電路之輸出 d18~d1 或 e18~e1，其由多工器依照序列長度選擇訊號 PL 選擇之)，故須先把第二筆資料存在暫存器 804 內(即暫存器 804 之輸出 y34~y17)，經由一個時間延遲後再由暫存器 803 輸出。

圖 8C 是圖 7 中偽隨機碼產生電路 710 之再一實施例方塊圖。請參照圖 8C，其為一序列長度為 2^7-1 、 $2^{10}-1$ 、 $2^{15}-1$ 、 $2^{23}-1$ 、 $2^{31}-1$ 之 16 位元平行輸出偽隨機碼產生電路，其中序列長度選擇訊號 PL 可決定此電路輸出為何種序列長度。圖中輸出位元 y16~y1 為偽隨機碼輸出，而所增加的兩位元暫存器是為了儲存延展位元(y34、y33)與(y18、y17)，以供符號密度控制電路 720 產生符號密度為 1/2、1/4、1/8 的測試信號。圖中 d16~d1 和 e16~e1 代表當 M 大於平行輸出位元數且小於或等於兩倍平行輸出位元數 N 時之兩組序列長度偽隨機碼預算電路之輸出，例如分別為進行 $y_m = y_{m-23} \oplus y_{m-18}$ 與 $y_m = y_{m-31} \oplus y_{m-28}$ 運算之預算電路。另外，圖中 a16~a1、b16~b1 和 c16~c1 代表當序列長度的冪次 M 小於或等於平行輸出位元數 N 時之三組序列長度偽隨機碼預算電路之輸出，例如分別為進行 $y_m = y_{m-7} \oplus y_{m-6}$ 、 $y_m = y_{m-10} \oplus y_{m-7}$ 與 $y_m = y_{m-15} \oplus y_{m-14}$ 運算之預算電路。其可經由第一層多工器 808-1 與第二層多工器 808-2 選擇序列長

度。例如，欲選擇進行 $y_m = y_{m-23} \oplus y_{m-18}$ 運算之預算電路，則藉由序列長度選擇訊號 PL 控制第二層多工器 808-2 選擇輸入端 d16~d1 耦接至第二層暫存器 807-2，以及控制第一層多工器 808-1 選擇第二層暫存器 807-2 之輸出耦接至第一層暫存器 807-1。再者，例如欲選擇進行 $y_m = y_{m-7} \oplus y_{m-6}$ 運算之預算電路，則藉由序列長度選擇訊號 PL 控制第一層多工器 808-1 選擇將輸入端 a16~a1 耦接至第一層暫存器 807-1。

多工器 806 之主要目的為提供外部信號 Din 載入偽隨機碼產生電路之功能，例如像圖 5 中主偽隨機碼產生器 530 接收待測物 510 輸出之待測碼 Din 一般。多工器 806 之輸出 $y_{18} \sim y_1$ 依序接至符號密度控制電路 720 (如圖 10A 所示)，即可依據控制信號 MD (例如圖 10A 中之 S1 與 S2) 產生不同符號密度之偽隨機碼。

圖 8D 是圖 7 中偽隨機碼產生電路之又一實施例方塊圖。請參照圖 8D，其為一平行輸出 N 位元、序列長度最長為 $2^M - 1$ 且最低符號密度為 $1/2^P$ 之偽隨機碼產生器，其由 L 層 (N+P-1) 位元暫存器 810-1 至 810-L 所組成，其中 $L = \left\lceil \frac{M}{N} \right\rceil$ 。由於偽隨機碼產生電路有一個全部為 0 的穩定狀態，故在電路起始狀態須把至少一個暫存器值設定為 1，以保證電路可以正常操作。本實施例中例如將所有暫存器之初始值均設定為 1。

各層多工器 811-1 至 811-L 選擇從不同預算電路輸出具有不同序列長度的預算結果回授至對應之暫存器 810-1

至 810-L 其中一層中，經由各層暫存器將偽隨機碼逐層傳遞後，最後從第一層暫存器 810-1 將偽隨機碼平行傳送至多工器 809。多工器 809 之主要目的為提供外部信號 Din 載入偽隨機碼產生電路之功能，例如像圖 5 中主偽隨機碼產生器 530 接收待測物 510 輸出之待測碼 Din 一般。多工器 809 之輸出 $y_{n+p-1} \sim y_1$ 除傳送給各預算電路外，更依序接至符號密度控制電路 720 (如圖 10A 所示)，即可依據控制信號 MD 產生 N 位元、序列長度最長為 2^M-1 位元且最低符號密度為 $1/2^P$ 之偽隨機碼。

此外，在符號密度控制方面，由於偽隨機碼相鄰位元互相獨立，且每位元出現 0 與 1 的機率皆為 $1/2$ ，故把相鄰 n 位元經過邏輯和(AND)運算後，邏輯 1 出現的機率將降為 $1/2^n$ ，因此藉由改變輸出位元邏輯和(AND)運算的多寡將可控制偽隨機碼位元符號的密度，進而改變測試信號之等效直流準位。圖 10A 是圖 7 中符號密度控制電路 720 之方塊圖。請同時參照圖 7 與圖 10A，此多重符號密度控制電路係以 $N=16$ 且 $P=3$ 為例。偽隨機碼產生電路 710 輸出偽隨機碼 $y_{18} \sim y_1$ 將各自輸入對應之符號密度控制單元 MDC_{16} 至 MDC_1 ，亦即第 n 個符號密度控制單元接收 y_n 、 y_{n+1} 、 y_{n+2} 。例如，第 1 個符號密度控制單元 MDC_1 接收 y_1 、 y_2 、 y_3 ，而第 16 個符號密度控制單元 MDC_{16} 則接收 y_{16} 、 y_{17} 、 y_{18} 。每一個符號密度控制單元均依照符號密度選擇訊號符號 MD (在此以密度選擇訊號 S1 與 S2 為實施例)之控

制而輸出 N 位元且具有對應符號密度之偽隨機碼 721 (本實施例以 $D_{16} \sim D_1$ 為例)。

圖 10B 是圖 10A 中第 n 個符號密度控制單元之實施範例。請同時參照圖 10A 與圖 10B，或閘 1010 與 1020 各自依照密度選擇訊號 $S1$ 與 $S2$ 以決定是否將偽隨機碼位元 y_{n+1} 與 y_{n+2} 傳送及閘 1030。及閘 1030 接收偽隨機碼位元 y_n 、或閘 1010 與 1020 之輸出以產生偽隨機碼位元 D_n 。其操作狀況如表一所示。

表一

S1	S2	D_n	符號密度
0	0	$y_n \cdot y_{n+1} \cdot y_{n+2}$	1/8
0	1	$y_n \cdot y_{n+1}$	1/4
1	0	$y_n \cdot y_{n+2}$	1/4
1	1	y_n	1/2

因此，藉由符號密度控制電路 720 改變所輸出偽隨機碼之符號密度，使得本實施例之偽隨機碼產生器將可具體模擬不同數位編碼所造成之直流位準偏移，進而使資料錯誤率量測裝置提昇測試之有效性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 所示為傳統具有串列式資料錯誤率量測裝置之資料傳輸收發系統。

圖 2 為傳統之序列式偽隨機碼產生器。

圖 3 為傳統可程式化序列式偽隨機碼產生器架構。

圖 4 是依照本發明較佳實施例說明的一種具有並列式資料錯誤率量測裝置之資料傳輸收發系統。

圖 5 是依照本發明較佳實施例說明之一種並列式資料錯誤率量測裝置方塊圖。

圖 6 為圖 5 中計數單元之錯誤累加計數器之方塊圖

圖 7 是依照本發明較佳實施例說明之一種並列式偽隨機碼產生器方塊圖。

圖 8A 是當 M 小於平行輸出位元數時之圖 7 中偽隨機碼產生電路其中一實施例方塊圖。

圖 8B 是圖 7 中偽隨機碼產生電路之另一實施例方塊圖。

圖 8C 是圖 7 中偽隨機碼產生電路之再一實施例方塊圖。

圖 8D 是圖 7 中偽隨機碼產生電路之又一實施例方塊圖。

圖 9A 是進行演算法 $Y_x = Y_{x-7} \oplus Y_{x-6}$ 且 16 位元輸出之預算電路。

圖 9B 所示為由圖 9A 簡化後之序列長度 2^7-1 運算電路。

圖 10A 是圖 7 中符號密度控制電路之方塊圖。

圖 10B 是圖 10A 中各符號密度控制單元之實施範例。

【主要元件符號說明】

110、410：傳送端

111、121、411、421：主系統

112、412、427：串列器(serializer)

113、123：習知之串列資料錯誤率量測裝置(bit error rate tester)

114、330、413、426、802、805、806、808-1、808-2、809、811-1~811-L：多工器

115、125、415、418、425、428：緩衝器

120、420：接收端

122、417、422：解串列器

124、416、423：解多工器

130、430：傳輸媒體

210-1~210-15、310-1~310-31、621、623、801、803、804、807-1、807-2、810-1~810-L：暫存器

220：互斥或(XOR)閘

414、424、500：平行資料錯誤率量測裝置

510：待測物

520、530、540：偽隨機碼產生器

531、541、721：偽隨機碼

550：比較器

551：比較結果

560：控制電路

570：計數單元
610：編碼器
620：運算電路
622、624：加法器
630：累加電路
631：累加器
633：計數器
632：累加結果
634：計數結果
645：目前錯誤值
710：偽隨機碼產生電路
711：源偽隨機碼
720：符號密度控制電路
1010、1020：或閘
1030：及閘
Din：待測碼
Dout：原偽隨機碼
MD：符號密度選擇訊號
MDC₁₆~MDC₁：符號密度控制單元
NE：資料錯誤次數
PL：序列長度選擇訊號
TF：測試失敗信號

十、申請專利範圍：

1.一種資料錯誤率量測裝置，用以量測一待測物之一資料錯誤次數，該資料錯誤率量測裝置包括：

一發送端偽隨機碼產生器，用以產生平行 N 位元之一原偽隨機碼，N 為大於 1 之整數，其中該待測物接收該原偽隨機碼後輸出平行 N 位元之一待測碼；

一主偽隨機碼產生器，用以產生平行 N 位元之一主偽隨機碼；

一僕偽隨機碼產生器，用以產生平行 N 位元之一僕偽隨機碼；

一比較器，用以接收並比較該待測碼、該主偽隨機碼以及該僕偽隨機碼是否相同，以及輸出一比較結果；以及

一計數單元，耦接至該比較器，用以依據該比較結果計數該資料錯誤次數。

2.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該計數單元更依據該比較結果計數一比較次數，以便由該比較次數與該資料錯誤次數計算出該待測物之一資料錯誤率。

3.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該待測物係一資料傳輸系統。

4.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該僕偽隨機碼產生器接收該待測碼，以及依據目前之該待測碼產生該僕偽隨機碼。

5.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該主偽隨機碼產生器除於一預定期間接收該待測碼並據以產生該主偽隨機碼外，該主偽隨機碼產生器不接收該待測碼而自動產生該主偽隨機碼。

6.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該計數單元包括：

一編碼器，用以接收該比較器所輸出之該比較結果，並依據該比較結果將該次比較中錯誤位元數量編碼為多數個錯誤次數值並輸出之；

一運算電路，用以接收並加總該些錯誤次數值，以及輸出一目前錯誤值；以及

一累加電路，用以依序接收每次之該目前錯誤值並累加之，以輸出該資料錯誤次數。

7.如申請專利範圍第 6 項所述之資料錯誤率量測裝置，其中該運算電路包括：

多數個第一加法器，每一該些第一加法器各自接收並加總對應之該些錯誤次數值其中二者，以及各自輸出一中間錯誤值；以及

一第二加法器，用以接收並加總該些中間錯誤值，以輸出該目前錯誤值。

8.如申請專利範圍第 6 項所述之資料錯誤率量測裝置，其中該累加電路包括：

一累加器，用以將前次一累加結果與該目前錯誤值相加，以輸出目前之該累加結果；以及

一計數器，用以計數該累加器所輸出目前該累加結果之最高位元之溢位次數，以輸出一計數結果，其中該計數結果與該累加結果之結合即為該資料錯誤次數。

9.如申請專利範圍第 1 項所述之資料錯誤率量測裝置，其中該發送端偽隨機碼產生器、該主偽隨機碼產生器以及該僕偽隨機碼產生器各自包括：

一偽隨機碼產生電路，用以依據一序列長度選擇訊號產生 $N+P-1$ 位元且序列長度最長為 2^M-1 之一源偽隨機碼，其中 M 以及 P 為大於 1 之整數；以及

一符號密度控制電路，用以接收該源偽隨機碼，並依據一符號密度選擇訊號改變該源偽隨機碼之符號密度而各自輸出 N 位元且最低符號密度為 $1/2^P$ 之該原偽隨機碼、該主偽隨機碼以及該僕偽隨機碼。

10.如申請專利範圍第 9 項所述之資料錯誤率量測裝置，其中該偽隨機碼產生電路包括：

多數個預算電路，用以各自依照多數個演算法其中之一進行邏輯運算以輸出 $N+P-1$ 位元之一預算結果；

至少一多工器，用以依照該序列長度選擇訊號而選擇並輸出該些預算結果其中之一；以及

至少一暫存器，用以依時序暫存該多工器之輸出，並且輸出該源偽隨機碼；

其中每一該些預算電路依照對應之該演算法而接收該源偽隨機碼進行邏輯運算，以各自輸出對應之該預算結果。

11.如申請專利範圍第 10 項所述之資料錯誤率量測裝置，其中若以 MUX_s 表示該些多工器中之第 s 層多工器，並且以 REG_s 表示該些暫存器中之第 s 層暫存器，而其中 s 為大於 0 並且小於等於 $\left\lceil \frac{M}{N} \right\rceil$ 之整數，則 REG_s 之輸入端耦接至 MUX_s 之輸入端，以及 REG_s 之輸出端耦接至 MUX_{s-1} 之多數個輸入端其中之一。

12.如申請專利範圍第 10 項所述之資料錯誤率量測裝置，其中該些演算法其中之一係為 $Y_x = Y_{x-7} \oplus Y_{x-6}$ ，其中 Y_x 表示該偽隨機碼產生電路所產生之偽隨機碼之第 x 個位元，而 x 為大於 0 之整數。

13.如申請專利範圍第 9 項所述之資料錯誤率量測裝置，其中該符號密度控制電路包括：

N 個符號密度控制器 MDC_n ，用以接收該偽隨機碼產生電路所之輸出 Z_n 至 Z_{n+P-1} 並依照該符號密度選擇訊號控制決定偽隨機碼 D_n 之符號密度為 $1/2$ 至 $1/2^P$ 並輸出之，其中 Z_n 表示該偽隨機碼產生電路之第 n 個位元輸出， MDC_n 表示第 n 個該符號密度控制器， D_n 表示第 n 個該符號密度控制器之輸出，而 n 為大於 0 且小於等於 N 之整數。

14.一種偽隨機碼產生器，包括：

一偽隨機碼產生電路，用以依據一序列長度選擇訊號產生平行 $N+P-1$ 位元且序列長度最長為 2^M-1 之一源偽隨機碼，其中 N 、 M 以及 P 為大於 1 之整數；以及

一符號密度控制電路，用以接收該源偽隨機碼，並依據一符號密度選擇訊號改變該源偽隨機碼之符號密度而輸出平行 N 位元且最低符號密度為 $1/2^P$ 之一偽隨機碼。

15.如申請專利範圍第 14 項所述之偽隨機碼產生器，其中該偽隨機碼產生電路包括：

多數個預算電路，用以各自依照對應之演算法進行邏輯運算以輸出 N+P-1 位元之一預算結果；

至少一多工器，用以依照該序列長度選擇訊號而選擇並輸出該些預算結果其中之一；以及

至少一暫存器，用以依時序暫存該多工器之輸出，並且輸出該源偽隨機碼；

其中每一該些預算電路依照對應之該演算法而接收該源偽隨機碼進行邏輯運算，以各自輸出對應之該預算結果。

16.如申請專利範圍第 15 項所述之偽隨機碼產生器，其中若以 MUX_s 表示該些多工器中之第 s 層多工器，並且以 REG_s 表示該些暫存器中之第 s 層暫存器，而其中 s 為大於 0 並且小於等於 $\left\lceil \frac{M}{N} \right\rceil$ 之整數，則 REG_s 之輸入端耦接至 MUX_s 之輸入端，以及 REG_s 之輸出端耦接至 MUX_{s-1} 之多數個輸入端其中之一。

17.如申請專利範圍第 15 項所述之偽隨機碼產生器，其中該些演算法其中之一係為 $Y_x = Y_{x-7} \oplus Y_{x-6}$ ，其中 Y_x 表示該偽隨機碼產生電路所產生之偽隨機碼之第 x 個位元，而 x 為大於 0 之整數。

18.如申請專利範圍第 14 項所述之偽隨機碼產生器，其中該符號密度控制電路包括：

N 個符號密度控制器 MDC_n ，用以接收該偽隨機碼產生電路之輸出 Z_n 至 Z_{n+P-1} 並依照該符號密度選擇訊號控制決定偽隨機碼 D_n 之符號密度為 $1/2$ 至 $1/2^P$ 並輸出之，其中 Z_n 表示該偽隨機碼產生電路之第 n 個位元輸出， MDC_n 表示第 n 個該符號密度控制器， D_n 表示第 n 個該符號密度控制器之輸出，而 n 為大於 0 且小於等於 N 之整數。

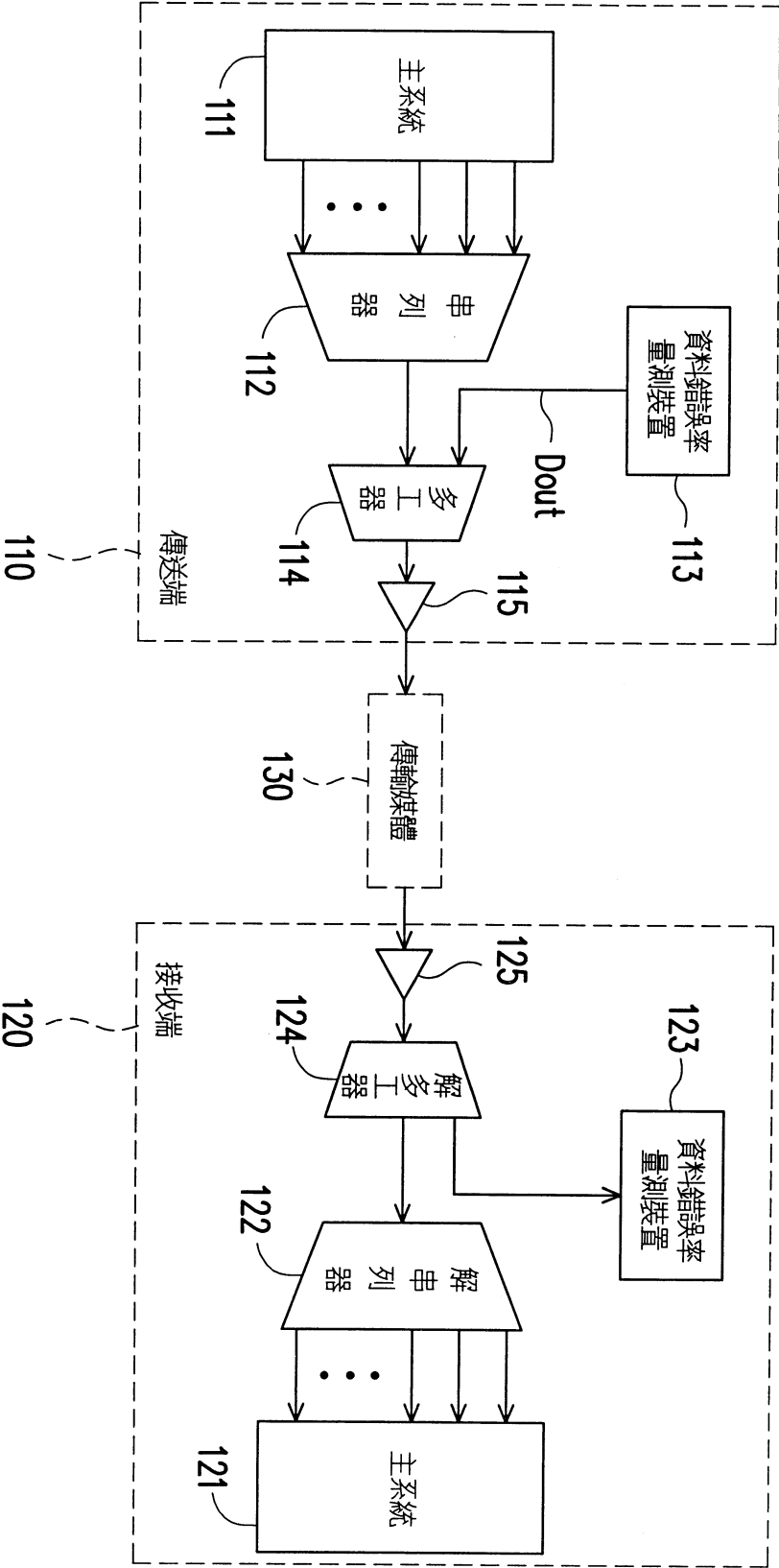


圖 1

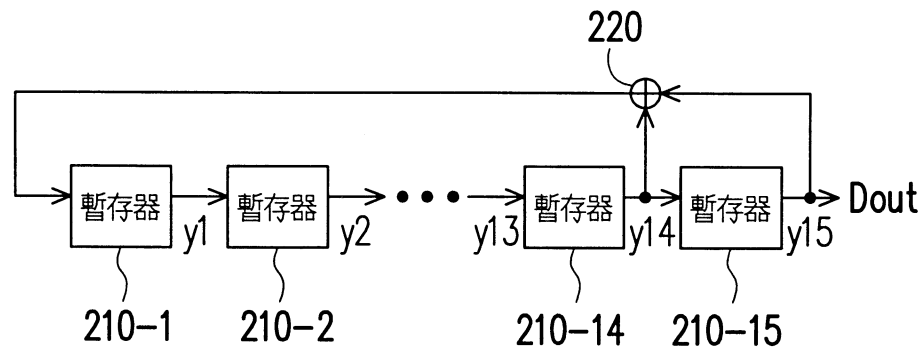


圖 2

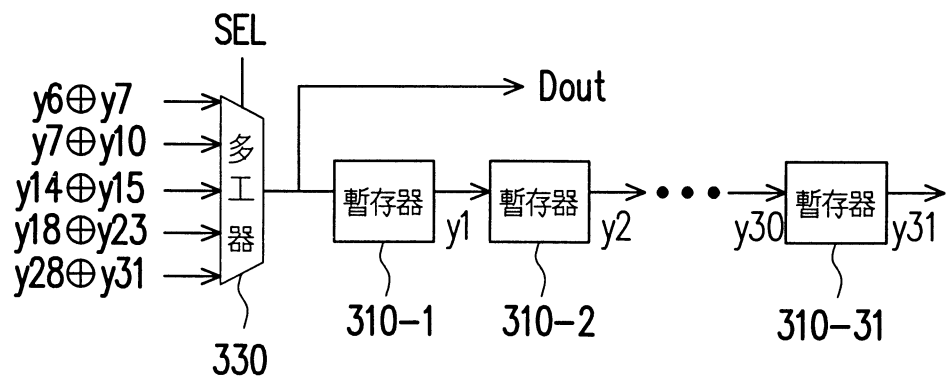


圖 3

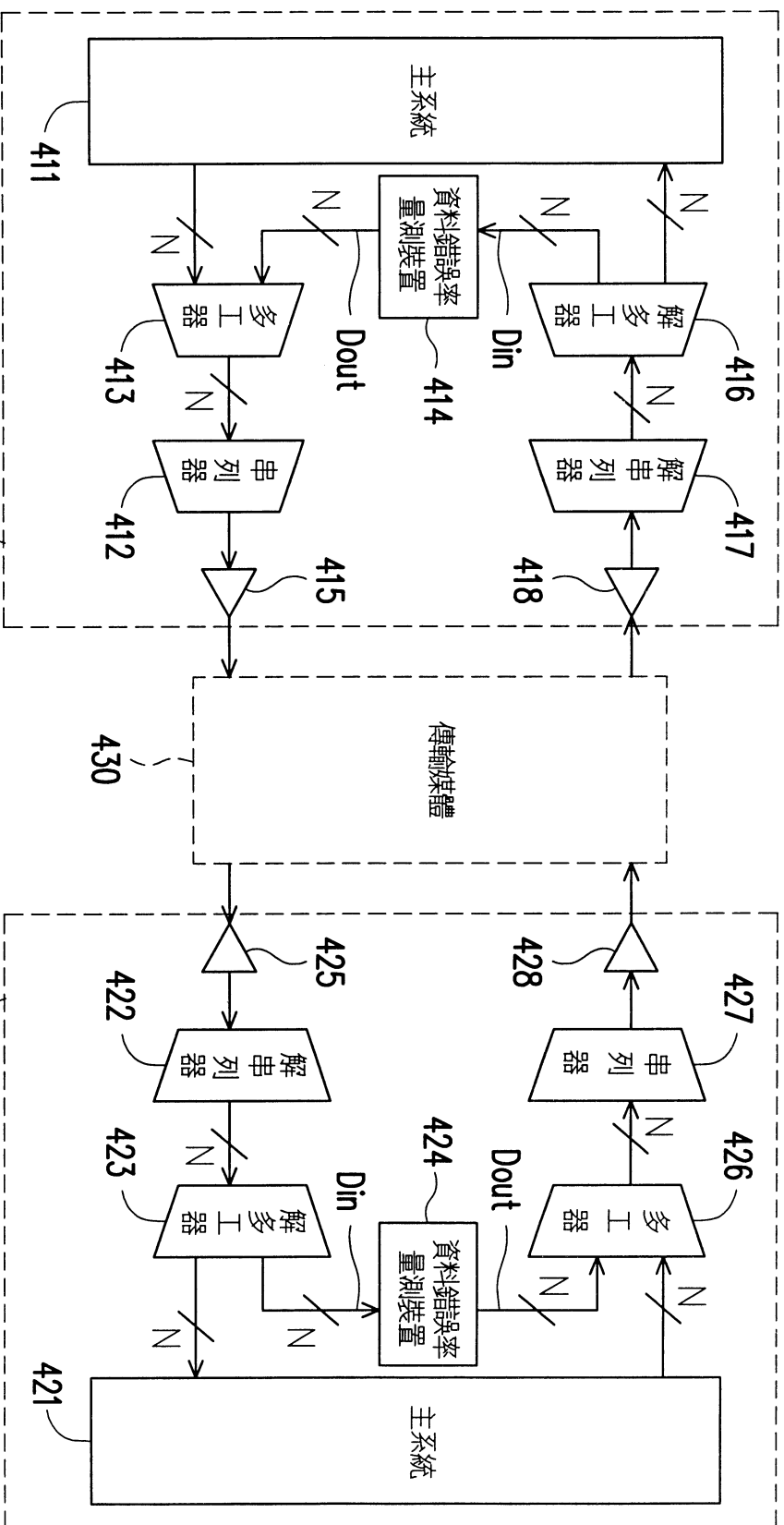


圖 4

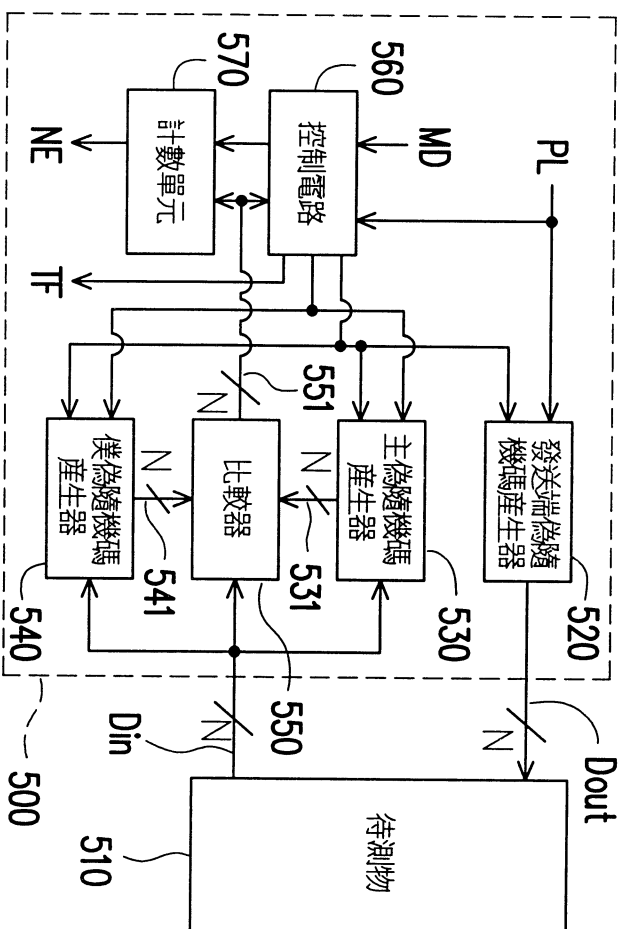


圖 5

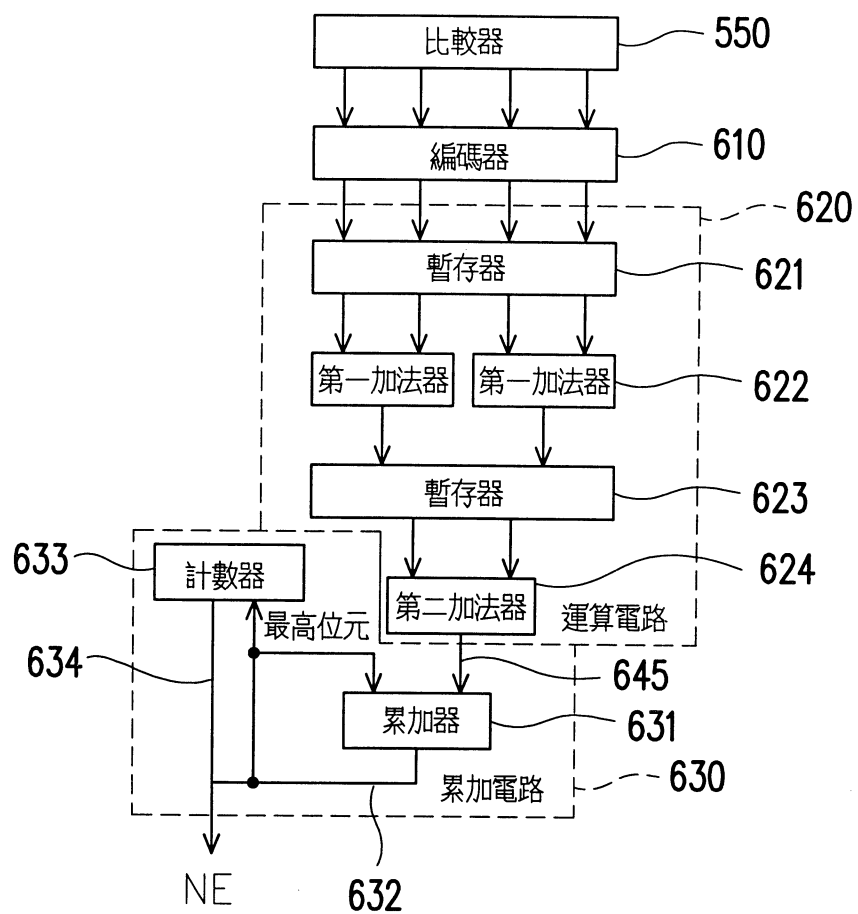


圖 6

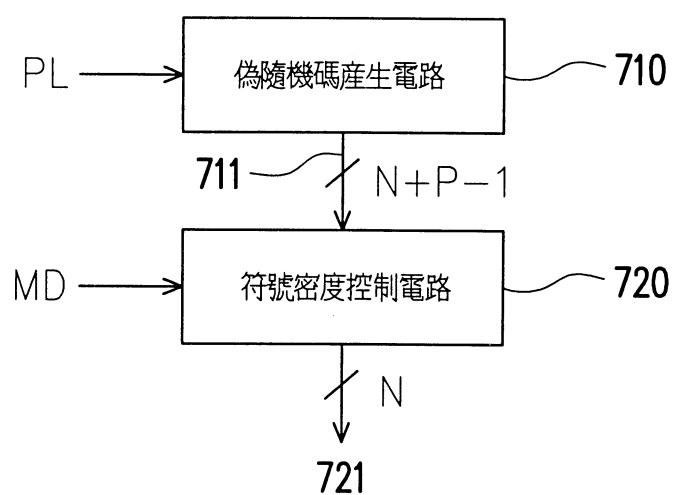


圖 7

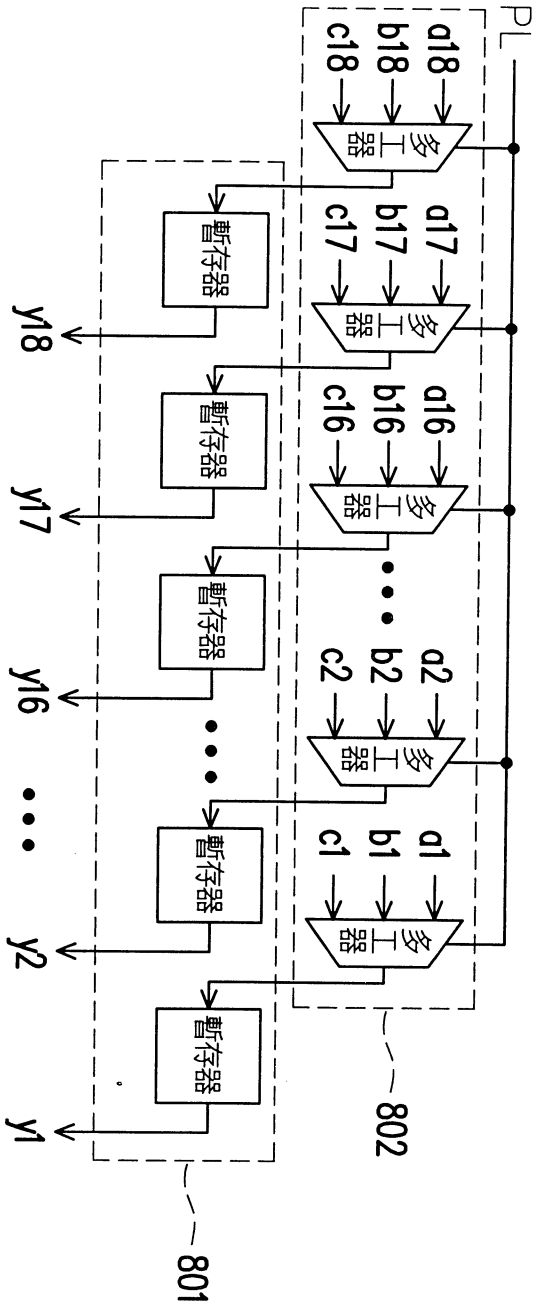


圖 8A

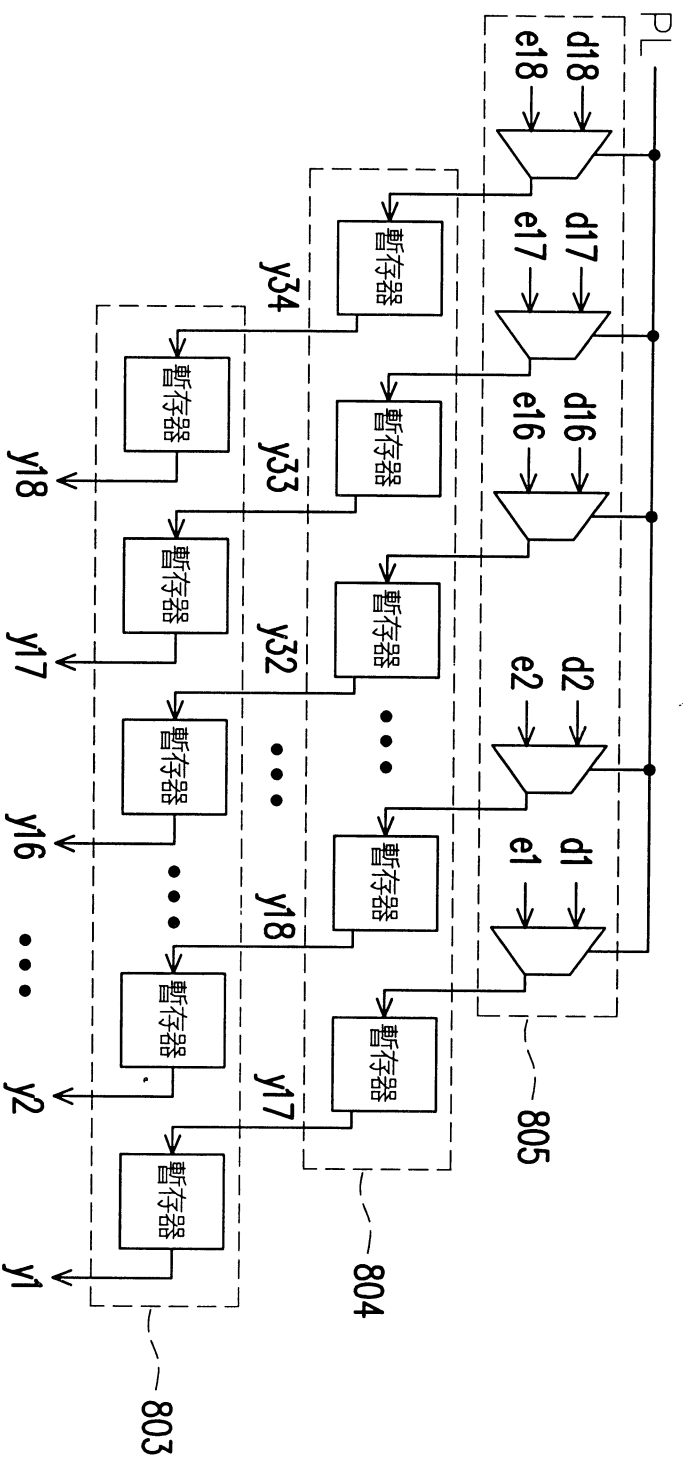


圖 8B

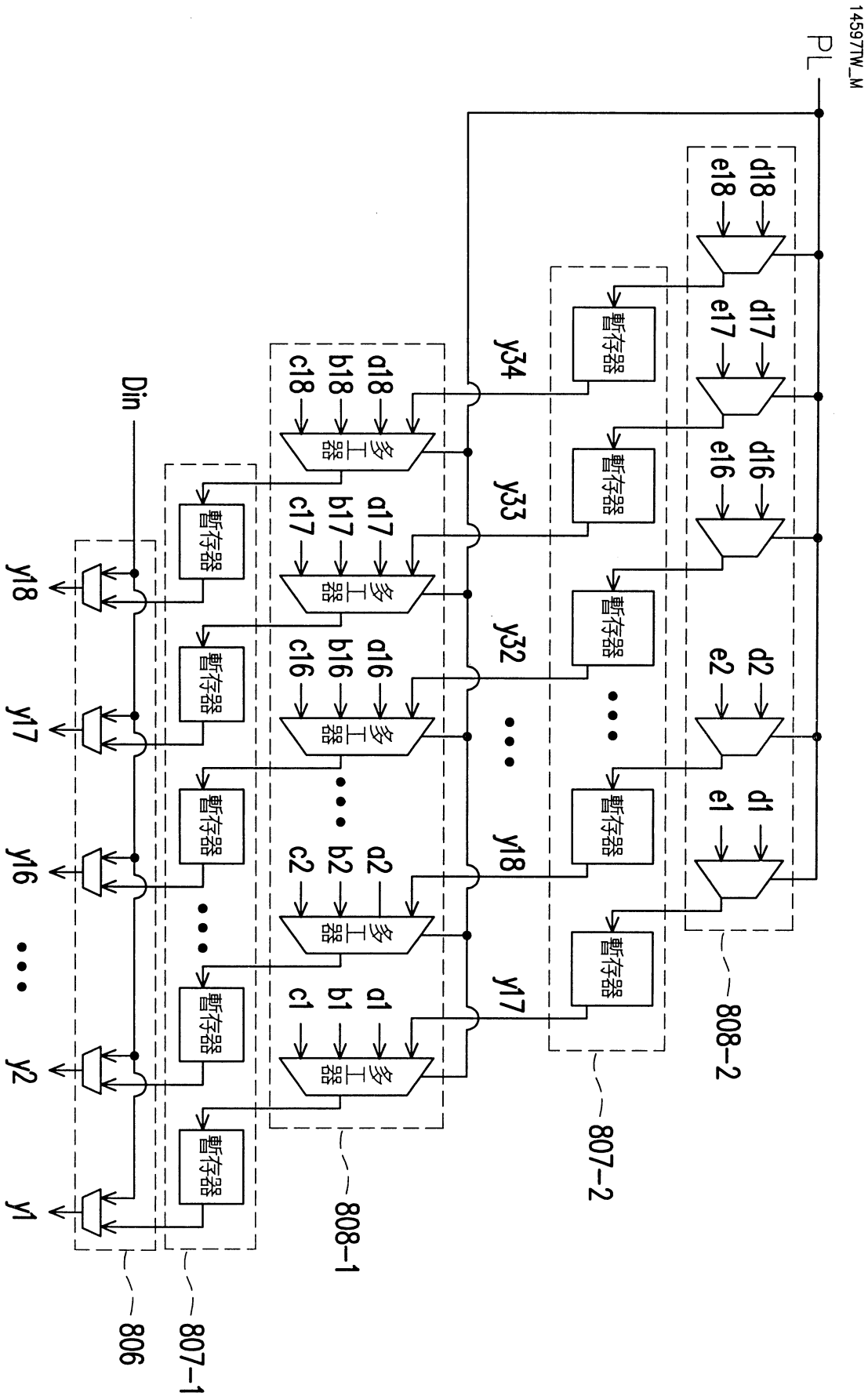
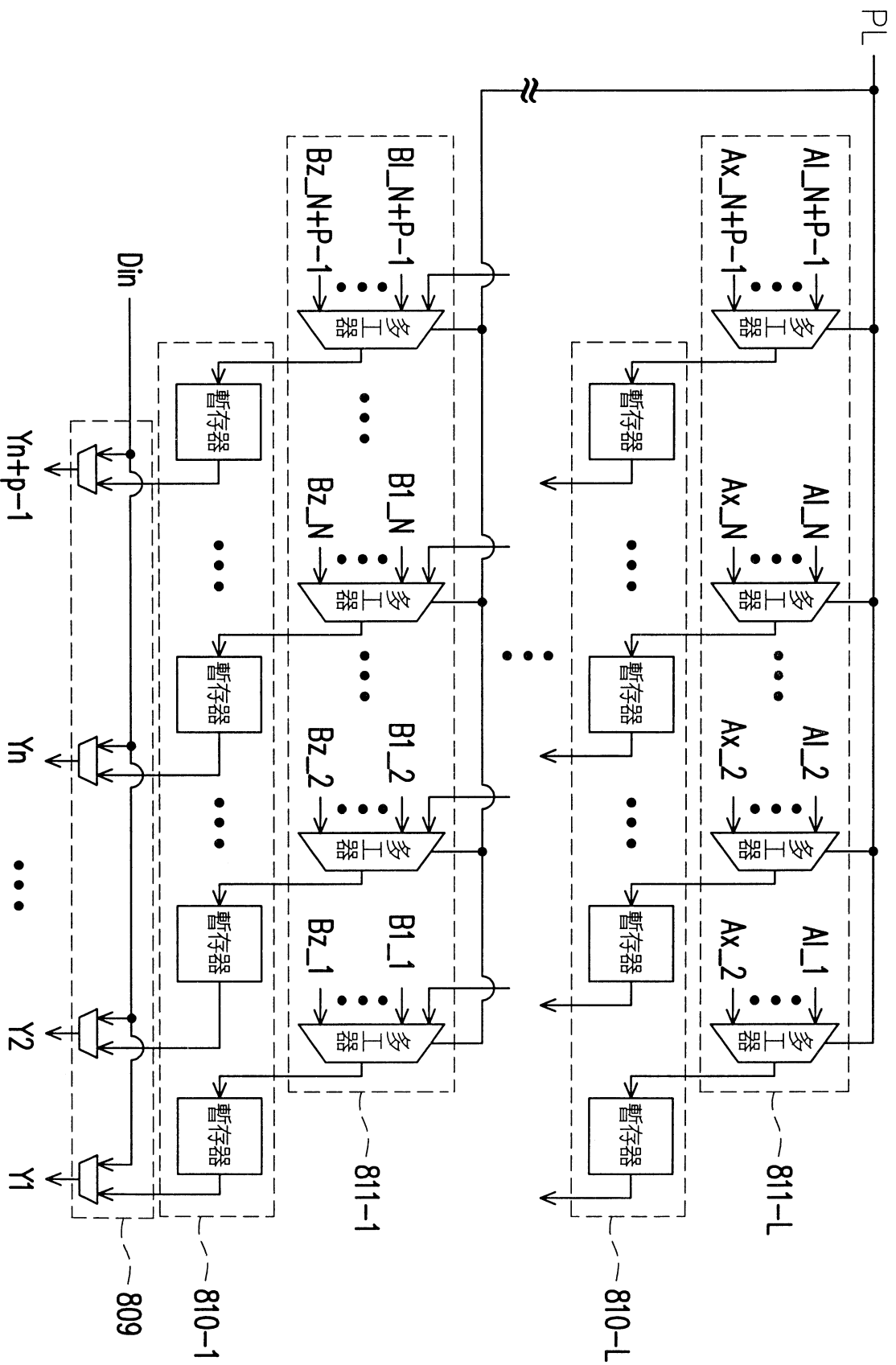


圖 8C



84

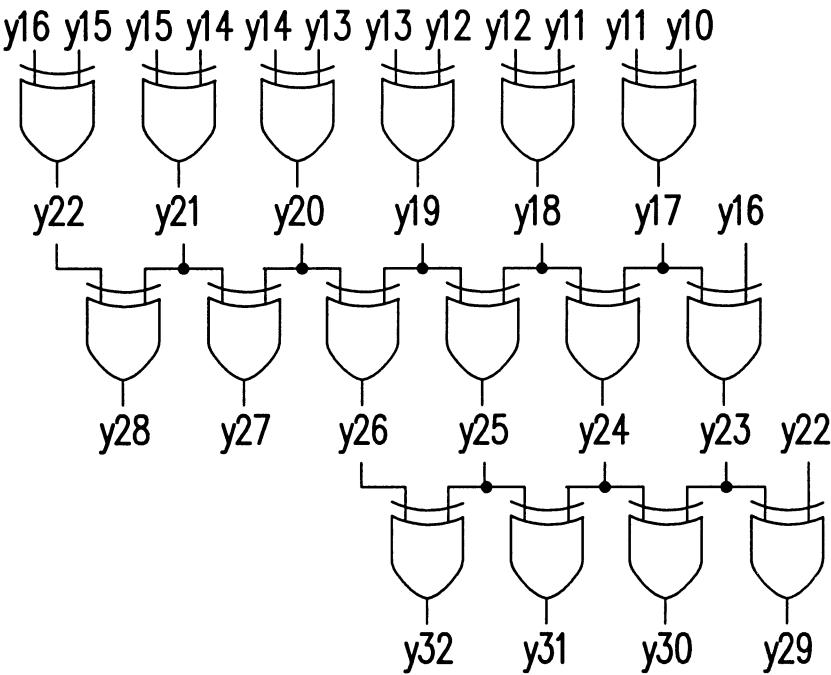


圖 9A

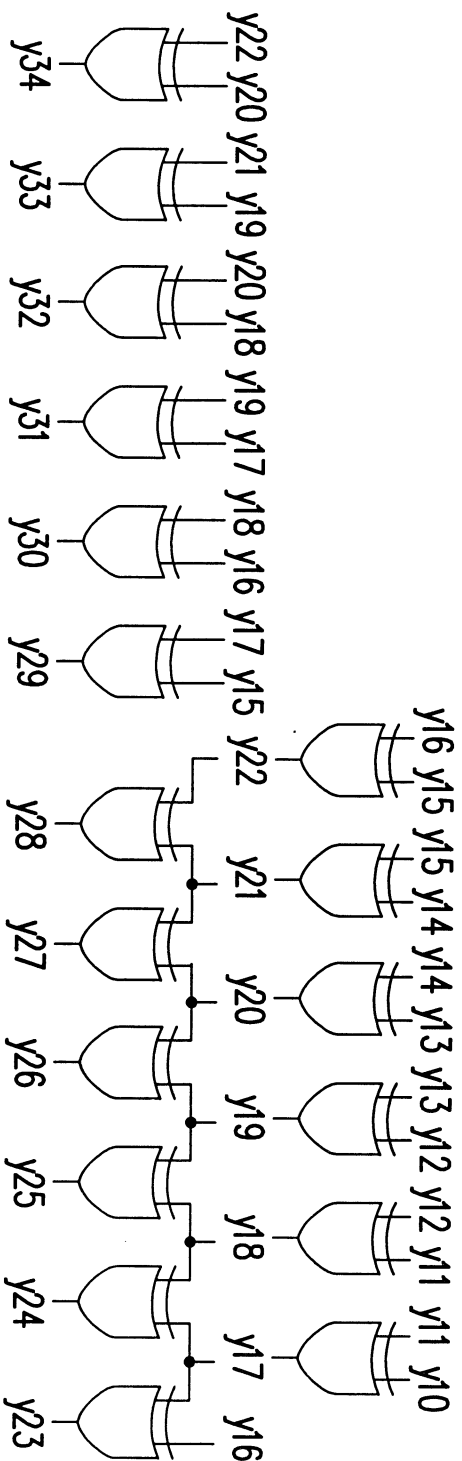


圖 9B

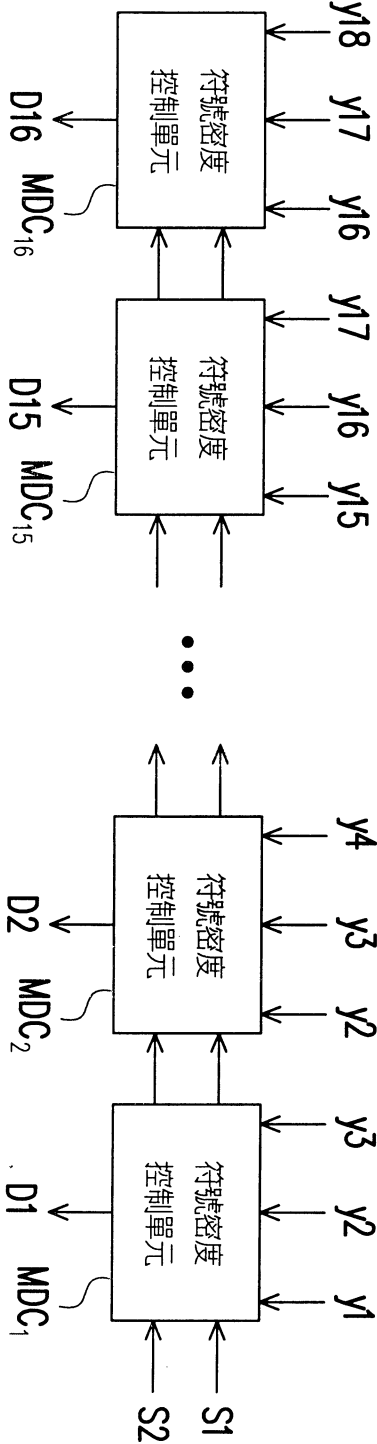


圖 10A

720

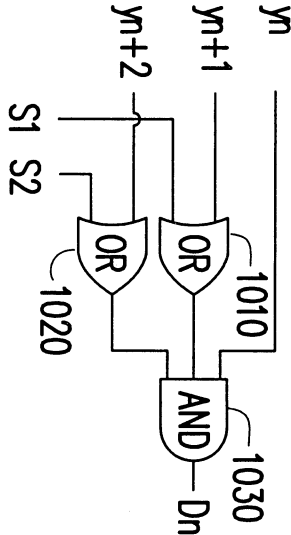


圖 10B