

發明專利說明書 200619892

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93137192

※申請日期：93.12.2

※IPC 分類：G05F1/00

一、發明名稱：(中文/英文)

具有資料保存以及中間模式之電源閘結構

A POWER GATING STRUCTURE WITH CONCURRENT DATA RETENTION AND
INTERMEDIATE MODES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHUN-YEN CHANG

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 華重憲/HUA, CHUNG-HSIEN

2. 黃威/HWANG, WEI

國籍：(中文/英文)

1.~2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：2004年08月12日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：
本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種具有資料保存以及中間模式且可以在多種模式下操作的電源閘架構，傳統的電源閘架構只具有導通及切斷的功能，並在切斷的模式下抑制在先進製程裡日益嚴重的漏電流問題，然而在記憶體電路，如閃、暫存器以及靜態隨機存取記憶體裡，當電源閘切斷時我們需要一個新的電源閘架構來保存資料，本發明所提出的具有資料保存以及中間模式操作的電源閘結構可以被設定成4種不同的操作模式：資料保存模式在於維持記憶體內的靜態雜訊邊際，中間模式在於降低地以及電源準位的擾動，主動模式用於電路正常操作時，待命模式用於當電路不需要工作時。

六、英文發明摘要：

A combined data-retention and intermediate power gating structure is proposed in this invention. This new structure has advantages of performing multiple modes of operations. Power-gating devices and circuits are critical in SOC power management design. Conventional power gating structure simply turns off the gating sleep transistors to suppress the ever increasing sub-threshold leakage current as the technology advances. However, in the memory circuits such as latches, register files and SRAM, we need new power gating devices to maintain data retention and a reasonable static-noise-margin (SNM) during the gating sleep transistors turned-off. The proposed combined data-retention and intermediate power gating structure can be reconfigured into 4 different modes to meet the low power design requirements. Data-retention mode is targeted to maintain SNM of storage elements. Intermediate mode is used while the circuits run at lower speed and to suppress ground bounce during mode transitions. Active mode is used while the circuits run at full speed. Standby or cut-off mode is used when the circuit block is put into sleep mode to reduce standby power consumption. The SNM of storage elements are maintained during standby mode. It shows that 2X to 20X leakage current reduction is achievable while maintaining good SNM.

七、指定代表圖：

(一)本案指定代表圖為：第 10 圖。

(二)本代表圖之元件符號簡單說明：

VDD… 電源電壓

GND… 接地

PMOS… P 型金屬氧化物半導體

NMOS… N 型金屬氧化物半導體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明關於一種新的電源閘(power gating)結構，尤其關於一種使系統在待機(standby)模式時，可以維持揮發性記憶體中的資料，並且降低電源閘切換時所引發的接地(ground)或電源供應彈跳(power supply bounce)等問題的電源閘結構。

【先前技術】

如第 1 圖所示，習知的電源閘(控)裝置主要分為 2 類，即 footer 與 header 裝置。Footer 是將 NMOS 休眠(sleep)電晶體插置於真實接地(real ground)與虛擬接地(virtual ground)之間；而 header 則是將 PMOS 休眠(sleep)電晶體插置於真實電源電壓(real VDD)與虛擬電源電壓(virtual VDD)之間。其中各內部電路可以是組合電路或序列電路；且該電源閘裝置可以從決定目前採用之系統電源節省腳本(scenario)的電源管理單元接收休眠信號。雖然，這些習知的電源閘控方法對於組合電路是實用的，但該些閘控裝置卻會破壞了在序列電路中的儲存元件之靜態雜訊邊際(static noise margin)。

第 2 圖為具有該電源閘裝置的 SRAM 陣列。從表格 1 我們可清楚的見到，在當電源閘裝置被截止時，SNM 為 0 mV，此意謂著儲存在 SRAM 上的資料不再能夠被保證是正確的資料。然而，在待機模式期間，透過使用習知的電源閘裝置，可以達成 24X 漏電流縮減。

許多公開刊物提出以 MTCMOS 為電源閘裝置的解決方案。然而，使用更高的界線(threshold)電壓的電晶體來當作電源閘裝置，在主動模式時，需要更大的矽面積以使電源閘裝置能夠吸收最大的瞬間電流。因此，使用單一界線電壓電晶體來當作電源閘裝置，或適應性的調整電源閘裝置的井偏壓(well bias)，就被期望能夠減少被電源閘裝置所佔據的面積。

例如，US6,552601 號專利，即”Method for supply gating low power electronic device”，與 US2003/197544 申請案，即”Method and structure for supply gated electronic components”揭示了一種電源閘裝置，但其架構上仍為 Footer/Header 的組合，尚無法用於有記憶體的電路。

綜上所述，習知電源閘裝置的缺點，即是：1.資料保存(data retention)的維持問題。2.降低切換時所發生的接地/電源供應彈跳(bounce)問題。

【發明內容】

本發明目的主要在於解決上述所提之傳統電源閘結構的問題，且提出一種具有資料保存以及中間模式之電源閘結構，其具有並行的(concurrent)資料保存與中間模式電源閘結構，其中該資料保存與中間模式電源閘係藉由在虛擬地端與真實地端之間或虛擬電源電壓與真實電源電壓之間，以平行方式設置一個或多個 NMOS/PMOS 電晶體所構成，並且該正規電源閘裝置與(或)資料保存電源閘裝置之一個或多數閘極端係可由電源管理單元控制，使得其能具有 4 種操作模

式，分別為：資料保存模式、中間模式、主動模式以及待命模式。本發明與前述專利案的最大差異，就是多了資料保存的功能，而此功能在記憶電路中非常重要，且透過第 5、6、7、10 圖，即可清楚看見本發明與其差異之處。此外，本發明並具有 4 種不同的操作模式，與上述專利案只有導通及切斷兩種操作模式者相當不同，而且本發明新增的資料保存模式以及中間模式更在單晶片系統功率管理中有著非常重要的地位。

即是，以往之電源閘結構在處於待機模式時，也就是說把電源閘裝置關掉的時候，會使得積體電路中所儲存的資料喪失，因此傳統的電源閘裝置的結構並不適於用有揮發性記憶體的電路，如 latch/register file/SRAM。另一個傳統電源閘裝置的問題在於，當電源閘裝置在切換的時候會引發接地彈跳(ground bounce)(如果電源閘裝置加在 VDD(電源電壓)那便是電源供應彈跳(power supply bounce)。

此外，本發明之次要目，係因為本發明具有資料保存以及中間模式之電源閘結構，故可一併解決： 1. 單晶片系統漏電流之抑制問題； 2. 單晶片系統之功率管理問題； 3. 待機模式時非揮發性記憶體資料流失問題； 4. 電源閘切換時，接地/電源供應彈跳的問題。

本發明所提出上述的具有資料保存以及中間模式操作的電源閘結構，可以被設定成 4 種不同的操作模式：即資料保存模式存在於維持記憶體內的靜態雜訊邊際、中間模式存在於降低地以及電源準位的擾動、主動模式用於電路正常操

作時、及待命模式用於當電路不需要工作時。

此外，在 SOC 晶片上的電源管理係需要用以處理前所未有的電力密度之增加以及漏電電流。在所有的候選項目中，具有電源管理單元的電壓島(voltage island)在主動或被動電源減小中，係非常具吸引力的。

再者，在晶片上的所有的主動電源係由於採用多重供應電壓而減小。具有緊密時序壓迫(tight timing constraints)的計算密度之區塊，被指定給高供應電壓，以維持整體系統效能。同時，只要時序滿足，其他區塊可指定給較低的供應電壓，以減低主動電源消耗。

由於電壓領域(domains)的分離，在相同電壓領域工作的電路分享相同的特性，像是進入空轉模式(entering idle mode)或在此同時的計算資料。因此，在相同電壓島中的電路，能夠被附加在相同組別的電源閘裝置，以在同一時間開啓或關閉電路的全部區塊。

由於在 CMOS 技術方面的進步，與行動資訊裝置通常性的需求，待機電源減低已經變成一個重要的議題。在 MOS 電晶體中的漏電電流已變得更嚴重，特別是在奈米級(nano scale) CMOS 技術中的次界線(sub-threshold)與閘漏電電流。而在將電源閘裝置插置於虛接地端與外部世界之真實地端之間後，能有效的減低該次界線漏電，其中在晶片上的電路係將其接地端連接到該虛接地端。在主動模式的操作中，該電源閘裝置當作一鏡像電源軌(power-rail)阻抗，其並不影響功能的正確性。當休眠模式信號被主張(asserted)時，該電

源閘裝置即作動成爲一個開路開關(open switch)，並切斷電源供應與內部電路之間的直接連接。此技術用在減低待機電力上是相當實用的，其可延長在大部份時間都停留在待機模式爲特徵的行動資訊裝置之電池的壽命。

綜合言之，本發明的技術特點有： 1. 可使系統切斷電源開關進入待機模式之後可以繼續維持揮發性記憶體內的資料； 2. 降低電源開關(power switch)在切換時所引進的接地/電源供應彈跳； 3. 提供 4 種不同的操作模式以降低單晶片系統內功率管理的複雜度； 4. 提供新形式的電源閘結構(power gating structure)可以維持傳統電源閘抑制先進製程的電路之漏電流的能力； 5. 不需額外的製程技術即可降低單晶片系統內之漏電流。

【實施方式】

參照伴隨的圖式，本發明的特徵與進步性將會十分明顯。胞元穩定度決定軟性誤差(soft-error)與記憶體之靈敏度(sensitivity)，以處理容錯度(tolerances)與操作條件。第 3 圖所示者，爲一靜態雜訊邊際(static noise margin)之圖表；且第 3(b)圖爲該靜態雜訊邊際之量測步驟；第 4 圖爲典型的 SNM(static noise margin)模擬結果。從第 4 圖我們可以了解到，儲存在記憶體當中的資料隨著靜態雜訊增加，將會逐漸翻轉(flip)其之狀態。在將所有類型的電源閘裝置插置後，我們將使用這個方法來測試所有的 SNM(靜態雜訊邊際)。

從上文我們可以了解到習知的電源閘裝置在組合電路

中可以正常的工作，但是在待機模式的時期，儲存元件需要一組稱之為資料保存 (data-retention) 電源閘裝置的電源閘裝置，來維持靜態雜訊邊際。此架構係示於第 5 圖中，其中該資料保存電源閘裝置係以通常的電源閘裝置，以平行的方式插置。而一組電源閘裝置係示於第 6 圖。

第 6 圖為一小型的 NMOS 電晶體，該資料保存電源閘裝置從來沒有真正的截止過，其之閘極被施以特定伏特量的偏壓，由於此電流連接了虛地端與實地端，該靜態雜訊邊際在任何電源閘裝置中並未被看見。然而，被此資料保存電源閘裝置減低的漏電電流是非常小的。

第 6(b)圖是藉由將 NMOS 電晶體的閘極與汲極連接在一起，以形成一電壓控制電阻。同時在主動模式操作時，該虛接地係近似於等效電勢 (equi-potential)。在關閉該正規的 (regular) 電源閘裝置之後，該虛接地線係變得浮動 (floating)，且該漏電電流開始去對該虛接地線的電勢充電。一開始，該資料保存電源閘裝置動作為一高阻抗電阻，隨著該虛接地線之電勢開始上升，該介於虛接地與實接地之間的有效阻抗係變得更小，其可預防在虛接地線上的電勢再上昇。最後，該電勢變得平衡且穩定。由於在 VDD(電源電壓) 與虛接地之間減低的電勢差，該靜態雜訊邊際會衰退，但仍在一可接受的範圍之內，該漏電電流被減低了，但卻比單一的傳統電源閘裝置減低的還要少。如表格 1 所示，第 2 類型的 NMOS 電阻資料保存電源閘裝置跟本來的漏電電流相比，能夠將該漏電流減去一半。第 3 類型的 PMOS 電阻資料

保存電源閘裝置係如第 6 圖所示，其係該第 2 類型的 PMOS 相對物。假使第 2 類型 NMOS 電阻與第 3 類型 PMOS 電阻的裝置尺寸是一樣的話，則第 3 類型的裝置由於有較高的有效阻抗，因此可以顯示出較佳的漏電流壓抑性能。因此，增強的第 2 類型與第 3 類型之資料保存電源閘結構以抑制漏電流係顯示於第 7(a)圖與第 7(b)圖中，其中由於靜態雜訊邊際以及漏電流皆與資料保存電源閘的等效電阻有直接的關係，因此本發明亦提出一種增強型的資料保存電源閘，其中該增強型資料保存電源閘係藉由在虛擬地端與真實地端(或虛擬電壓電源與真實電壓電源)之間疊接 NMOS/PMOS 電晶體，且該 NMOS 電晶體之一個或多數閘極係連接至虛擬地端，而該 PMOS 電晶體之閘極係連接至電源管理單元，以達成高效的阻抗，並因而使得漏電流的數量可加以控制。最基本的做法，是將 NMOS/PMOS 電晶體疊接(cascading)或堆疊(stacking)，來達到高的有效阻抗。因此，我們可以交換靜態雜訊邊際來得到較低的漏電電流或允許較高的漏電電流來增加更多的靜態雜訊邊際。該第 3 類型的資料保存電源閘裝置之模擬結果係示於第 8 圖與第 9 圖中。這兩個圖式皆清楚的顯示出漏電電流的數量以及靜態雜訊邊際皆直接的跟閘控裝置的尺寸成比例，其可視為互易的有效阻抗。

在上文中，我們介紹且展示了當做資料保存電源閘裝置的電壓控制電阻器的使用，且展現了其在靜態雜訊邊界與減低漏電流上之影響。接著將更深入介紹該並行截止(concurrent cut-off)與資料保存電源閘結構。

結合截止與資料保存電源閘結構

從上文中對資料保存電源閘裝置的實施描述，我們瞭解到抑制漏電電流的能力是來自於正規 (regular) 電源閘裝置與資料保存電源閘裝置之間次序的不同。因此，一旦該資料保存電源閘裝置被插置於虛接地與真實接地之間，該漏電電流在某些情況中經常還是不可接受的。因此，本發明修改了第 3 類型的資料保存電源閘裝置，且具有電源管理單元可控制的資料保存電源閘裝置 (與正規電源閘裝置) 之閘極端。此並行截止 (concurrent cut-off) 與資料保存電源閘結構之詳細的連接 (connection) 係如第 10 圖所示者，其中該資料保存與中間模式電源閘係藉由在虛擬地端與真實地端之間 (或虛擬電源電壓與真實電源電壓之間)，以平行方式設置一個或多個 NMOS/PMOS 電晶體所構成，並且該正規電源閘裝置與 (或) 資料保存電源閘裝置之一個或多數閘極端係可由電源管理單元控制，使得其能具有 4 種操作模式，分別為：資料保存模式、中間模式、主動模式以及待命模式，其運作方式分別詳述如下：

I . 主動模式：在第 10 圖中的 Ctrl1 信號為高，而 Ctrl2 信號為低。因此，正規 (regular) 電源閘裝置與資料保存電源閘裝置兩者之間都可支持內部電路的全速運作。

II . 待機 / 截止 (cut off) 模式：在第 10 圖中的 Ctrl1 信號為低，而 Ctrl2 信號為高。由於正規電源閘裝置與資料保存電源閘裝置係都關閉 (off)，於是在此組態中可達成 20X 漏電電流縮減。雖然儲存在儲存元件的資料將被毀壞，但在此操

作模式中，資料是允許被毀壞的。

Ⅲ．資料保存模式：在第 10 圖中的 Ctrl1 信號為低，而 Ctrl2 信號為低。在此操作模式中，正規的電源閘裝置被關閉，而不是資料保存的那一個。因此，在待機模式期間，儲存在儲存元件中的資料存活了下來。但是漏電電流的減低部分卻比不上截止模式來的大。

Ⅳ．中間模式：在第 10 圖中的 Ctrl1 信號為高，而 Ctrl2 信號亦為高。此即在前三個模式的轉換期間的中間模式。在模式轉換中，接地彈跳是不受到歡迎的，因此中間模式就是要用來減少接地彈跳。在表格 2 中，不同模式運作的總結以及他們個別的控制狀態都有清楚的顯示。

雖然本發明係依據上述較佳實施例進行說明，但是在不脫離本發明的精神與領域之下，仍得做出各種實施方式與修正，但均不得脫離本案申請專利範圍所欲保護之領域。

【圖式簡單說明】

參照伴隨的圖式，本發明的特徵與進步性將會十分明顯，其中：

第 1(a)圖顯示一習知的 NMOS footer 陣列電源閘裝置；

第 1(b)圖顯示一習知的 PMOS footer 陣列電源閘裝置；

第 2 圖顯示一具有電源閘裝置以減低待命電力消耗之 SRAM 陣列；

第 3(a)圖顯示靜態雜訊邊際之圖形定義；

第 3(b)圖顯示 SNM 量測步驟；

第 4 圖顯示一典型的 SNM 模擬結果，其中該 X 軸為靜

態雜訊之振幅，且該 4 個曲線之交叉點為資料由於靜態雜訊而翻轉 (flip) 的點；

第 5 圖顯示具有正規電源閘裝置以在待機模式中維持儲存元件中的靜態雜訊邊際的資料保存電源閘裝置；

第 6(a)圖顯示一閘極被施加特定電壓的 NMOS 電晶體 — 在此例中為 VDD(電源電壓)；

第 6(b)圖顯示閘極連接到汲極的 NMOS 電晶體，形成一電壓控制電阻；

第 6(c)圖顯示閘極連接到真實地端的 PMOS 電晶體，形成一電壓控制電阻；

第 7 圖顯示經修改的資料保存電源閘裝置以為了更低的漏電電流而堆疊 NMOS 或 PMOS 的互易 SNM 之圖示；

第 8 圖顯示資料保存電源閘裝置之模擬結果 — 漏電電流比資料保存電源閘裝置之尺寸；

第 9 圖顯示資料保存電源閘裝置之模擬結果 — SNM 比資料保存電源閘裝置之尺寸；

第 10 圖顯示並行的 (concurrent) 資料保存與中間模式電源閘結構；

表格 1 顯示在許多不同類型的電源閘裝置中的靜態雜訊邊際與電力消耗的比較；以及

表格 2 顯示用於不同的操作模式的控制信號。

【主要元件符號說明】

VDD… 電源電壓

GND… 接地

PMOS… P 型金屬氧化物半導體

NMOS… N 型金屬氧化物半導體

Ctrl 1… 控制信號 1

Ctrl 2… 控制信號 2

SNM… 靜態雜訊邊際

十、申請專利範圍：

1. 一種具有資料保存以及中間模式之電源閘結構，其具有並行的 (concurrent) 資料保存與中間模式電源閘結構，其中該資料保存與中間模式電源閘係藉由在虛擬地端與真實地端之間或虛擬電源電壓與真實電源電壓之間，以平行方式設置一個或多個 NMOS/PMOS 電晶體所構成，並且該正規電源閘裝置與 (或) 資料保存電源閘裝置之一個或多數閘極端係可由電源管理單元控制，使得其能具有 4 種操作模式，分別為：資料保存模式、中間模式、主動模式以及待命模式。
2. 如申請專利範圍第 1 項之電源閘結構，其中該資料保存模式為當電源閘被設定成此模式時會在待命的狀態下將記憶體的资料保存下來。
3. 如申請專利範圍第 1 項之電源閘結構，其中該中間模式為在主動模式以及待命模式間的過渡模式，目的在於降低模式切換間的接地 (ground) 或是電源準位的擾動，即是降低接地或電源供應的彈跳 (bounce)。
4. 如申請專利範圍第 1 項之電源閘結構，其中該主動模式為電路正常工作時所處的模式。
5. 如申請專利範圍第 1 項之電源閘結構，其中該待命模式為最低漏電流的模式，目的在於當電路不工作時可以儘可能的降低單晶片系統中的漏電流。
6. 如申請專利範圍第 1 項之電源閘結構，其中該電源閘為一具有正規電源閘裝置以在待機模式中維持儲存元件中的

靜態雜訊邊際的資料保存電源閘裝置。

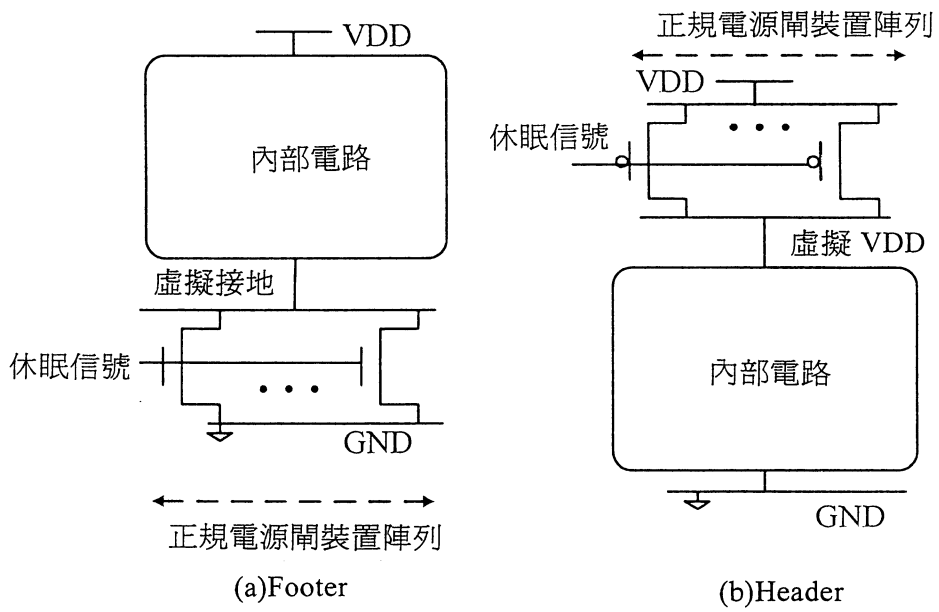
7. 如申請專利範圍第 6 項之電源閘結構，其中該資料保存電源閘可由三種不同的元件所構成，亦即具有第 1 形式、第 2 形式與第 3 形式。
8. 如申請專利範圍第 7 項之電源閘結構，其中該第 1 形式的資料保存電源閘為有一個較小的 NMOS 所構成，並且控制其閘極電壓來決定其等效電阻，其閘極電壓並不一定要偏壓到 VDD(電源電壓)，也可以偏壓到其他適合的電壓值。
9. 如申請專利範圍第 7 項之電源閘結構，其中該第 2 形式的資料保存電源閘為將一個 NMOS 的閘極以及汲極接在一起，形成一個壓控電阻，進而達到資料保存的功能。
10. 如申請專利範圍第 7 項之電源閘結構，其中該第 3 形式的資料保存電源閘為將一個 PMOS 的閘極以及汲極接在一起，形成一個壓控電阻，進而達到資料保存的功能。
11. 如申請專利範圍第 7 項之電源閘結構，其中該資料保存電源閘可以是單顆電晶體，同時也可以是分散的多顆小電晶體。
12. 如申請專利範圍第 1 項或第 7 項之電源閘結構，其中該資料保存電源閘由於靜態雜音邊際以及漏電流皆與資料保存電源閘的等效電阻有直接的關係，因此尚具有一種增強型的資料保存電源閘，其中該增強型資料保存電源閘係藉由在虛擬接地端與真實接地端(或虛擬電壓電源與真實電壓電源)之間疊接 NMOS/PMOS 電晶體，且該 NMOS 電晶體之一個或多數閘極係連接至虛擬接地端，而該 PMOS 電

晶體之閘極係連接至電源管理單元，以達成高效的阻抗，並因而使得漏電流的數量可加以控制。

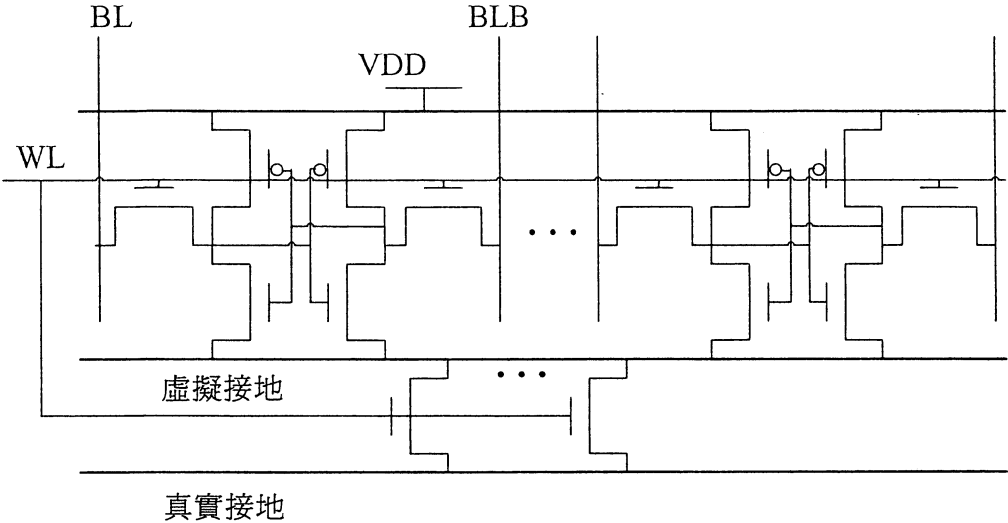
13. 如申請專利範圍第 11 項之電源閘結構，其中該資料保存電源閘之增強型的資料保存電源閘為將 NMOS 或 PMOS 串接，以達到比較大的等效電阻。

14. 如申請專利範圍第 1 項之電源閘結構，其中該電源管理單元可為任何信號源。

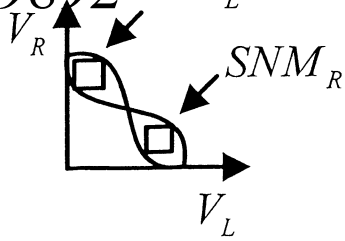
十一、圖式：



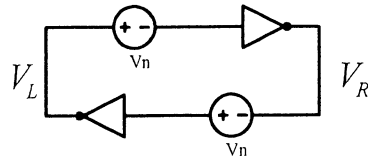
第 1 圖



第 2 圖

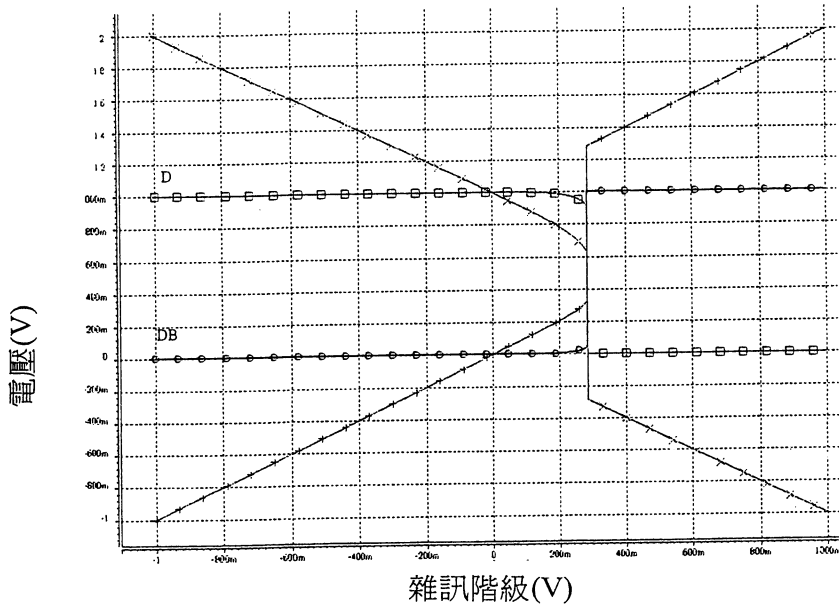


(a) SNM 圖形定義

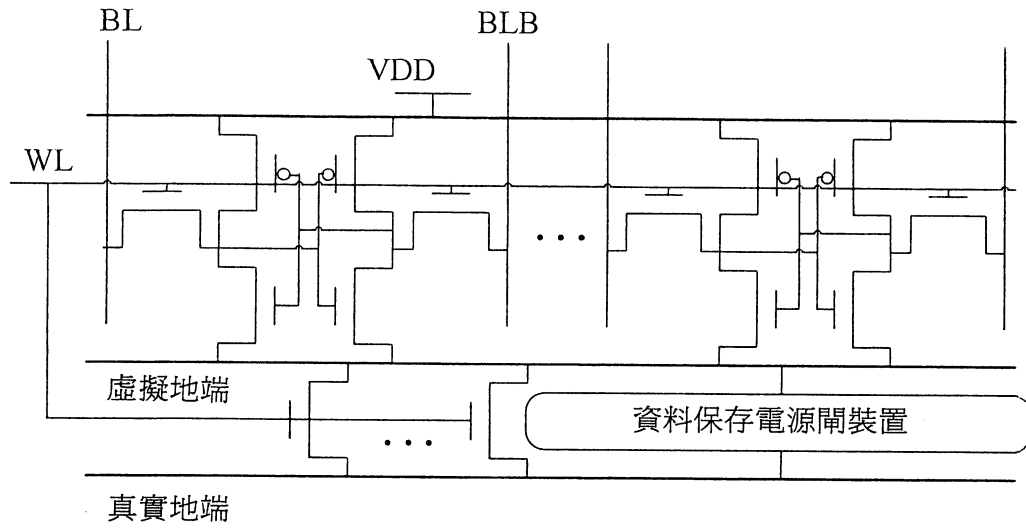


(b) SNM 量測步驟

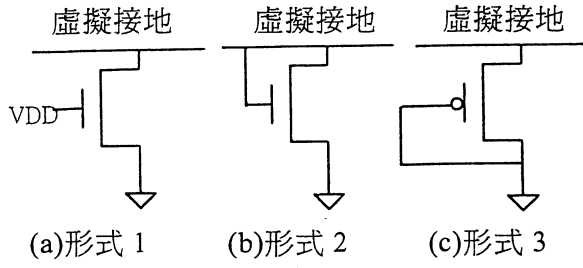
第 3 圖



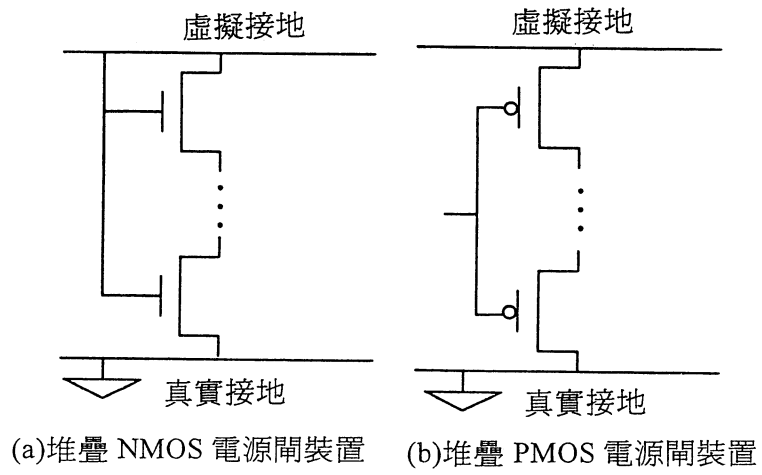
第 4 圖



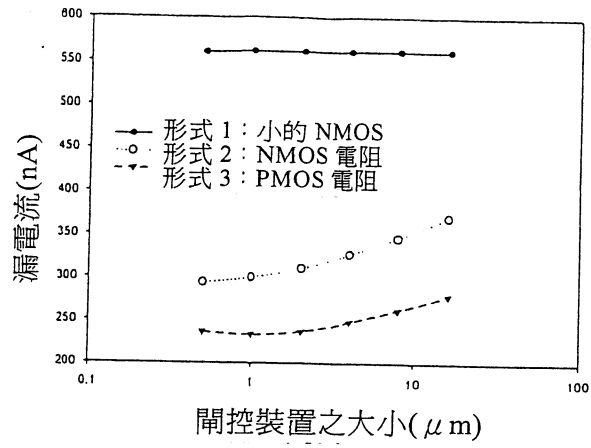
第 5 圖



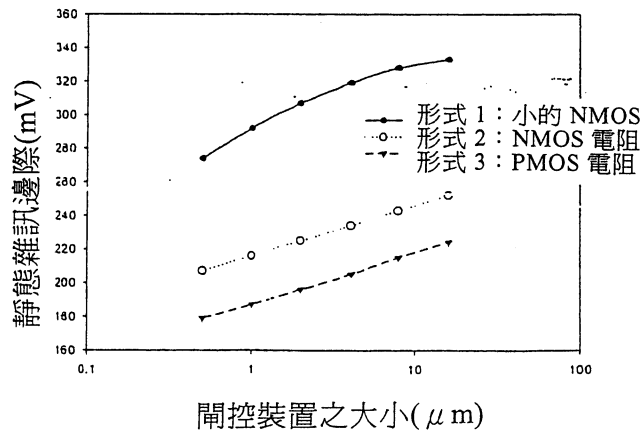
第 6 圖



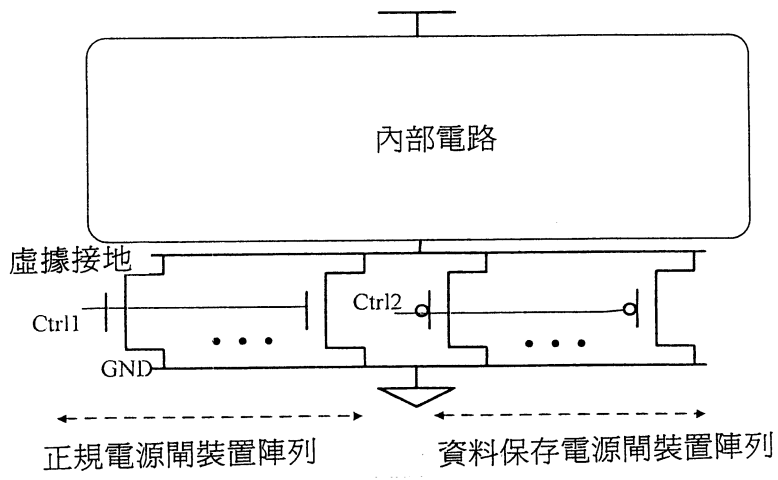
第 7 圖



第 8 圖



第 9 圖



第 10 圖