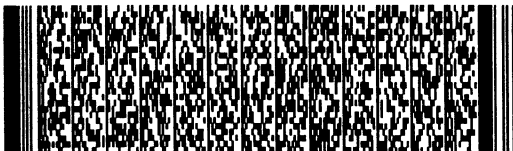


| | |
|----------------|-----------|
| 申請日期：93.12.24. | IPC分類 |
| 申請案號：93140476 | H01L23/60 |

(以上各欄由本局填註)

發明專利說明書 200611396

| | | |
|--------------------|----------------------|--------------------------------|
| 一、 發明名稱 | 中文 | 可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路 |
| | 英文 | |
| 二、 發明人 (共2人) | 姓名 (中文) | 1. 柯明道 2. 林昆賢 |
| | 姓名 (英文) | 1. 2. |
| | 國籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| 三、 申請人 (共1人) | 名稱或 姓名 (中文) | 1. 國立交通大學 |
| | 名稱或 姓名 (英文) | 1. |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中文) | 1. 新竹市大學路1001號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. |
| | 代表人 (中文) | 1. 張俊彥 |
| 代表人 (英文) | 1. | |



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十七條第一項國際優先權

無

二、主張專利法第二十九條第一項國內優先權：

申請案號:1.93128189

日期: 1.2004/09/17

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：

四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

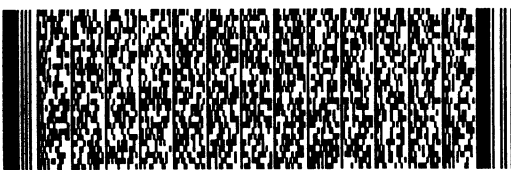
不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。



四、中文發明摘要 (發明名稱：可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路)

本發明係揭露一種可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其係應用在高壓積體電路上，將由至少二個高壓元件或是由至少一個高壓元件與至少一低壓元件所組成之堆疊元件結構運用在電源間靜電放電箝制電路上，使其在驟轉崩潰之狀態下的保持電壓超過電源供應電壓 (VDD)，故可藉此避免高壓積體電路電源間鎖住效應問題的發生。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明：

10 靜電放電箝制電路

12 VDD 電源線

14 VSS 電源線

16 堆疊元件結構

18 高壓元件

20 靜電放電偵測電路



五、發明說明 (1)

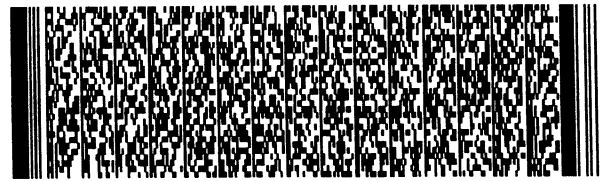
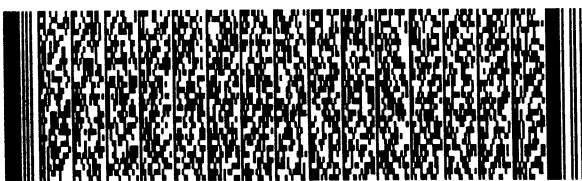
【發明所屬之技術領域】

本發明係有關一種靜電放電箝制電路 (ESD Clamp Circuit) 之結構改良，特別是關於一種應用在高壓積體電路上無鎖住 (latchup) 效應之電源間靜電放電箝制電路。

【先前技術】

對於積體電路 (CMOS) 而言，靜電放電 (ESD) 之可靠性問題影響甚至。而關於靜電放電防護元件之習知技術，已為熟悉此技術之人士所熟知；舉例來說，高壓 MOSFET、矽控整流器 (SCR) 及雙極接面電晶體等已廣泛作為靜電放電防護元件。於靜電放電事件中，靜電放電防護元件能及時導通而將靜電放電電流引導至接地端，防止內部電路受到損傷。

在靜電放電防護的設計上，在電源線間增加靜電放電箝制電路之設計可有效加強全晶片之ESD防護能力，進而有效地防止內部電路受到靜電損傷。對於電源間靜電放電箝制電路而言，當一瞬間ESD高電壓發生在VDD端時，其位於電源間靜電放電箝制電路之靜電放電防護元件將被觸發而適當的引導其高電壓所產生的高電流至VSS端；此種應用原理係如第一圖所示，當一靜電放電事件發生時，此高壓元件之ESD防護元件將被觸發 (trigger)，並進入驟轉區域 (snapback region)，且在此驟轉區域中，此靜電放電防護元件將夾持橫跨其本身之一低電位電壓並維持一



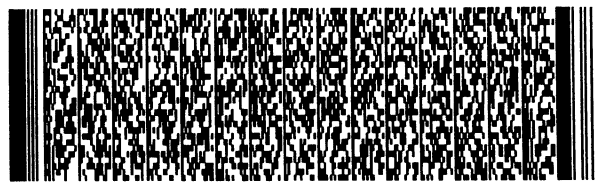
五、發明說明 (2)

高電流，使此靜電放電電流可有效地導引出去。

然而，在系統級電磁相容性/靜電放電(EMC/ESD)測試中，在系統電路板上之積體電路電源線可能耦合數百伏特之過電壓，若位於電源間靜電放電箝制電路之靜電放電防護元件導通時的保持電壓(holding Voltage)小於電源供應電壓VDD，此些元件係容易被系統級EMC/ESD暫態脈衝誤觸發而導致在CMOS積體電路電源間發生一嚴重的鎖住(latchup)或像鎖住(latchup-like)問題，此現象將使得積體電路內之部份元件將因承受過高電流而產生功能失效，甚至被損毀的情形。

再者，對於高壓積體電路而言，系統級EMC/ESD測試所造成鎖住或像鎖住的問題將更為嚴重。由於高壓元件係使用於高壓的電源操作下，靜電放電防護元件導通時的保持電壓(holding Voltage)更是遠小於電源供應電壓。因此，現有技術大部分皆是從製程上去提高靜電放電防護元件導通時的保持電壓(holding Voltage)來改進鎖住或像鎖住的問題，例如調整元件摻雜濃度、或使用更複雜的元件結構…等方式，但是從製程上去改進容易增加額外步驟，使製程更為複雜，製作困難度更高，相當麻煩。

有鑑於此，本發明係直接從電路上著手，提出一種高壓積體電路電源間靜電放電箝制電路，來有效避免鎖住效應。



五、發明說明 (3)

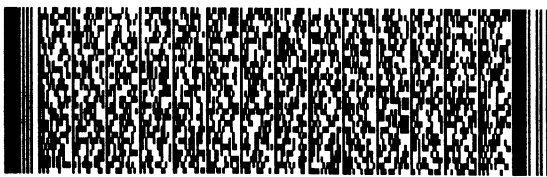
【發明內容】

本發明之主要目的係在提供一種高壓積體電路電源間靜電放電箝制電路，其係利用簡單的堆疊元件之電路結構設計，避免高壓積體電路之靜電放電防護元件於正常操作電壓下發生鎖住效應，以有效提昇積體電路對靜電放電的防護能力。

本發明之另一目的係在提供一種可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，使其在靜電放電事件發生時，堆疊元件結構可藉由靜電放電偵測電路的觸發而快速的進入導通狀態，以達到保護內部電路的作用。

為達到上述之目的，本發明包含一堆疊元件結構裝設在一高壓積體電路之VDD與VSS電源線之間，此堆疊元件結構係由至少二高壓元件或是由至少一高壓元件與至少一個低壓元件串接而成；並有一靜電放電偵測電路亦設置在VDD與VSS電源線之間而連接至堆疊元件結構之觸發節點，在正常操作時，堆疊元件結構在崩潰狀態下的保持電壓係大於該VDD之電壓值，以避免鎖住效應發生，在靜電放電時，經由靜電放電偵測電路，會觸發堆疊元件結構中之每一個高壓元件進入導通狀態，以達到保護內部電路的作用。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。



五、發明說明(4)

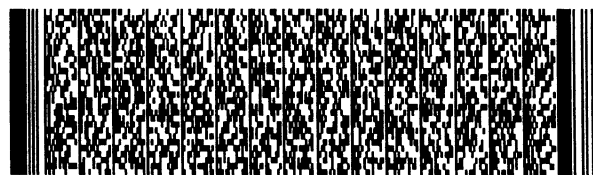
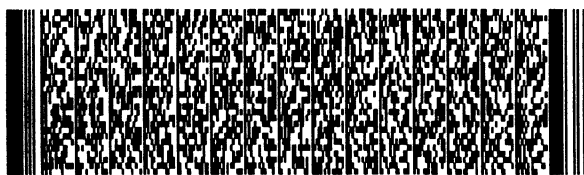
【實施方式】

本發明之靜電放電箝制電路係用於高壓互補式金氧半導體(CMOS)積體電路結構中，其係將堆疊元件結構運用於電源間之靜電放電電路中，以藉由堆疊元件的數目，使此堆疊元件結構在驟轉崩潰狀態下的保持電壓超過VDD電源的電壓值；如此即可避免此高壓積體電路於正常的高操作電壓下發生鎖住(latch-up)效應。

第二圖為本發明靜電放電防護元件導通電流電壓曲線圖，本發明於靜電放電防護元件導通時的保持電壓(holding Voltage)大於VDD電源供應電壓的電壓值。

第三圖為本發明之電路架構示意圖，如圖所示，本發明之靜電放電箝制電路10係設置在一高壓互補式金氧半導體積體電路中之VDD電源線12與VSS電源線14之間，並包含一堆疊元件結構16及一靜電放電偵測電路20。此堆疊元件結構16係由二個以上的高壓元件18所串接而成，且二側外端之高壓元件18係分別連接至VDD電源線12與VSS電源線14，整個堆疊元件結構16在驟轉崩潰狀態下的保持電壓可以超過VDD電源供應電壓的電壓值，請同時參閱第二圖所示；並在VDD電源線12與VSS電源線14之間設置一靜電放電偵測電路20，其係連接至堆疊元件結構16中之每一高壓元件18的觸發節點，以進行快速觸發，當此靜電放電偵測電路20偵測到有靜電放電事件發生時，會觸發堆疊元件結構16中之每一個高壓元件18，使其快速進入導通狀態。

若整個堆疊元件結構16之保持電壓維持大於VDD電壓



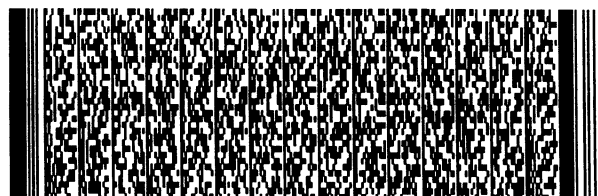
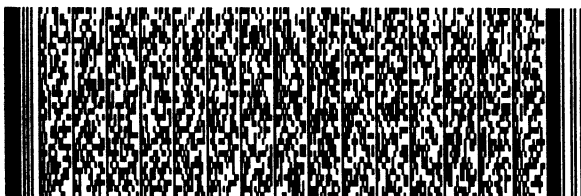
五、發明說明 (5)

值，此時元件即不會被系統級EMC/ESD暫態脈衝觸發而導致在CMOS積體電路中發生一嚴重的鎖住或像鎖住效應，故可有效避免積體電路內部元件因承受過高電流而產生功能失效或損毀的情形。

其中，前述之堆疊元件結構16除了全部由高壓元件18所組成之外，亦可如第四圖所示，在該堆疊元件結構16中，一個或一個以上的高壓元件18更可同時配合至少一低壓元件22來產生作動；另外，改變高壓元件18或低壓元件22的數目更可調整堆疊元件結構16本身之保持電壓，使其能夠在驟轉崩潰狀態下超過VDD電壓值。當然由高壓元件18與低壓元件22所組成之堆疊元件結構16其連接方式係與前述實施相同，故於此不再贅述。

再者，在上述之堆疊元件結構16中，所使用之高壓元件18可具有多種不同之選擇，如第五圖所示之高壓場氧化元件(FOD)24，如第六圖所示之高壓雙極接面電晶體(BJT)元件26，如第七圖所示之高壓n型金氧半場效電晶體(nMOSFET)28，以及如第八圖所示之高壓控整流器(SCR)元件30等，此些作為高壓元件之結構的連接方式與作動皆與前述內容相同，故於此不再重複贅述。

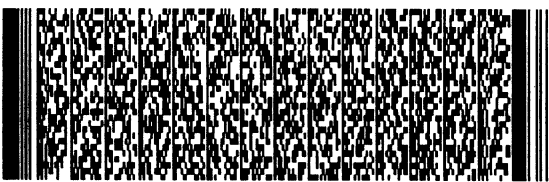
因此，本發明係在高壓積體電路中利用簡單的堆疊元件結構之電路設計，使此堆疊元件結構在驟轉崩潰狀態下的穩態保持電壓可維持超過VDD電源的電壓值，以避免高壓互補式金氧半導體積體電路之靜電放電防護元件於正常操作高電壓下發生鎖住或像鎖住效應，進而有效提昇積體



五、發明說明 (6)

電路對靜電放電的防護能力。此外，本發明藉由靜電放電偵測電路觸發堆疊元件結構，使其快速的進入導通狀態，以有效發揮上述之作用。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。



圖式簡單說明

【圖式簡單說明】

- 第一圖為習知靜電放電防護元件導通電流電壓曲線圖。
第二圖為本發明靜電放電防護元件導通電流電壓曲線圖。
第三圖為本發明之電路架構示意圖。
第四圖為本發明之另一電路架構示意圖。
第五圖為本發明使用高壓場氧化元件 (FOD) 之電路示意圖。
第六圖為本發明使用高壓雙極接面電晶體 (BJT) 元件之電路示意圖。
第七圖為本發明使用高壓n型金氧半場效電晶體之電路示意圖。
第八圖為本發明使用高壓控整流器 (SCR) 元件之電路示意圖。

【主要元件符號說明】

- 10 靜電放電箝制電路
12 VDD 電源線
14 VSS 電源線
16 堆疊元件結構
18 高壓元件
20 靜電放電偵測電路
22 低壓元件
24 高壓場氧化元件
26 高壓雙極接面電晶體元件



圖式簡單說明

28 高壓n型金氧半場效電晶體

30 高壓控整流器元件



六、申請專利範圍

1、一種可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，包括：

一 堆疊元件結構，其係由至少二高壓元件串接而成，該堆疊元件結構係裝設在一高壓積體電路之VDD與VSS電源線之間，該堆疊元件結構在崩潰狀態下的保持電壓係大於該VDD之電壓值；以及

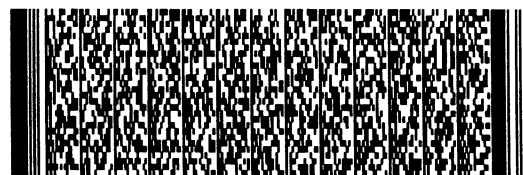
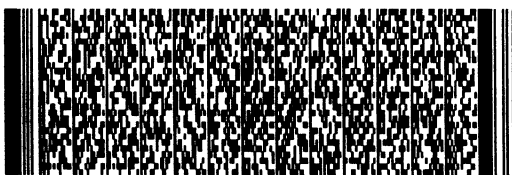
一 靜電放電偵測電路，其係設置該VDD與VSS電源線之間，當該靜電放電偵測電路偵測到有靜電放電事件發生時，會觸發該堆疊元件結構進入導通狀態。

2、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該高壓元件係可選自高壓場氧化元件（FOD）、高壓雙極接面電晶體（BJT）元件、高壓n型金氧半場效電晶體（nMOSFET）或高壓控整流器（SCR）元件。

3、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該高壓積體電路係為高壓互補式金氧半導體（CMOS）積體電路。

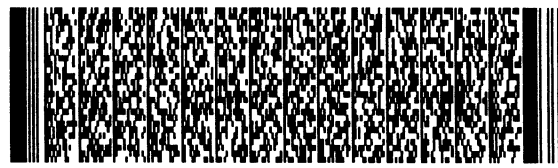
4、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該堆疊元件結構更可包括至少一低壓元件。

5、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該靜電放電偵測電路係連接至該堆疊元件結構中之每一該高壓元件的觸發節點，以進行快速觸發。



六、申請專利範圍

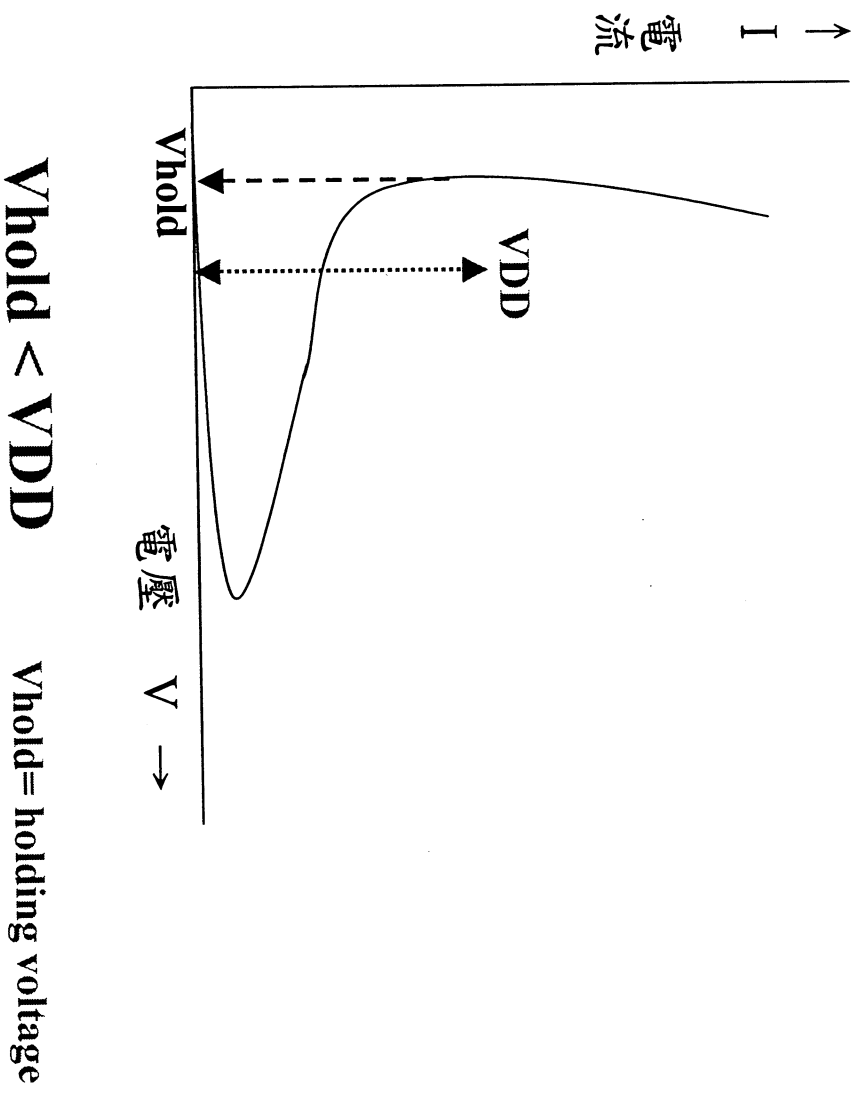
- 6、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該堆疊元件結構之保持電壓係可藉由改變該高壓元件的數目來調整之。
- 7、一種可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，包括：
 - 一堆疊元件結構，其係由至少一高壓元件及至少一低壓元件串接而成，該堆疊元件結構係裝設在一高壓積體電路之VDD與VSS電源線之間，該堆疊元件結構在崩潰狀態下的保持電壓係大於該VDD之電壓值；以及
 - 一靜電放電偵測電路，其係設置該VDD與VSS電源線之間，當該靜電放電偵測電路偵測到有靜電放電事件發生時，會觸發該堆疊元件結構進入導通狀態。
- 8、如申請專利範圍第7項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該高壓元件係可選自高壓場氧化元件（FOD）、高壓雙極接面電晶體（BJT）元件、高壓n型金氧半場效電晶體（nMOSFET）或高壓控整流器（SCR）元件。
- 9、如申請專利範圍第7項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該高壓積體電路係為高壓互補式金氧半導體（CMOS）積體電路。
- 10、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該靜電放電偵測電路係連接至該堆疊元件結構中之每一該高壓元件及低壓元件的觸發節點，以進行快速觸發。



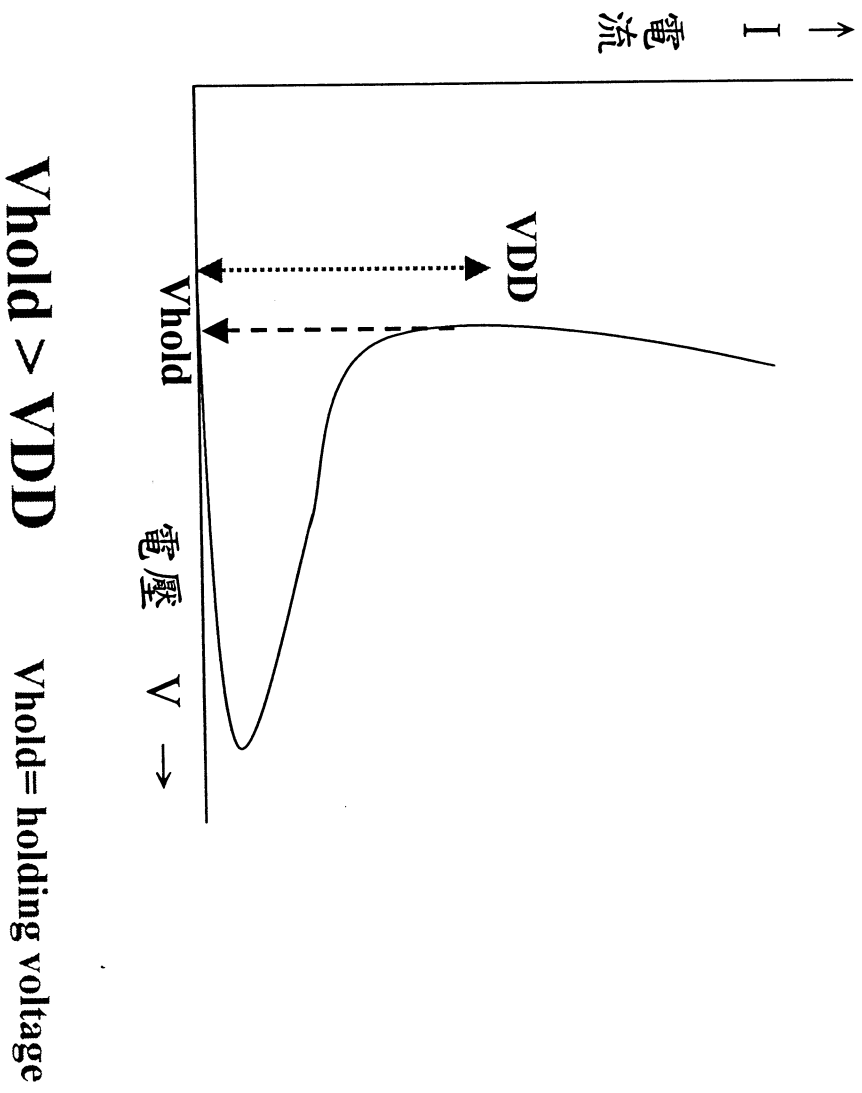
六、申請專利範圍

11、如申請專利範圍第1項所述之可避免鎖住效應之高壓積體電路電源間靜電放電箝制電路，其中該堆疊元件結構之保持電壓係可藉由改變該高壓元件或低壓元件的數目來調整之。

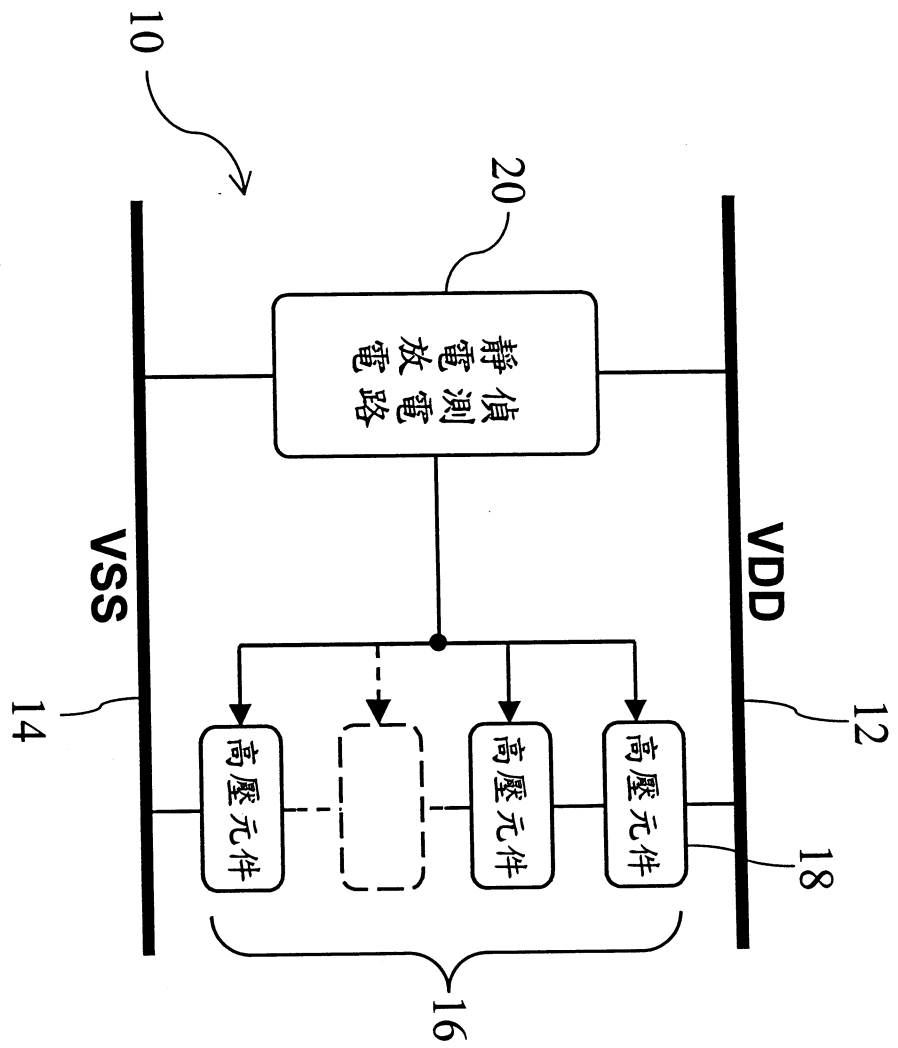




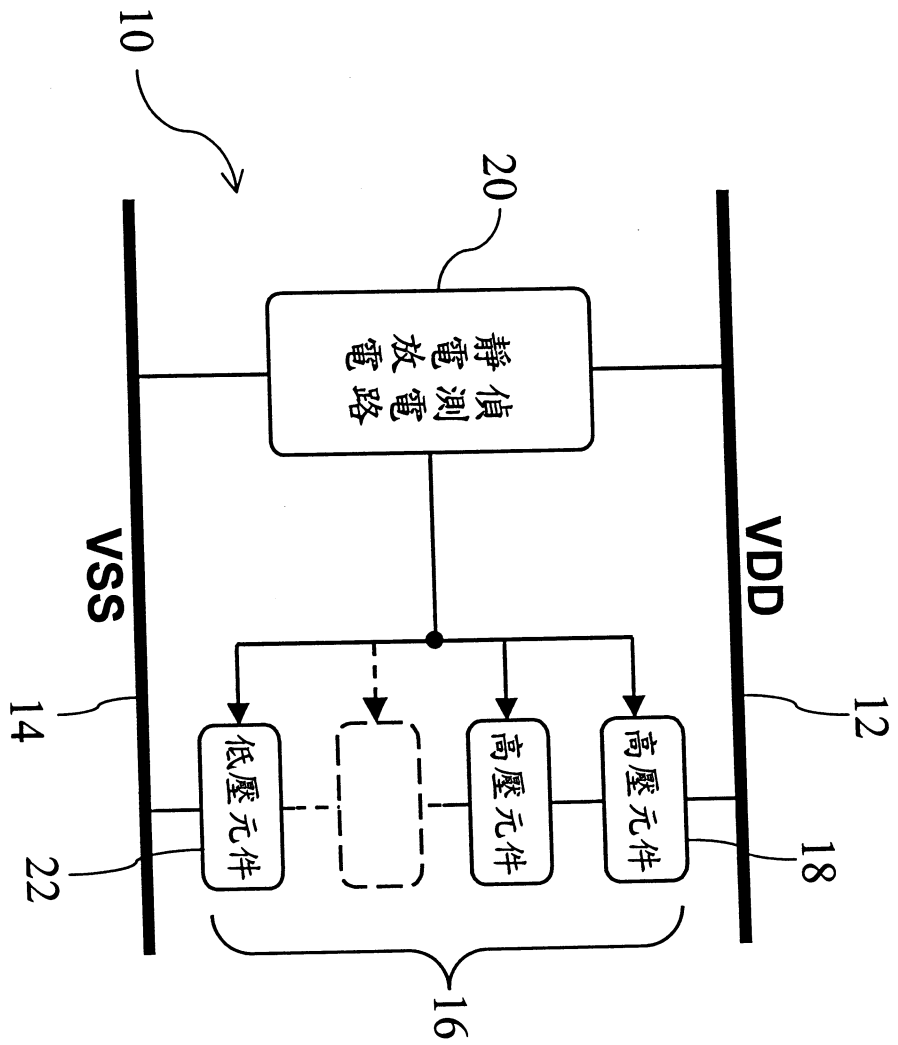
第一圖 (Prior Art)



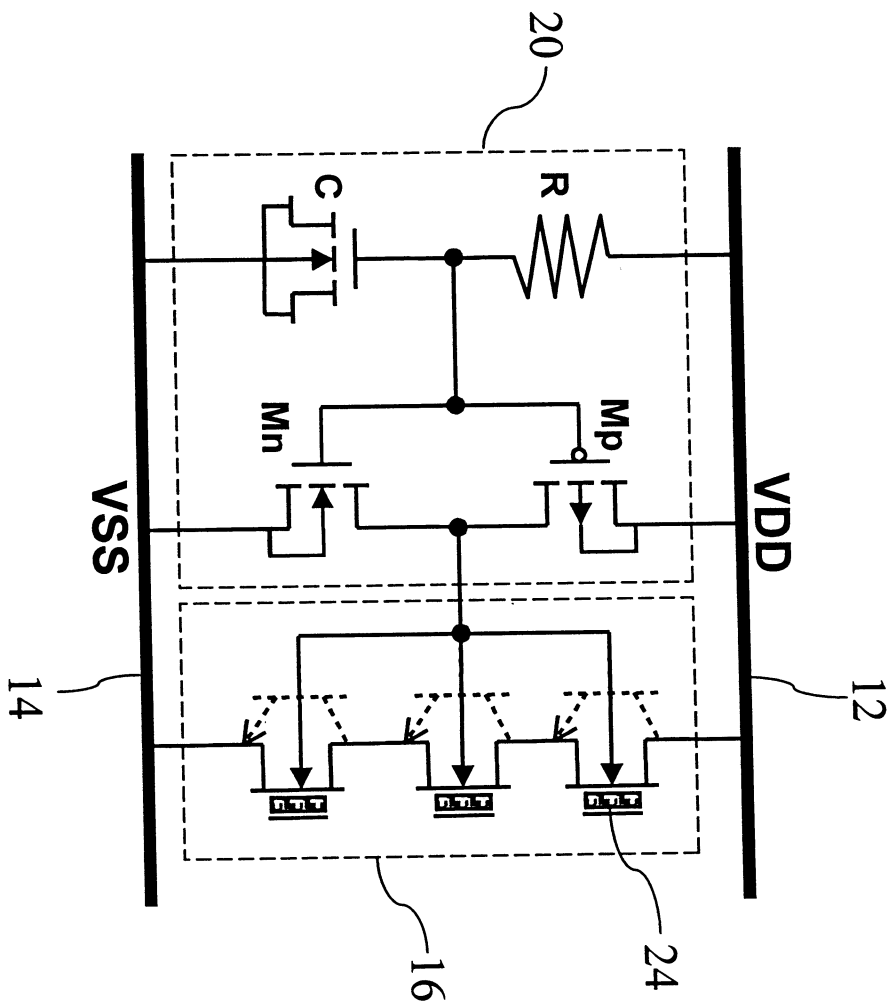
第二圖



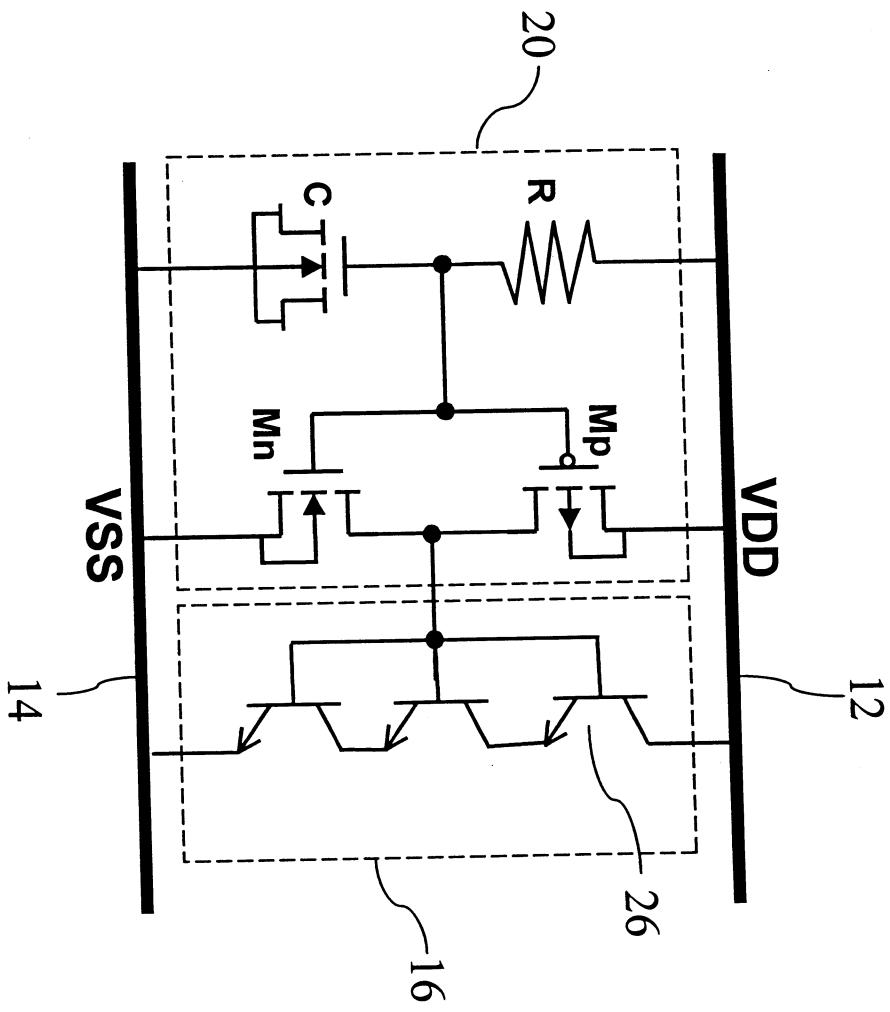
第三圖



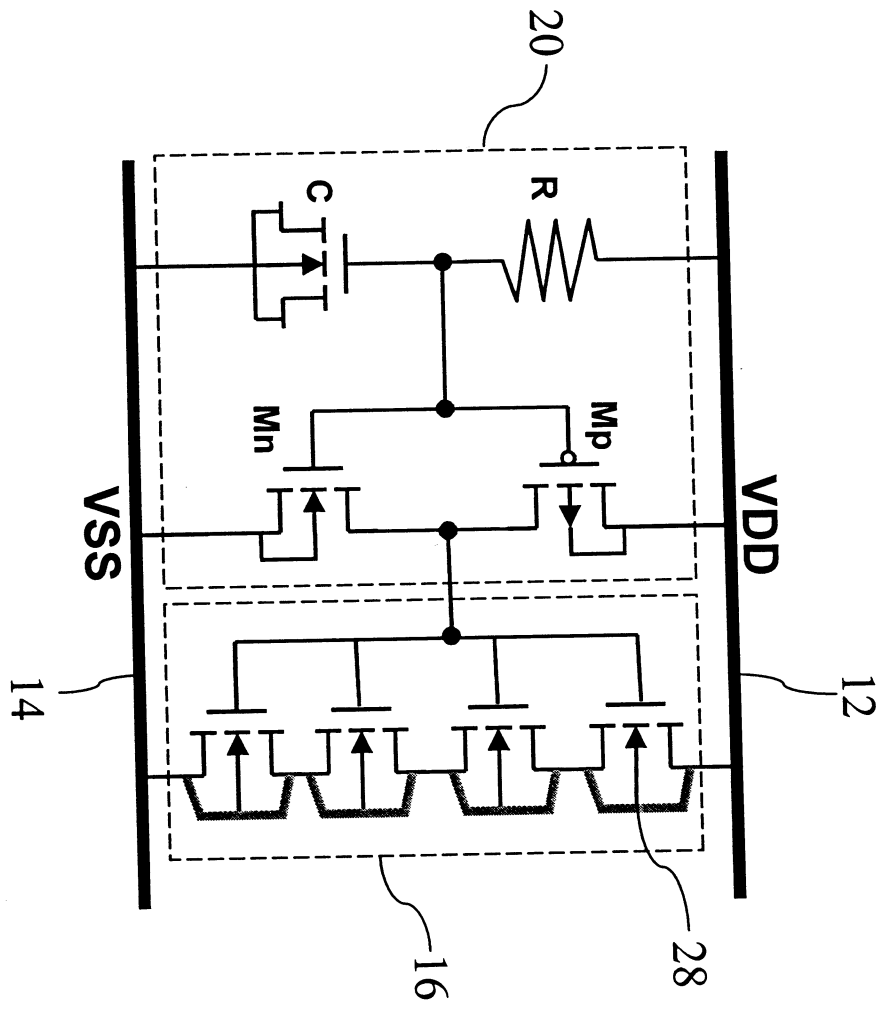
第四圖



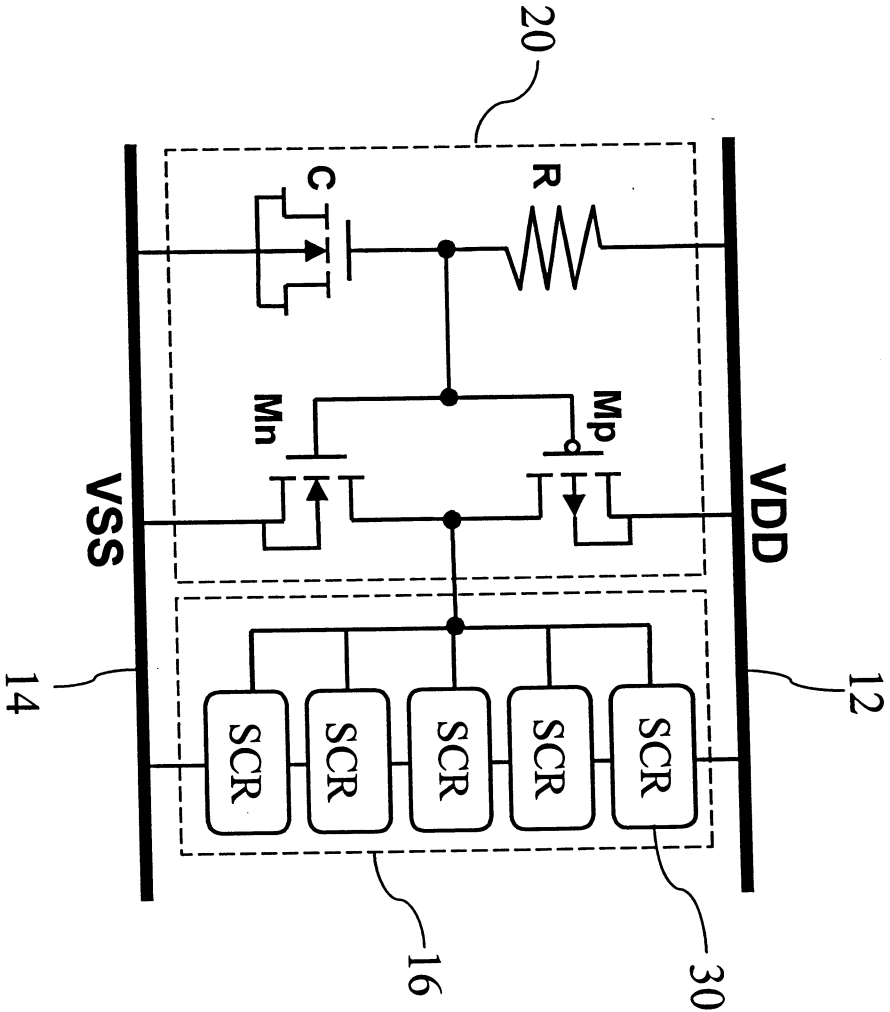
第五圖



第六圖



第七圖



第八圖