



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I425336 B

(45) 公告日：中華民國 103 (2014) 年 02 月 01 日

(21) 申請案號：099142355

(22) 申請日：中華民國 99 (2010) 年 12 月 06 日

(51) Int. Cl. : G05F1/46 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：陳家敏 CHEN, CHIA MIN (TW) ; 洪崇智 HUNG, CHUNG CHIH (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

TW 200634467A

US 2005/0184711A1

US 2006/0192538A1

US 2007/0108954A1

WO 2010/011219A2

陳家敏, "使用新頻率補償技術並具有高穩定度與高精確度之低壓降穩壓器", 碩士論文, 交通大學, 2007 年 1 月

審查人員：曾錦豐

申請專利範圍項數：13 項 圖式數：10 共 0 頁

(54) 名稱

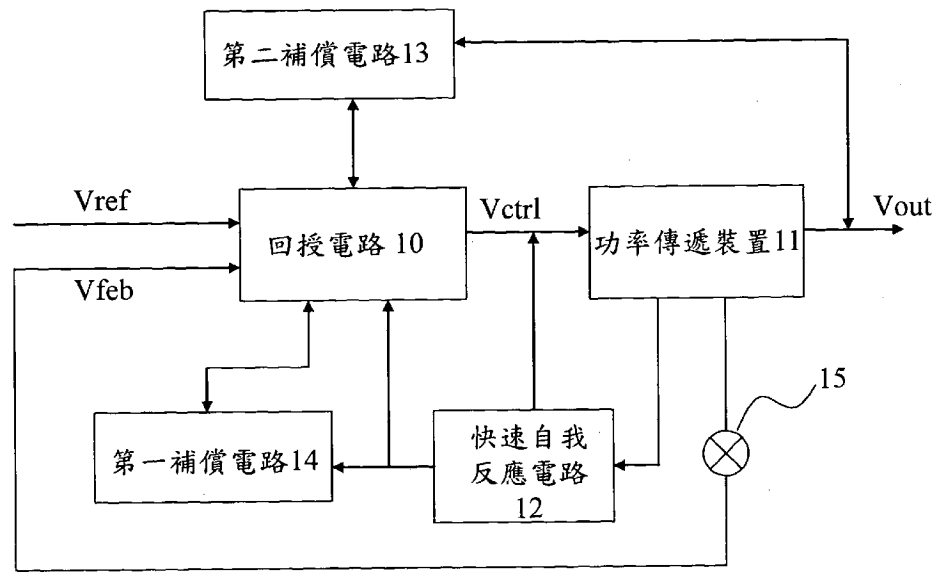
一種低壓降電壓穩壓器及其使用方法

A LOW-DROPOUT VOLTAGE REGULATOR AND A USE METHOD THEREOF

(57) 摘要

本發明揭露一種低壓降電壓穩壓器及其使用方法，其可應用在 SoC 晶片內部之電壓穩壓單元，亦可單獨作為無需外部大電容之電源管理積體電路，在無晶片外部電容情況下同時具有高迴路增益與穩定度，也具有快速的負載暫態/線上暫態響應特性。從零負載電流到設定的最大負載電流都可以維持好的穩定度。回授控制迴路提供高的迴路增益，因此具有更佳的負載穩壓與線上穩壓特性。本發明同時具有操作功率損耗低及低雜訊之穩定電壓輸出之特性。

The invention discloses a low-dropout voltage regulator with capacitor-free capacity and a use method thereof. The invention can implement a voltage regulated unit on SoC chip, also as a power management IC. By utilizing the invented circuit of the low dropout voltage regulator structure, the proposed low dropout voltage regulator provides a high loop gain with high stability, as well as fast line and load transient responses in capacitor-free operation. For power management IC or SoC application the invention can maintain high stability for zero output current to maximum specified loading current. The high loop gain gives good line and load regulation. The invention can operate under low power consumption and provide low noise output voltage.



第 1 圖

- 10 . . . 回授電路
- 11 . . . 功率傳遞裝置
- 12 . . . 快速自我反應電路
- 13 . . . 第二補償電路
- 14 . . . 第一補償電路
- 15 . . . 回授分壓電路
- $V_{ref}$  . . . 參考電壓訊號
- $V_{feb}$  . . . 回授電壓訊號
- $V_{ctrl}$  . . . 控制訊號
- $V_{out}$  . . . 輸出電壓

# 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99142355

※申請日：99.12.6

※IPC 分類：

一、發明名稱：(中文/英文)

G05F 1/46 (2006.01)

一種低壓降電壓穩壓器及其使用方法/A low-dropout voltage regulator and a use method thereof

## 二、中文發明摘要：

本發明揭露一種低壓降電壓穩壓器及其使用方法，其可應用在 SoC 晶片內部之電壓穩壓單元，亦可單獨作為無需外部大電容之電源管理積體電路，在無晶片外部電容情況下同時具有高迴路增益與穩定度，也具有快速的負載暫態/線上暫態響應特性。從零負載電流到設定的最大負載電流都可以維持好的穩定度。回授控制迴路提供高的迴路增益，因此具有更佳的負載穩壓與線上穩壓特性。本發明同時具有操作功率損耗低及低雜訊之穩定電壓輸出之特性。

## 三、英文發明摘要：

The invention discloses a low-dropout voltage regulator with capacitor-free capacity and a use method thereof. The invention can implement a voltage regulated unit on SoC chip, also as a power management IC. By utilizing the invented circuit of the low dropout voltage regulator structure, the proposed low dropout voltage regulator

provides a high loop gain with high stability, as well as fast line and load transient responses in capacitor-free operation. For power management IC or SoC application the invention can maintain high stability for zero output current to maximum specified loading current. The high loop gain gives good line and load regulation. The invention can operate under low power consumption and provide low noise output voltage.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件符號簡單說明：

10 回授電路

11 功率傳遞裝置

12 快速自我反應電路

13 第二補償電路

14 第一補償電路

15 回授分壓電路

$V_{ref}$  參考電壓訊號

$V_{feb}$  回授電壓訊號

$V_{ctrl}$  控制訊號

$V_{out}$  輸出電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

provides a high loop gain with high stability, as well as fast line and load transient responses in capacitor-free operation. For power management IC or SoC application the invention can maintain high stability for zero output current to maximum specified loading current. The high loop gain gives good line and load regulation. The invention can operate under low power consumption and provide low noise output voltage.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件符號簡單說明：

10 回授電路

11 功率傳遞裝置

12 快速自我反應電路

13 第二補償電路

14 第一補償電路

15 回授分壓電路

$V_{ref}$  參考電壓訊號

$V_{feb}$  回授電壓訊號

$V_{ctrl}$  控制訊號

$V_{out}$  輸出電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明為一低壓降電壓穩壓器，特別是使用於 SoC 內部之電源管理單元與獨立的電源管理晶片之一種低壓降電壓穩壓器。

### 【先前技術】

傳統上，為了得到精確的輸出電壓位準，也就是較高的線上穩壓和負載穩壓，低壓降電壓穩壓器必須設計具較高的迴路增益。目前大部份可攜式電子產品操作在低的供應電壓，因此傳統以疊接方式增加誤差放大器增益的方式已不適合，大多是採用串接方式為主。也就是在誤差放大器之後串上高擺幅的第二級增益，再串接功率電晶體 (Power PMOS)，形成三級放大的架構，但是低壓降電壓穩壓器串接愈多級，所產生由寄生電容貢獻的極點會愈多，使低壓降電壓穩壓器不穩定。

習知低壓降線性穩壓器補償的方式是較不理想，其利用晶片外部大電容的等效串聯電阻達成頻率補償，但是無法精確的製造與控制晶片外部大電容的等效串聯電阻 (ESR) 值；另外，於 SoC 中使用低壓降電壓穩壓器，穩壓電路輸出端會有電源金屬層等效寄生電容，因此要滿足穩定度的補償設計而沒有外部電容與等效串聯電阻 (ESR) 的輔助是很困難的。

目前已有將耦合電容 0.6nF 整合到 SoC 內部的技術，

此種晶片內部電容佔有非常大的面積，不適合 SoC 的發展，於是就有許多研究朝著不需要晶片外部負載電容的穩壓器發展，例如：利用電路之極零對消（pole-zero cancellation）技術，或利用 Flipped Voltage Follower 架構之設計。

低壓降線性穩壓電路的負載穩壓/線上穩壓之精確度與迴路穩定度的規格常常有互相抵觸的狀態，高的迴路增益可以提供精確的穩態電壓值，卻會減少相位邊際影響迴路的穩定度。因此，極零對消（pole-zero cancellation）技術使用於此穩壓電路，以及利用 Flipped Voltage Follower 的並聯回授（shunt feedback）技術以減少低壓降線性穩壓電路的輸出組抗，而得到頻率補償。但使用極零對消（pole-zero cancellation）技術的低壓降線性穩壓器不容易達到非常快速的負載暫態響應，而使用 Flipped Voltage Follower 的並聯回授（shunt feedback）技術的低壓降線性穩壓器迴路增益較低，有不好的負載穩壓/線上穩壓狀況，不易達到高的輸出電流驅動能力。

故而為了能產生製造更佳的低壓降電壓穩壓器，需要研發新式的低壓降電壓穩壓器技術，藉以提升低壓降電壓穩壓器效率且能夠降低該低壓降電壓穩壓器的製造成本。

### 【發明內容】

本發明之主要目的，係在提供一種低壓降電壓穩壓器，其係利用快速自我反應電路加速負載暫態變化，當負

載快速變動時，快速自我反應電路形成一迴路以減少輸出電壓的變化幅度。

本發明之另一目的，係在提供一種低壓降電壓穩壓器，其係利用頻率補償電路可以在無晶片外大電容情況下，具有非常高的穩定性，從零負載電流到設定的最大負載電流都保持最好的穩定度。

本發明之另一目的，係在提供一種低壓降電壓穩壓方法，其係利用補償網路產生零點與米勒補償效應及快速自我反應電路增加訊號迴轉率加快負載暫態響應與線上暫態響應。

本發明為一種低壓降電壓穩壓器，包括：一回授電路接收一參考電壓訊號及一回授電壓訊號，回授電路輸出一控制訊號；一功率傳遞裝置電性連接回授電路並輸出一輸出電壓；一快速自我反應電路電性連接回授電路及功率傳遞裝置之輸出端，快速自我反應電路接收輸出電壓，降低電壓輸出之變化幅度，並輸出一調整訊號至回授電路及控制訊號；一第一補償電路電性連接回授電路及快速自我反應電路，第一補償電路接收調整訊號以補償回授電路中的頻率訊號；以及一第二補償電路電性連接回授電路及功率傳遞裝置，第二補償電路接收輸出電壓以補償回授電路中的頻率訊號。

另外，本發明為一種低壓降電壓穩壓器，包括：一誤差放大器，包含一第一放大器及一第二放大器，第一放大器接收一參考電壓訊號及一回授電壓訊號，第二放大器串



聯第一放大器輸出一控制訊號；一功率電晶體電性連接誤差放大器接收控制訊號以控制一輸入訊號通過並輸出一輸出電壓；一第二補償電路，包含一第三放大器及一補償電容，第三放大器及補償電容以並聯方式電性連接回授電路及功率電晶體，第二補償電路接收調整訊號以補償回授電路中的頻率訊號；一快速自我反應電路電性連接回授電路及功率電晶體之輸出端，快速自我反應電路接收輸出電壓，降低電壓輸出之變化幅度，並輸出一調整訊號至回授電路及控制訊號，其包含：一第四放大器連接功率電晶體之輸出以接收輸出電壓；一第六放大器連接第四放大器形成一第二快速自我反應電路偵測輸出電壓以控制控制訊號；一第二電容位於第四放大器與第六放大器之間；一第五放大器連接功率電晶體之輸出以接收輸出電壓，第五放大器之輸出傳送至第六放大器形成一第三快速自我反應電路偵測輸出電壓以控制控制訊號；以及一第七放大器連接功率電晶體之輸出以接收輸出電壓，形成一第一快速自我反應電路偵測輸出電壓以控制控制訊號；一第一電容與第六放大器並聯；一第一電阻與第一電容串聯並與第六放大器並聯；第一電容、第一電阻與第六放大器形成第一補償電路，其電性連接回授電路及功率電晶體，第一補償電路接收輸出電壓以補償回授電路中的頻率訊號；以及一回授分壓電路電性連接回授電路，回授分壓電路接收輸出電壓以產生回授電壓訊號傳送至回授電路。

再者，本發明為一種低壓降電壓穩壓的方法，包括：

將一功率傳遞裝置的輸入與輸出兩個極點推到迴路頻寬之外；在單增益頻率之內留下兩個級點與一個零點；利用一補償網路產生零點與米勒補償效應；利用一快速自我反應電路增加訊號迴轉率；以及使用高增益之回授放大器增加迴路增益。

故而，關於本發明之優點與精神可以藉由以下發明詳述及所附圖式得到進一步的瞭解。

### 【實施方式】

本發明為一低壓降電壓穩壓器及其使用方法，其可以達到高的迴路增益使其具有高的負載穩壓與高的線上穩壓之精確度。

請參閱第 1 圖所示為本發明一實施例之低壓降電壓穩壓器架構示意圖。低壓降電壓穩壓器包括：回授電路 10 接收參考電壓訊號  $V_{ref}$  及回授電壓訊號  $V_{feb}$ ，在輸出端輸出控制訊號  $V_{ctrl}$ ；功率傳遞裝置 11 電性連接回授電路 10 並輸出一輸出電壓  $V_{out}$ ；快速自我反應電路 12 電性連接回授電路 10 及功率傳遞裝置 11 之輸出端，並降低電壓輸出之變化幅度，其輸出一調整訊號至回授電路 10 及控制訊號  $V_{ctrl}$ ；第一補償電路 14 電性連接回授電路 10 及快速自我反應電路 12，第一補償電路 14 接收調整訊號以補償回授電路 10 中的頻率訊號；第二補償電路 13 電性連接回授電路 10 及功率傳遞裝置 11，第二補償電路 13 接收輸出電壓  $V_{out}$  以補償回授電路 10 中的頻率訊號；以及回授分壓電路

15 電性連接回授電路 10，回授分壓電路 15 接收輸出電壓  $V_{out}$  以產生回授電壓訊號  $V_{feb}$  傳送至回授電路 10。

其中，回授電路 10 為一高迴路增益之回授電路。第一補償電路 14 包含一放大器、一補償電容以及一補償電阻（圖中未示），補償電容與補償電阻串聯並與放大器並聯。第二補償電路 13 包含一放大器及一補償電容（圖中未示），補償電容與放大器並聯。

請參閱第 2 圖所示為本發明另一實施例之低壓降電壓穩壓器架構示意圖。低壓降電壓穩壓器包括：回授電路 20、功率傳遞裝置 21、第一補償電路 24、第二補償電路 23、回授分壓電路 25、第一快速自我反應電路 221、第二快速自我反應電路 222 及第三快速自我反應電路 223。第一快速自我反應電路 221 偵測輸出電壓  $V_{out}$  以控制控制訊號  $V_{ctrl}$ ，第二快速自我反應電路 222 輸入至迴授電路 20 以控制控制訊號  $V_{ctrl}$ ，第三快速自我反應電路 223 輸入至迴授電路 20 以控制控制訊號  $V_{ctrl}$ 。

另外，在另一實施例中，回授分壓電路 25 連接回授電路 20 及第三快速自我反應電路 223，其接收輸出電壓以產生回授電壓訊號  $V_{feb}$  傳送至回授電路 20，並產生一分壓訊號至第三快速自我反應電路 223，如第 3 圖所示。

再者，未使用回授分壓電路的另一實施例則如第 4 圖所示。

根據上述，回授電路 20 為一高迴路增益之回授電路。第一補償電路 24 包含一放大器、一補償電容以及一補償電

阻（圖中未示），補償電容與補償電阻串聯並與放大器並聯。第二補償電路 23 包含一放大器及一補償電容（圖中未示），補償電容與放大器並聯。

請參閱第 5 圖所示為本發明一實施例之低壓降電壓穩壓器電路元件示意圖。誤差放大器 50 包含放大器  $A_1$  及放大器  $A_2$ ，放大器  $A_1$  接收參考電壓訊號  $V_{REF}$  及回授電壓訊號  $V_{FB}$ ，放大器  $A_2$  串聯放大器  $A_1$  輸出一控制訊號  $V_{CTRL}$ ；功率電晶體  $M_{PW}$  電性連接誤差放大器 50 接收控制訊號  $V_{CTR}$  以控制輸入訊號  $V_{IN}$ （電源訊號  $V_{DD}$ ）通過並輸出一輸出電壓  $V_{OUT}$ ；第二補償電路 53 包含放大器  $A_3$  及電容  $C_{m3}$ ，放大器  $A_3$  及電容  $C_{m3}$  以並聯方式電性連接回授電路 50 及功率電晶體  $M_{PW}$ ，第二補償電路 53 接收輸出訊號以補償回授電路 50 中的頻率訊號；電容  $C_{m1}$ 、電阻  $R_{m1}$  與放大器  $A_6$  形成第一補償電路 54，其電性連接回授電路 50 及功率電晶體  $M_{PW}$ ，第一補償電路 54 接收輸出電壓  $V_{OUT}$  以補償回授電路 50 中的頻率訊號；回授分壓電路由電阻  $R_{FB1}$  與  $R_{FB2}$  形成，其電性連接回授電路 50 並接收輸出電壓  $V_{OUT}$  以產生回授電壓訊號  $V_{FB}$  傳送至回授電路 50。

另外，快速自我反應電路包含：放大器  $A_4$  連接功率電晶體  $M_{PW}$  之輸出以接收輸出電壓  $V_{OUT}$ ；放大器  $A_6$  連接放大器  $A_4$  形成第二快速自我反應電路 522 以控制控制訊號  $V_{CTRL}$ ；電容  $C_{m2}$  位於放大器  $A_4$  與放大器  $A_6$  之間；放大器  $A_5$  連接功率電晶體  $M_{PW}$  之輸出以接收輸出電壓  $V_{OUT}$ ，放大器  $A_5$  之輸出傳送至放大器  $A_6$  形成第三快速自我反應電

路 523 以控制控制訊號  $V_{CTRL}$ ；放大器  $A_7$  連接功率電晶體  $M_{PW}$  之輸出以接收輸出電壓  $V_{OUT}$ ，形成第一快速自我反應電路 521 偵測輸出電壓  $V_{OUT}$  以控制控制訊號  $V_{CTRL}$ ；其中誤差放大器 50 為一高迴路增益之回授電路。

在第 5 圖實施例中，本發明將功率電晶體  $M_{PW}$  閘極端的極點 (pole) 和穩壓電路輸出端的極點 (pole) 推往高頻，讓這兩個極點 (pole) 的位置超過單一增益頻率 (Unity Gain Frequency, UGF)。本發明之穩壓電路的主要極點 (dominant pole)  $P_1$  位在放大電路  $A_2$  的輸入端，第二極點 (second pole)  $P_2$  位於放大電路  $A_6$  的輸入端，第三極點 (third pole)  $P_3$  位於低壓降電壓穩壓器的輸出端。

第一快速自我反應電路 521 會偵測穩壓器的輸出端節點  $n_{OUT}$  的電壓訊號  $V_{OUT}$ ，當  $V_{OUT}$  突然下降 ( $\Delta V_{OUT}$ ) 時，第一快速自我反應電路 521 會將此  $\Delta V_{OUT}$  放大並且快速地控制節點  $n_{CTRL}$  的電壓訊號  $V_{CTRL}$  下降，於是功率電晶體  $M_{PW}$  會提供更多的功率 (與電流) 到穩壓器的輸出端節點  $n_{OUT}$ ，穩壓器的輸出端節點的電壓訊號  $V_{OUT}$  就會快速的回復到正常的穩壓狀態。第一快速自我反應電路 521 提高了迴轉率 (slew rate) 並提昇了迴路頻寬 (loop bandwidth)。

另外，在小訊號分析中，第一快速自我反應電路 521 會降低節點  $n_{CTRL}$  與節點  $n_{OUT}$  所看進去的阻抗，因此這兩個節點的極點 (pole) 會位在高頻處，節點  $n_{CTRL}$  的極點會被第一補償電路 54 推到很高頻的地方，遠大於單位增益頻率 (unity gain bandwidth)，因此節點  $n_{CTRL}$  的極點不會影

響系統的穩定性。而節點  $n_{OUT}$  的極點會被第二補償電路 53 推到更高頻，高於單位增益頻率形成系統的第三個極點  $P_3$ 。

第二快速自我反應電路 522 會偵測穩壓器的輸出端節點  $n_{OUT}$  的電壓訊號  $V_{OUT}$ ，當  $V_{OUT}$  突然下降 ( $\Delta V_{OUT}$ ) 時，第二快速自我反應電路 522 會將此  $\Delta V_{OUT}$  放大並且快速地控制節點  $n_{CTRL}$  的電壓訊號  $V_{CTRL}$  下降，於是功率電晶體  $M_{PW}$  會提供更多的功率（與電流）到穩壓器的輸出端節點  $n_{OUT}$ ，穩壓器的輸出端節點的電壓訊號  $V_{OUT}$  就會快速的回復到正常的穩壓狀態。第二快速自我反應電路 522 提高迴轉率並提昇迴路頻寬。

第三快速自我反應電路 523 會偵測穩壓器的輸出端節點  $n_{OUT}$  的電壓訊號  $V_{OUT}$ ，當  $V_{OUT}$  突然下降 ( $\Delta V_{OUT}$ ) 時，第三快速自我反應電路 523 會將此  $\Delta V_{OUT}$  放大並且快速地控制節點  $n_{CTRL}$  的電壓訊號  $V_{CTRL}$  下降，於是功率電晶體  $M_{PW}$  會提供更多的功率（與電流）到穩壓器的輸出端節點  $n_{OUT}$ ，穩壓器的輸出端節點的電壓訊號  $V_{OUT}$  就會快速的回復到正常的穩壓狀態。第三快速自我反應電路 523 提高了迴轉率並提昇了迴路頻寬。

在第一補償電路 54 小訊號分析中，由於節點  $n_{CTRL}$  所看到的阻抗較低，於是第一補償電路 54 會將節點  $n_{CTRL}$  的極點推到非常高頻之處，遠大於單位增益頻率，使得節點  $n_{CTRL}$  的極點不會影響系統的穩定性。由於節點  $n_{COM2}$  所看到的阻抗較高，節點  $n_{COM2}$  的極點會被第一補償電路 54 推向低頻的位置形成系統的第二個極點  $P_2$ 。

在第二補償電路 53 小訊號分析中，由於節點  $n_{OUT}$  所看到的阻抗較低，於是第二補償電路 53 會將節點  $n_{OUT}$  的極點推到較高頻的地方，高於單位增益頻率形成系統的第三個極點  $P_3$ 。由於節點  $n_{COM1}$  所看到的阻抗較高，於是第二補償電路 53 會將節點  $n_{COM1}$  的極點推到較低頻之處，形成系統的主極點 (dominant pole)，也就是第一個極點  $P_1$ 。

另外，放大電路  $A_7$  使得放大電路  $A_2$  的輸出端與功率電晶體 ( $M_{PW}$ ) 的汲極端看到的輸出阻抗 (output impedance) 變得較低，因此當低壓降電壓穩壓器加入了補償電容  $C_{m3}$  和放大電路  $A_3$  之後，放大電路  $A_2$  輸入端的極點 (pole) 會被推到更低頻而形成主要極點 (dominant pole)  $P_1$ ，而低壓降電壓穩壓器輸出端的極點反而會被推到較高頻，而形成迴路的第三極點 (third pole)  $P_3$ 。同樣的，電容  $C_{m1}$ 、電阻  $R_{m1}$  和放大電路  $A_6$  會將功率電晶體  $M_{PW}$  閘極端的極點 (pole) 推到更高頻遠離單一增益頻率 (UGF)，而將放大電路  $A_6$  的輸入端極點推至低頻形成迴路的第二極點 (second pole)  $P_2$ 。第一個零點 (zero) 是由放大電路  $A_4$ 、電容  $C_{m2}$  和放大電路  $A_5$  所產生，用來和第二極點 (second pole)  $P_2$  相消，第二零點 (second zero)  $Z_2$  是由電容  $C_{m1}$ 、電阻  $R_{m1}$  和放大電路  $A_6$  所產生，可以和第三極點 (third pole)  $P_3$  相消，因此穩壓電路整個迴路具有非常好的穩定度。

如第 6A 圖與第 6B 圖所示為本發明一實施例之頻率響應 (Frequency Response) 示意圖，以及第 7 圖所示為本發

明一實施例之相位邊際 (Phase Margin) 示意圖。在第 6A 圖中為負載電流為零時的頻率響應圖，極點  $P_1$  位在非常低頻，零點  $Z_1$  用來與極點  $P_2$  相消 ( $Z_2$  位的頻率稍高於  $P_3$ )。在第 6B 圖中負載電流為 100 mA 時的頻率響應圖，極點  $P_1$  位在非常低頻，零點  $Z_1$  用來與極點  $P_2$  相消 (但  $Z_2$  位的頻率稍低於  $P_3$ )。第 7 圖中 AA' 線為第 6A 圖的相位邊際圖，BB' 線為第 6B 圖的相位邊際圖。

請參閱第 8 圖所示為本發明一實施例之低壓降線性穩壓器電路示意圖，有一個主要的串聯-並聯 (serial-shunt) 回授路徑與快速自我反應電路路徑，此電路可以加速負載暫態響應與線上暫態響應。第一快速自我反應電路是由電晶體  $M_{17}$ 、 $M_{18}$ 、 $M_{19}$ 、 $M_{20}$  和功率電晶體  $M_{PW}$  所構成，當輸出電壓  $V_{OUT}$  瞬間下降時， $I_{M_{19}}$  偏壓電流固定，因此  $V_{SG18}$  下降，進而造成  $M_{17}$  的閘極電壓下降，流過  $M_{17}$  的電流增加，使得功率電晶體  $M_{PW}$  的閘極電壓快速下降，因此功率電晶體  $M_{PW}$  提供更多的電流至輸出負載端，輸出電壓  $V_{OUT}$  快速回到正常穩壓值。第二快速自我反應電路徑是由電晶體  $M_{17}$ 、 $M_{18}$ 、 $M_{19}$ 、 $M_{20}$ 、 $C_{m2}$ 、 $M_{16}$  和功率電晶體  $M_{PW}$  所構成，當輸出電壓  $V_{OUT}$  瞬間下降時，會經由電晶體  $M_{17}$ 、 $M_{18}$ 、 $M_{19}$ 、 $M_{20}$  在  $M_{20}$  的閘源極形成一個訊號增量  $\Delta V_{GS20}$ ，而此訊號增量會經由補償電容  $C_{m2}$  耦合至電晶體  $M_{16}$  的閘極，電晶體  $M_{16}$  因此而產生一個電流增量，此電流增量會快速降低功率電晶體  $M_{PW}$  的閘極電壓，因此功率電晶體  $M_{PW}$  提供更多的電流至輸出負載端，輸出電壓  $V_{OUT}$  快速回



到正常穩壓值。第三快速自我反應電路是由電晶體  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ 、 $M_{14}$ 、 $M_{15}$ 、 $M_{16}$ 、功率電晶體  $M_{PW}$  和電阻回授網路  $R_{FB1}$ 、 $R_{FB2}$  所構成，電晶體  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ 、 $M_{14}$ 、 $M_{15}$  組成一個誤差放大器，當輸出電壓  $V_{OUT}$  瞬間下降時，誤差放大器的輸出端產生一個電壓訊號增量，因此流過電晶體  $M_{16}$  的電流增加，於是使得功率電晶體  $M_{PW}$  的閘極電壓快速下降，因此功率電晶體  $M_{PW}$  快速地提供更多電流至輸出負載端，輸出電壓  $V_{OUT}$  快速回到正常穩壓值。

根據上述，本發明利用快速自我反應電路加速負載暫態變化，當負載快速變動時，快速自我反應電路形成一迴路以減少輸出電壓的變化幅度，以及利用頻率補償電路可以在無晶片外大電容情況下，具有非常高的穩定性，從零負載電流到設定的最大負載流都能保持最好的穩定度。

請參閱第 9 圖為本發明一實施例之低壓降電壓穩壓方法，包括：將一功率傳遞裝置的輸入與輸出兩個極點推到迴路頻寬之外；在單增益頻率之內留下兩個級點與一個零點；利用一補償網路產生零點與米勒補償效應；利用一快速自我反應電路增加訊號迴轉率；以及使用高增益之回授放大器增加迴路增益。

根據上述，本發明係利用補償網路產生零點與米勒補償效應及快速自我反應電路以增加訊號迴轉率，故可加快負載暫態響應與線上暫態響應。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之

精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖為本發明一實施例之低壓降電壓穩壓器架構示意圖。

第 2 圖為本發明另一實施例之低壓降電壓穩壓器架構示意圖。

第 3 圖為本發明另一實施例之低壓降電壓穩壓器架構示意圖。

第 4 圖為本發明另一實施例之低壓降電壓穩壓器架構示意圖。

第 5 圖為本發明本發明一實施例之低壓降電壓穩壓器電路元件示意圖。

第 6A 圖與第 6B 圖所示為本發明一實施例之頻率響應示意圖。

第 7 圖為第 6A 圖與第 6B 圖之相位邊際示意圖。

第 8 圖所示為本發明一實施例之低壓降線性穩壓器電路示意圖。

第 9 圖為本發明一實施例之低壓降電壓穩壓方法。

### 【主要元件符號說明】

10、20 回授電路

- 11、21 功率傳遞裝置
- 12 快速自我反應電路
- 13、23 第二補償電路
- 14、24 第一補償電路
- 15、25 回授分壓電路
- 221 第一快速自我反應電路
- 222 第二快速自我反應電路
- 223 第三快速自我反應電路
- 50 誤差放大器
- 521 第一快速自我反應電路
- 522 第二快速自我反應電路
- 523 第三快速自我反應電路
- 53 第二補償電路
- 54 第一補償電路
- $V_{ref}$ 、 $V_{REF}$  參考電壓訊號
- $V_{feb}$ 、 $V_{FB}$  回授電壓訊號
- $V_{ctrl}$ 、 $V_{CTRL}$  控制訊號
- $V_{out}$ 、 $V_{OUT}$  輸出電壓
- $A_1$ 、 $A_2$ 、 $A_3$ 、 $A_4$ 、 $A_5$ 、 $A_6$ 、 $A_7$  放大器
- $C_{m1}$ 、 $C_{m2}$ 、 $C_{m3}$  電容
- $M_1$ ~ $M_{20}$  電晶體
- $M_{PW}$  功率電晶體
- $R_{m1}$ 、 $R_{FB1}$ 、 $R_{FB1}$  電阻
- $n_{CTRL}$ 、 $n_{OUT}$ 、 $n_{COM2}$ 、 $n_{COM1}$  節點

$P_1$ 、 $P_2$ 、 $P_3$  極點

$V_{IN}$  輸入電壓

$V_{DD}$  電源訊號

S91 – S95 低壓降電壓穩壓方法之步驟

## 七、申請專利範圍：

### 1. 一種低壓降電壓穩壓器，至少包含：

一回授電路，其接收一參考電壓訊號及一回授電壓訊號，該回授電路輸出一控制訊號；

一功率傳遞裝置，其電性連接該回授電路並輸出一輸出電壓；

一快速自我反應電路，其電性連接該回授電路及該功率傳遞裝置之輸出端，該快速自我反應電路接收該輸出電壓，降低該電壓輸出之變化幅度，並輸出一調整訊號至該回授電路及該控制訊號；

一第一補償電路，其電性連接該回授電路及該快速自我反應電路，該第一補償電路接收該調整訊號以補償回授電路中的頻率訊號；以及

一第二補償電路，其電性連接該回授電路及該功率傳遞裝置，該第二補償電路接收該輸出電壓以補償回授電路中的頻率訊號。

2. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中該回授電路為一高迴路增益之回授電路。

3. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中該快速自我反應電路包含一第一快速自我反應電路、一第二快速自我反應電路及一第三快速自我反應電路。

4. 如申請專利範圍第 3 項所述之低壓降電壓穩壓器，其中該第一快速自我反應電路偵測該輸出電壓以控制該控制訊號。

5. 如申請專利範圍第 3 項所述之低壓降電壓穩壓器，其中該第二快速自我反應電路偵測該輸出電壓以控制該控制訊號。
6. 如申請專利範圍第 3 項所述之低壓降電壓穩壓器，其中該第三快速自我反應電路偵測該輸出電壓以控制該控制訊號。
7. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中更包括一回授分壓電路，其電性連接該回授電路，該回授分壓電路接收該輸出電壓以產生該回授電壓訊號傳送至該回授電路。
8. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中更包括一回授分壓電路，回授分壓電路連接回授電路及第三快速自我反應電路，接收該輸出電壓以產生該回授電壓訊號傳送至該回授電路，並產生一分壓訊號至第三快速自我反應電路。
9. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中該第一補償電路包含一放大器、一補償電容以及一補償電阻，該補償電容與該補償電阻串聯並與該放大器並聯。
10. 如申請專利範圍第 1 項所述之低壓降電壓穩壓器，其中該第二補償電路包含一放大器及一補償電容，該補償電容與該放大器並聯。
11. 一種低壓降電壓穩壓的裝置，至少包含：

一誤差放大器，包含一第一放大器及一第二放大器，該第一放大器接收一參考電壓訊號及一回授電壓訊號，該第二放大器串聯該第一放大器輸出一控制訊號；

一功率電晶體，其電性連接該誤差放大器接收該控制訊號以控制一輸入訊號通過並輸出一輸出電壓；

一第二補償電路，包含一第三放大器及一補償電容，該第三放大器及該補償電容以並聯方式電性連接該回授電路及該功率電晶體，該第二補償電路接收該調整訊號以補償回授電路中的頻率訊號；

一快速自我反應電路，其電性連接該回授電路及該功率電晶體之輸出端，該快速自我反應電路接收該輸出電壓，降低該電壓輸出之變化幅度，並輸出一調整訊號至該回授電路及該控制訊號，其包含：

一第四放大器，其連接該功率電晶體之輸出以接收該輸出電壓；

一第六放大器，其連接該第四放大器形成一第二快速自我反應電路偵測該輸出電壓以控制該控制訊號；

一第二電容，其位於該第四放大器與該第六放大器之間；

一第五放大器，其連接該功率電晶體之輸出以接收該輸出電壓，該第五放大器之輸出傳送至該第六放大器形成一第三快速自我反應電路偵測該輸出電壓以控制該控制訊號；以及

一 第七放大器，其連接該功率電晶體之輸出以接收該輸出電壓，形成一第一快速自我反應電路偵測該輸出電壓以控制該控制訊號；

一 第一電容，其與第六放大器並聯；

一 第一電阻，其與該第一電容串聯並與該第六放大器並聯；

該第一電容、該第一電阻與該第六放大器形成第一補償電路，其電性連接該回授電路及該功率電晶體，該第一補償電路接收該輸出電壓以補償回授電路中的頻率訊號；以及

一回授分壓電路，其電性連接該回授電路，該回授分壓電路接收該輸出電壓以產生該回授電壓訊號傳送至該回授電路。

12. 如申請專利範圍第 11 項所述之低壓降電壓穩壓的方法，其中該誤差放大器為一高迴路增益之回授電路。

13. 一種低壓降電壓穩壓的方法，至少包含：

將一功率傳遞裝置的輸入與輸出兩個極點推到迴路頻寬之外；

在單增益頻率之內留下兩個極點與一個零點；

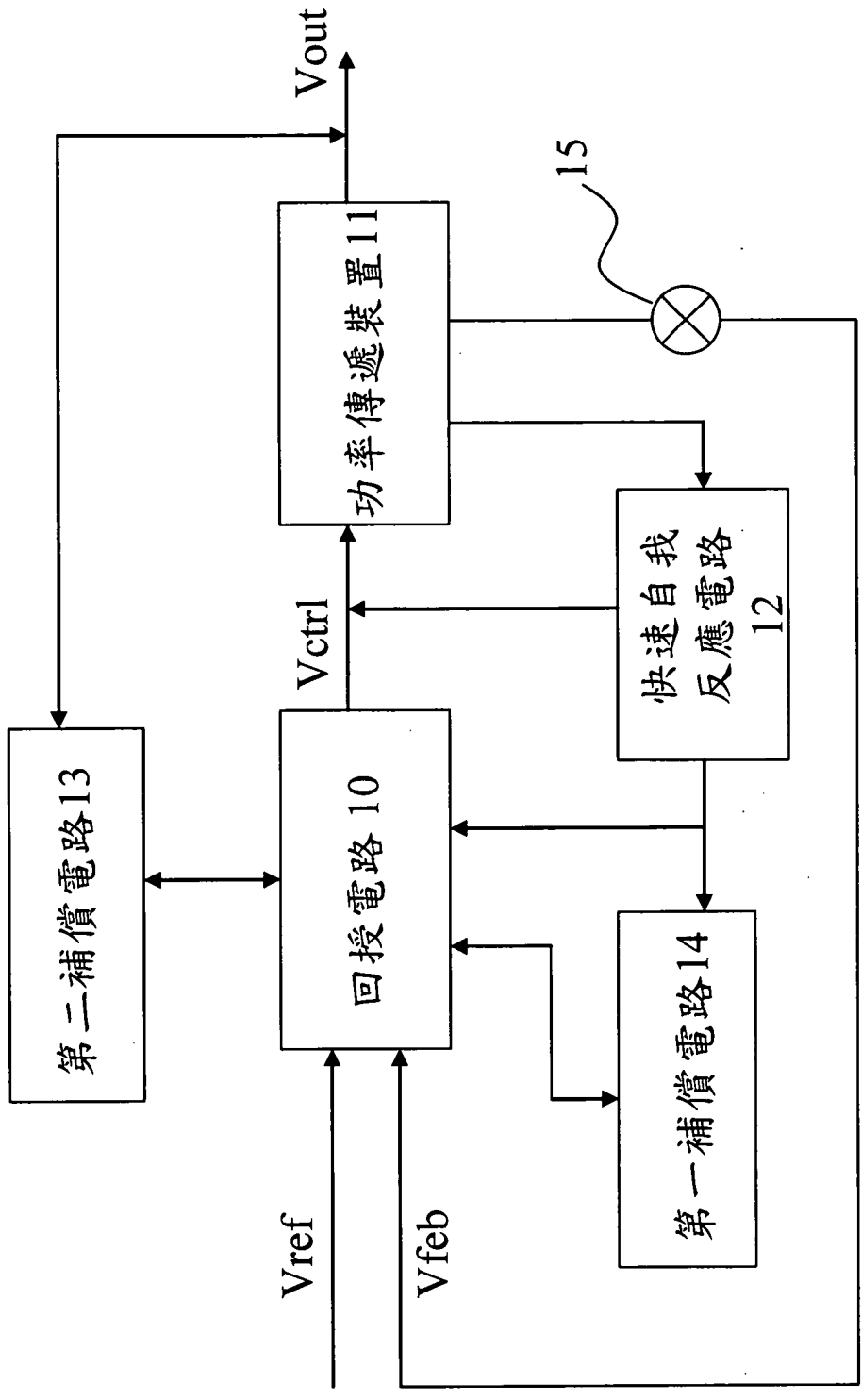
利用一補償網路產生零點與米勒補償效應；

利用一快速自我反應電路增加訊號迴轉率；以及

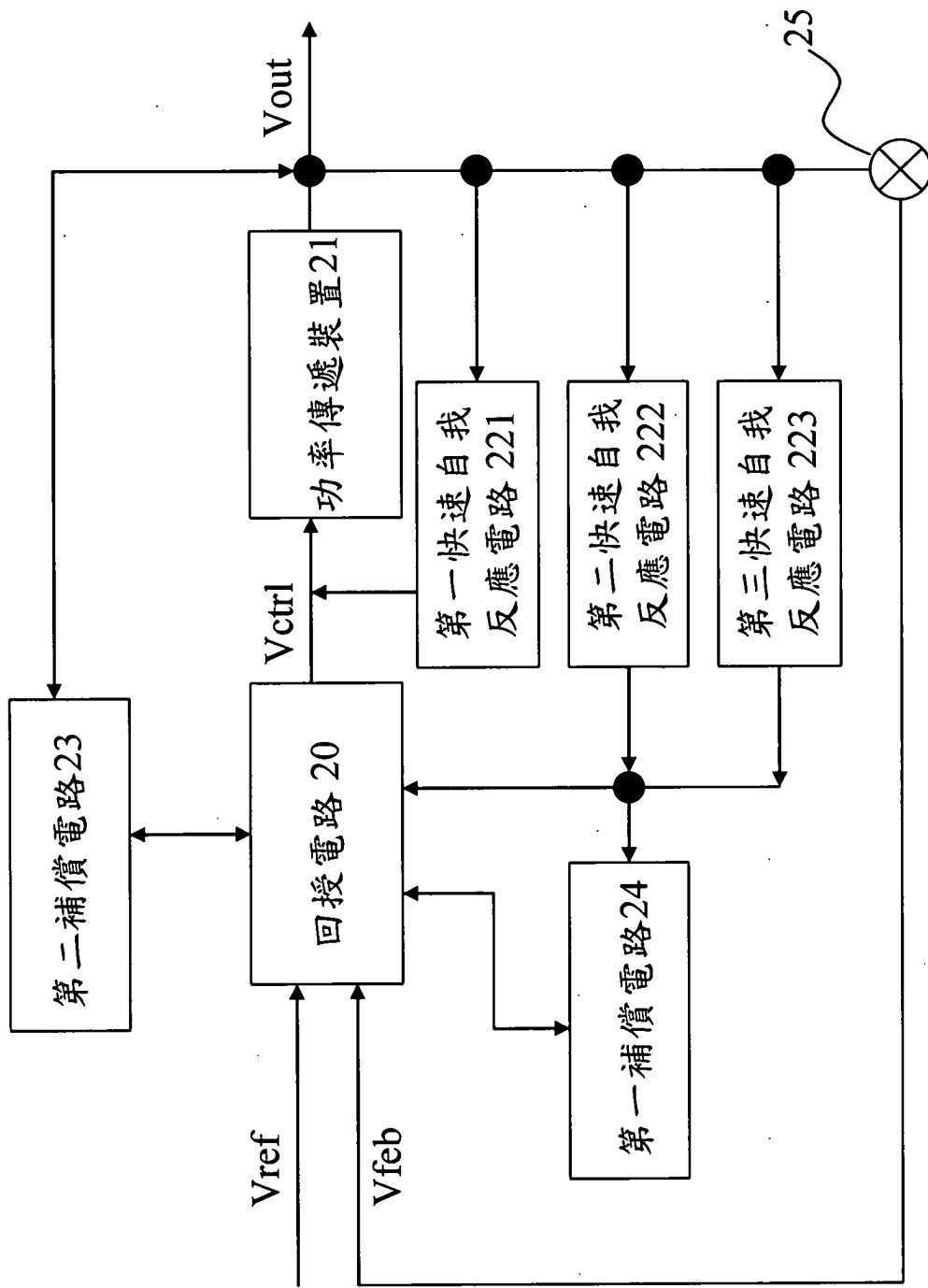
使用高增益之回授放大器增加迴路增益。



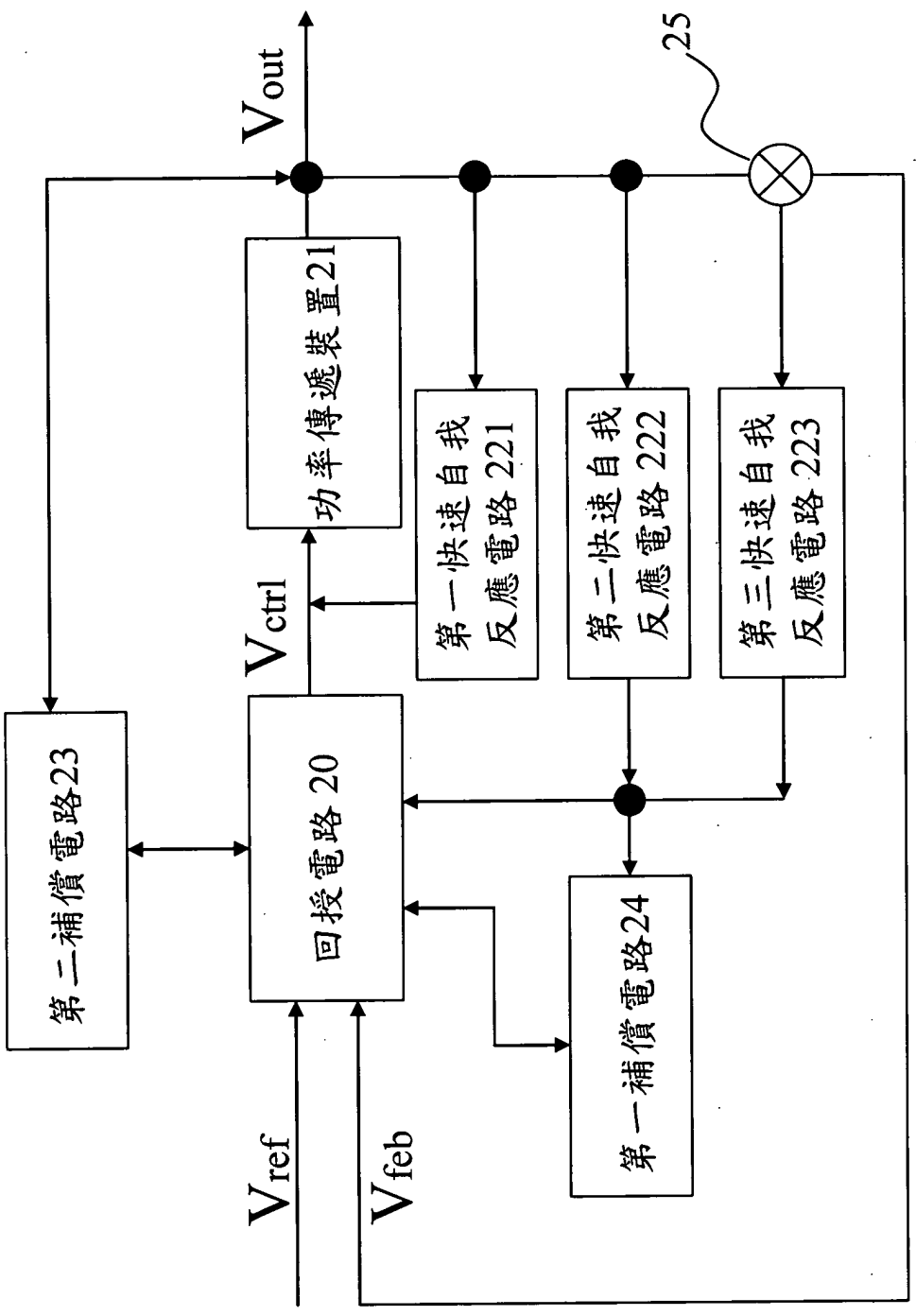
八、圖式：



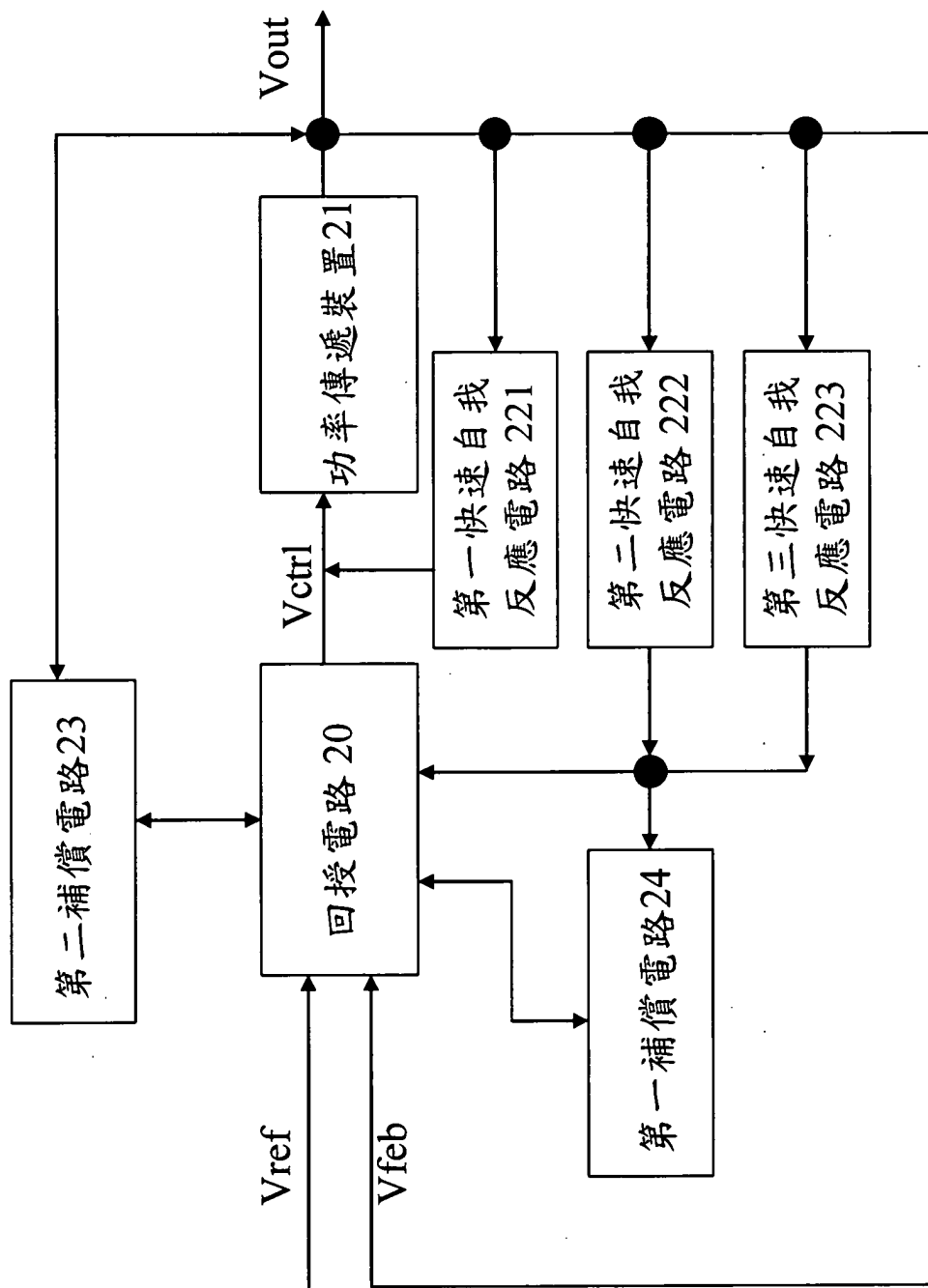
第 1 圖



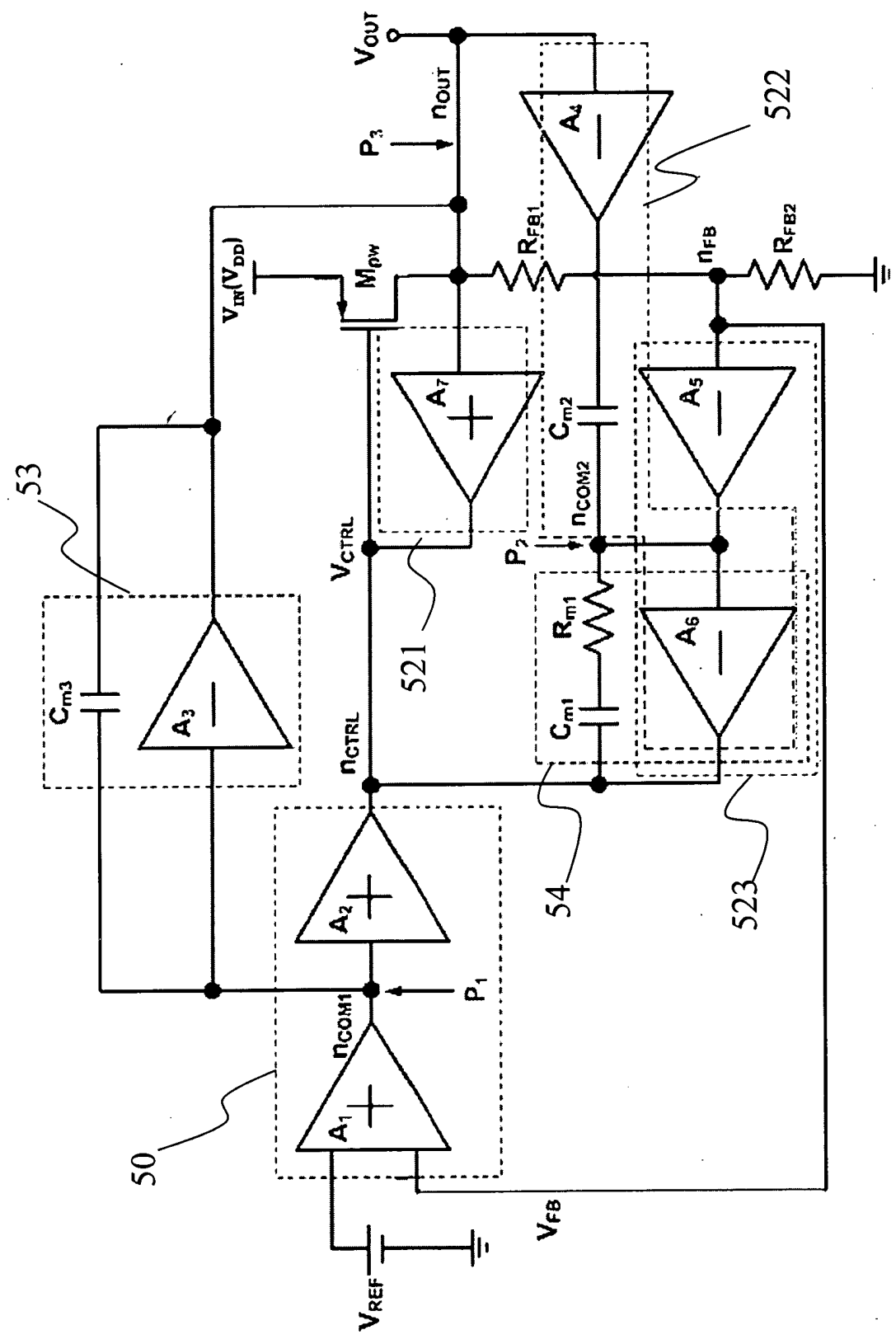
第 2 圖



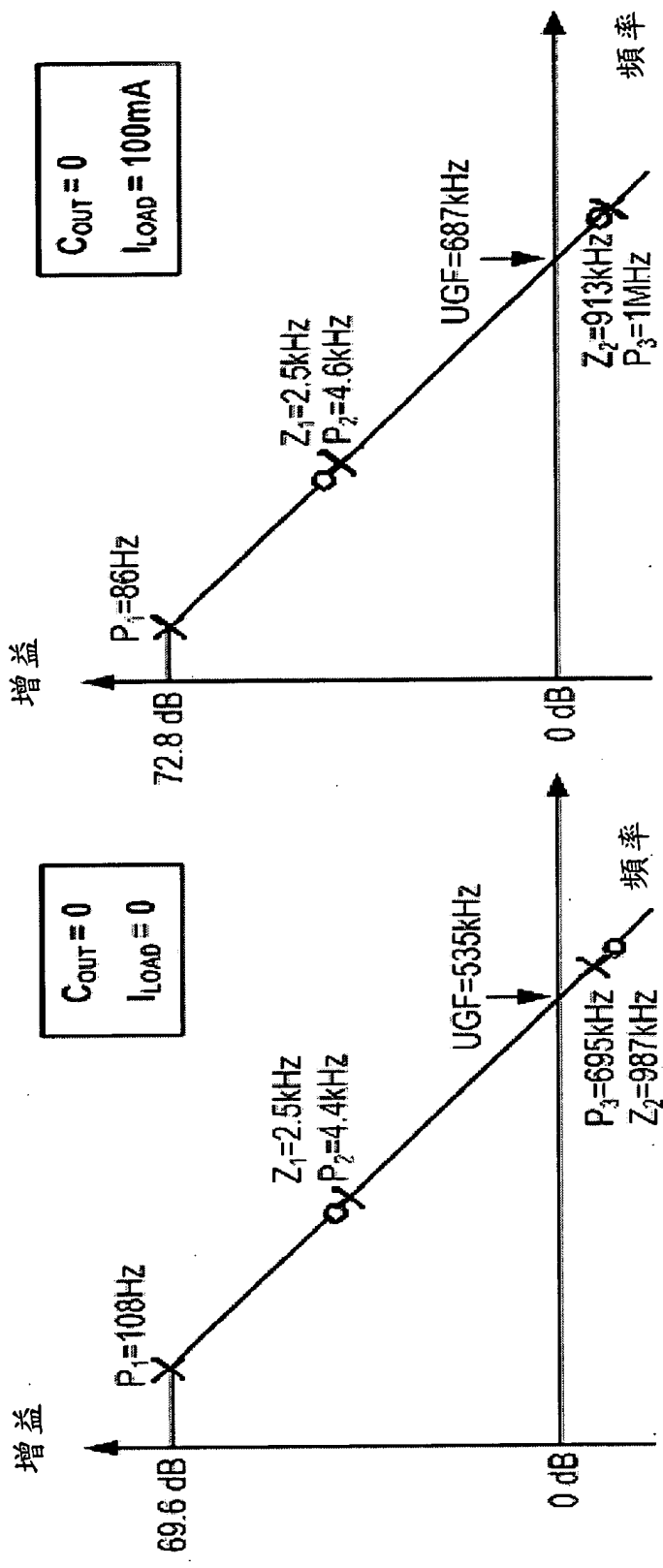
第 3 圖



第 4 圖

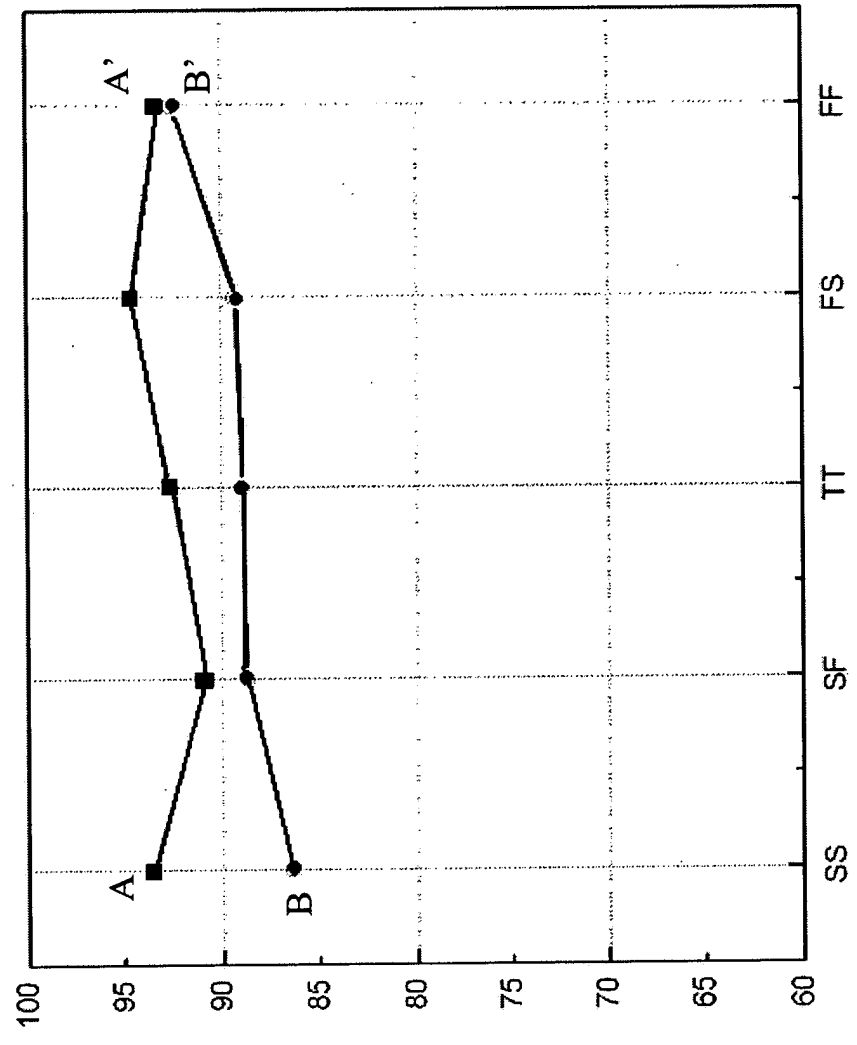


第 5 圖

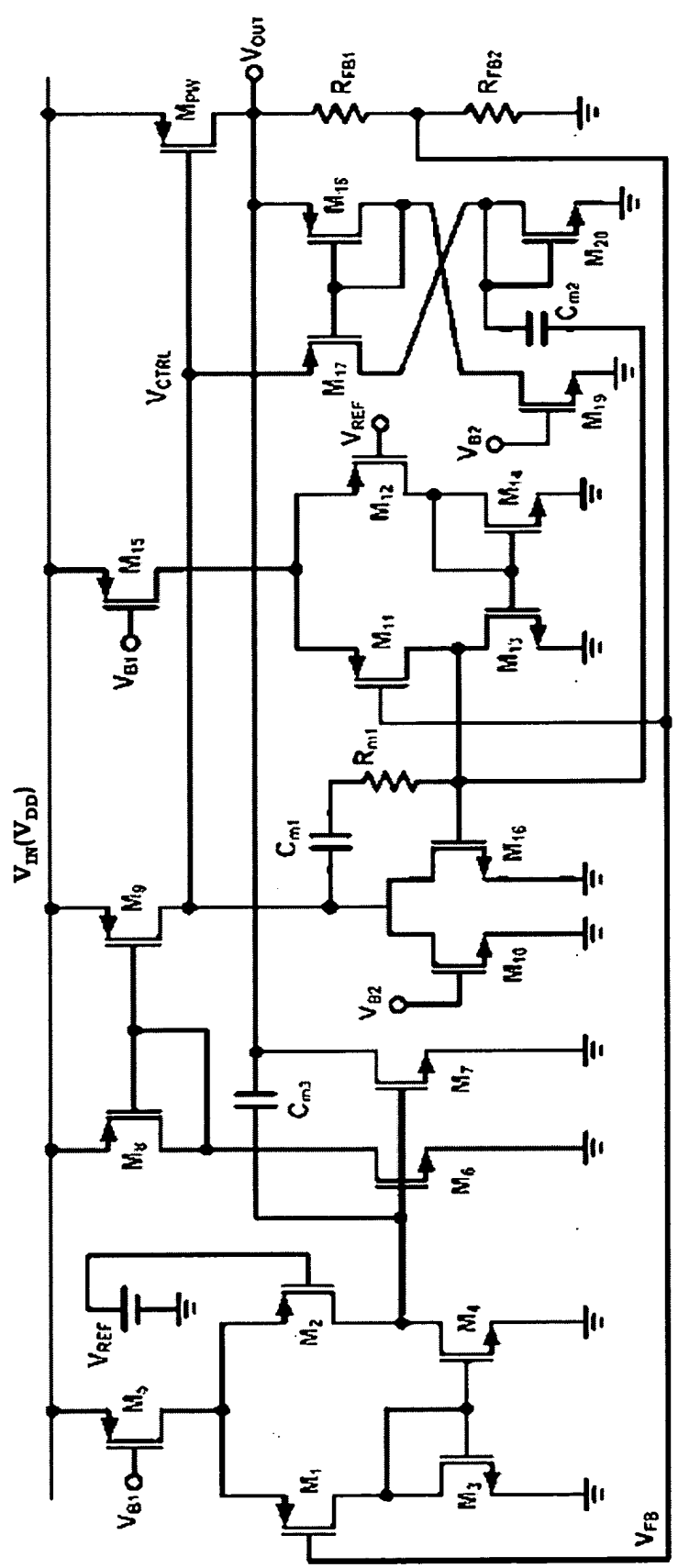


第 6A 圖

第 6B 圖

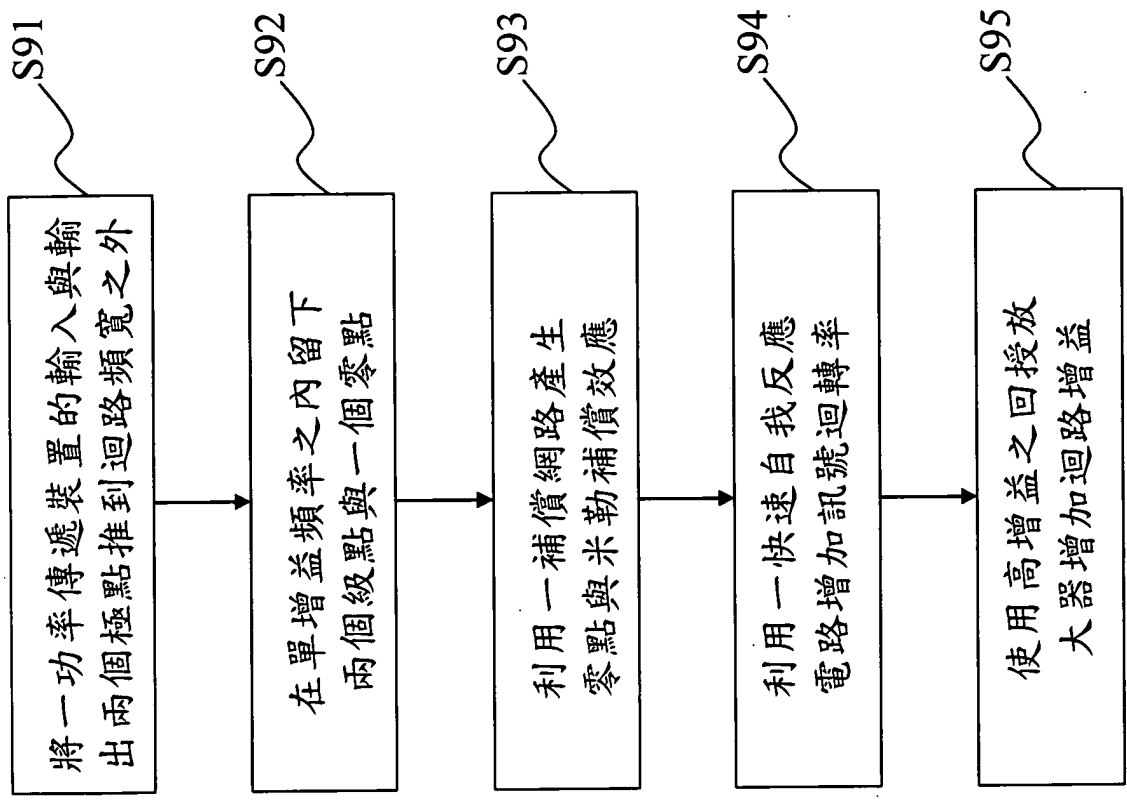


第 7 圖



第 8 圖





第 9 圖