

申請日期： 93-4-9	IPC分類 H11C 33/60
申請案號： 93107889	

(以上各欄由本局填註)

發明專利說明書 200534461

一、 發明名稱	中文	靜電放電防護電路
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 柯明道 2. 陳穩義
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市寶山路200巷3號4樓之3 2. 台北市中山區永安里北安路554巷31號5樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 國立交通大學
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



四、中文發明摘要 (發明名稱：靜電放電防護電路)

本發明係一種靜電放電防護電路，其應用於具有高低壓混合介面之電路上，本發明利用閘極耦合技術來達到靜電放電防護效果，當靜電發生於輸入／輸出鉀墊時，一電容會耦合靜電電壓，並分別經由一第一二極體與一第二二極體，來提高一疊接NMOS之上層與下層NMOS的閘極電位，藉此讓上層與下層NMOS產生通道，以幫助靜電更有效透過該疊接NMOS而導通至地。本發明在具有疊接NMOS架構之高低壓混合介面電路上設置觸發電路，以利用閘極耦合技術觸發導通該疊接NMOS，藉此增進疊接NMOS之靜電放電防護能力，並改善習知靜電放電防護電路無法直接套用於疊接NMOS結構或需外加極大保護元件等缺失。

五、英文發明摘要 (發明名稱：)

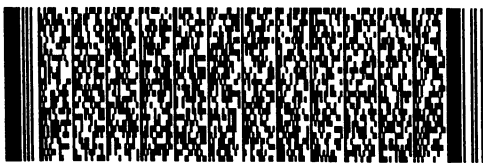


六、指定代表圖

(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明：

30	輸入／輸出鉚墊	32	疊接NMOS
34	上層NMOS	36	下層NMOS
38	預驅動電路	40	觸發電路
42	電容	44	第一二極體
46	第二二極體	48	放電電路



五、發明說明 (1)

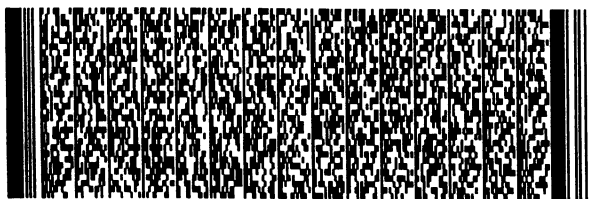
【發明所屬之技術領域】

本發明係一種靜電放電防護電路，特別是一種應用在高低壓混合介面電路之靜電放電防護電路。

【先前技術】

隨著科技技術發展，一般電腦結構均會具有高低壓混合介面電路，例如輸入／輸出鉚墊分別具有3.3伏的輸出電壓，與5伏的輸入電壓，因此為了防止靜電放電用之NMOS因輸入端較高的電壓值而產生閘極氧化層可靠度的問題，以及為了避免使用額外的厚閘極氧化層製程而提高成本，通常會應用疊接NMOS 10 (Stacked-NMOS) 結構來解決上述問題，如第一圖所示，其導電方式主要是靠疊接NMOS 10的寄生BJT導通來排掉電荷。

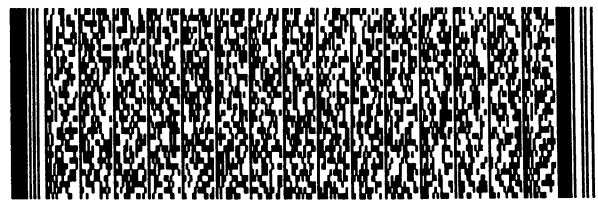
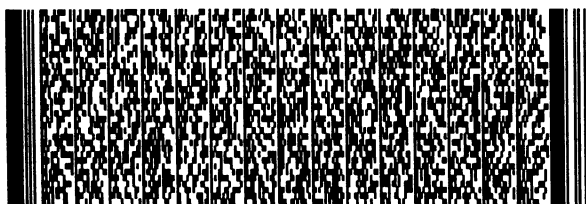
然而，隨著積體電路元件尺寸不斷地縮小，NMOS元件的靜電放電防護能力亦隨之下降，為了提高積體電路的靜電放電防護能力，位於輸入／輸出鉚墊處的靜電放電防護NMOS元件通常都會設計成大尺寸，以增加積體電路的靜電放電防護等級。在佈局上，大尺寸的元件經常會畫成手指狀 (Finger-Type)，例如一 $W/L=1000/0.6$ 之NMOS元件，其在佈局上會畫成10支等寬度的手指 (Finger)，且每一手指相互並聯在一起。當發生靜電放電時，由於每一手指至鉚墊的距離不同，故每一手指之觸發電壓亦不完全相同，因此一或數支手指會因較低的觸發電壓而崩潰導通，如此一來，靜電電流便會集中流向此一或數支手指，而不會流向其它仍未導通的手指，故此時整體靜電放電防護能



五、發明說明 (2)

力只剩下一或數支手指的防護能力，再者，若其它手指的觸發電壓大於元件毀損的臨界電壓，在其它手指導通前，元件即會被高於臨界電壓的靜電電壓永久損壞。再者，疊接NMOS具有較慢的導通速度，利用閘極耦合技術可以增進疊接NMOS對靜電放電的反應時間，以保護元件或內部電路免於受到靜電而造成損傷或功能異常。

為解決上述問題，可利用閘極耦合技術以降低觸發電壓之值，亦即透過降低疊接NMOS通道導通的觸發電壓，以幫助疊接NMOS的寄生BJT更快導通，藉此解決不均匀導通的問題，並增快疊接NMOS對靜電放電的反應時間。然而，參照第一圖，由於疊接NMOS 10之上層NMOS 12的閘極直接連接到VDD電壓源，因此無法直接利用一般用於NMOS結構之觸發電路，來降低疊接NMOS 10之觸發電壓。此外，儘管目前有多種關於疊接NMOS結構之靜電放電防護設計，如美國專利公告號6,466,423、6,140,682、6,097,071、5,932,918、5,930,094等專利所示，但其中6,466,423號之專利主要係關於疊接NMOS結構之專利，其特點為上層NMOS的源極端與下層NMOS之汲極端在製造上不共用同一區域，且再外加其它元件以達成靜電放電防護效果，但此設計會增加製造面積，且專利內容中未說明應外加何種靜電放電防護元件；另外，6,140,682號之專利並未使用觸發電路，故無法在靜電發生時，讓靜電放電防護元件提早進入導通狀態，故無法達到更佳的靜電放電防護效果；而6,097,071號之專利雖提出於疊接NMOS結構上進



五、發明說明 (3)

行靜電放電防護設計之概念，但未具體說明利用何種外加電路來提供更好的靜電放電防護；再者，5,932,918號之專利係利用疊接NMOS來做靜電放電防護，但未利用外加觸發電路來提升靜電放電耐受能力；最後5,930,094號之專利則詳述了於混合介面電路中，靜電放電的保護途徑與要點，然而此專利主要係利用疊接NMOS本身來進行靜電放電防護，並無外加觸發電路來提升疊接NMOS本身較差的靜電放電防護能力。

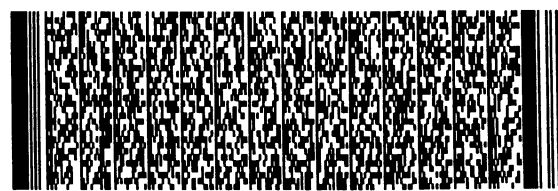
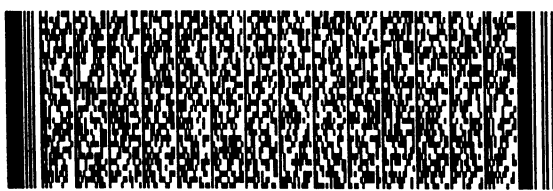
鑑於上述問題，本發明提出一種具有觸發電路之靜電放電防護電路，以應用於高低壓混合介面電路，藉此改善習知技術的缺失。

【發明內容】

本發明之主要目的，係提供一種應用於高低壓混合介面電路之靜電放電防護電路，其係利用一觸發電路之設計，以在靜電放生時，讓疊接NMOS提早進入導通狀態，藉此提高疊接NMOS結構之靜電放電防護能力。

本發明之另一目的，係提供一種靜電放電防護電路，其將電容、MOSFET與二極體等簡單元件設計做為觸發電路，以避免習知利用極大之靜電放電防護元件而耗費面積且提高成本之缺點。

根據本發明，一輸入／輸出鉚墊與一疊接NMOS連接在一起，且有一觸發電路連接至輸入／輸出鉚墊，以及疊接NMOS中之上層NMOS與下層NMOS之間極，當靜電發生於輸入／輸出鉚墊時，觸發電路中之電容會耦合靜電電壓，其再



五、發明說明 (4)

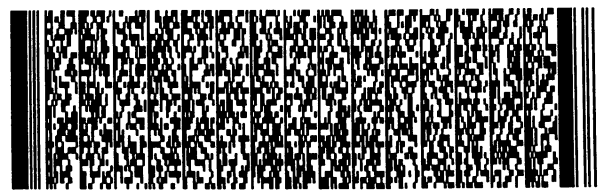
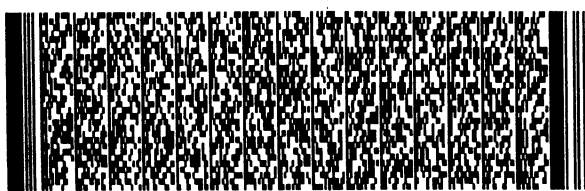
透過一第一二極體與一第二二極體而分別提高上層與下層NMOS的閘極電位，藉此讓上層與下層NMOS提早產生通道，以幫助輸入／輸出鉚墊處之靜電更有效透過該疊接NMOS而導接至地，上述第一與第二二極體可防止應用本發明之電路於正常工作時，產生漏電流之現象。

底下藉由具體實施例的說明，並參照所附之圖式，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係一種靜電放電防護電路，其藉由外加觸發電路之設計，以提高電路中疊接NMOS結構之靜電放電防護能力，並避免利用極大的靜電放電防護元件，以節省製造面積，進而提高經濟效益。

如第二圖所示，其係本發明實施例示意圖，由圖可知，一輸入／輸出鉚墊30可經由疊接NMOS 32以接地，疊接NMOS 32包括一上層NMOS (Upper NMOS) 34與一下層NMOS (Bottom NMOS) 36，每一上層NMOS 34之閘極連接至一VDD電壓源，而每一下層NMOS 36則連接至一預驅動電路38，在個別的疊接NMOS 32中，上層NMOS 34之汲極連接輸入／輸出鉚墊30、源極連接下層NMOS 36之汲極，而下層NMOS 36之源極則接地。另有一觸發電路40，其包括一電容42，此電容42具有第一與第二連接端，第一連接端連接輸入／輸出鉚墊30，第二連接端則分別透過一第一及一第二二極體44、46連接至上層NMOS 34與下層NMOS 36之閘

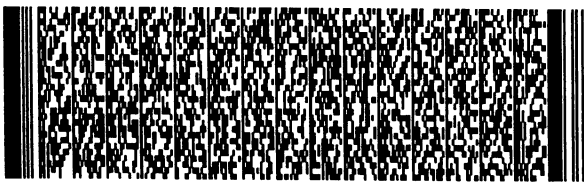


五、發明說明 (5)

極。尚有一放電電路48，其係一NMOS，其閘極亦連接至VDD電壓源，汲極與源極則分別連接電容42的第二連接端與接地。

根據上述結構設計並參照第二圖，在正常工作下，當輸入／輸出鉀墊30上產生0伏至5伏之瞬間電壓變化時，由於放電電路48之NMOS係處於導通狀態，故電容42所耦合之電量會經由放電電路48之NMOS而導通至地，因此不會影響電路之正常運作，且由於第一與第二二極體44、46均屬逆偏壓狀態，故不會發生電壓經由第一／第二二極體44、46及放電電路48之NMOS而漏電至地；當電路不工作時，此時電路腳位皆處於浮接狀態，因此放電電路48之NMOS通道關閉，此時若輸入／輸出鉀墊30產生電壓變化，電容42所耦合之電量即無法透過放電電路48之NMOS而導接至地，然而由於觸發電路40之設計，當電容42之第二連接端之電位達到第一與第二二極體44、46之臨界電壓時，第一與第二二極體44、46會導通並分別提高上層與下層NMOS 34、36之閘極電位，進而使上層與下層NMOS 34、36產生通道，藉此通道電流幫助輸入／輸出鉀墊30上之靜電更快並更有效經由疊接NMOS 32導接至地。

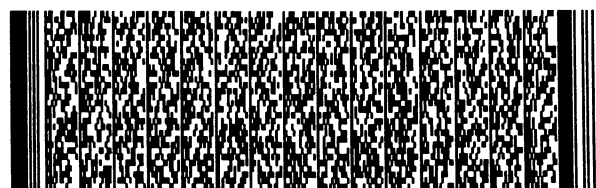
如第三(a)圖及第三(b)圖所示，其與第二圖之差異在於利用其它元件來取代第二圖中放電電路48之NMOS，第三(a)圖之放電電路48係一電阻，其二端分別連接電容42之第二連接端與接地，此電阻之值係經適當設計，藉此確保在正常工作狀態下，輸入／輸出鉀墊30發生0伏至5



五、發明說明 (6)

伏之電壓變化時，觸發電路40不會被誤觸動，且在靜電放電狀態下，觸發電路40能正常運作以提供靜電放電防護效果，此外，電阻值之選擇設計可應用於本發明其它實施例中，為免重覆說明，本發明其它實施例不再對此詳加敘述。第三(b)圖所示之放電電路48則為並聯之一電阻與一NMOS，此電阻兩端分別連接電容42之第二連接端與接地，而NMOS之汲極與源極亦分別連接該電容42之第二連接端與接地，閘極則連接至VDD電壓源，故當此實施例中之電路處於正常工作狀態時，放電電路48之NMOS能提供電容42耦合電量的放電管道，而在靜電放電的狀態下，放電電路48電阻之設計需能確保觸發電路40的正常運作，進而提供良好之靜電放電防護效果。

參照第四(a)圖至第四(c)圖，其為利用二個以上之電容以設計觸發電路之實施例示意圖。如第四(a)圖所示，輸入/輸出鉚墊30分別連接第一電容421及第二電容422之第一連接端，而第一及第二電容421、422之第二連接端則分別透過第一及第二二極體44、46，連接至上層與下層NMOS 34、36之閘極，另有一並聯之NMOS與電阻所組成之放電電路48連接至第一及第二電容421、422之第二連接端，故當此實施例之電路正常工作時，放電電路48能提供第一及第二電容421、422耦合電量接地之途徑，而當此實施例之電路處於不工作狀態時，若靜電發生於輸入/輸出鉚墊30，且第一、第二電容421、422耦合之電位分別大於第一及第二二極體44、46之臨界電壓時，每一疊接

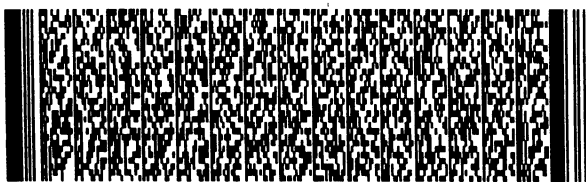


五、發明說明 (7)

NMOS 32 中之上層及下層NMOS 34、36 的閘極電位即升高，並進而使上層及下層NMOS 34、36 產生通道，如此能幫助輸入／輸出鉚墊30 上的靜電，更快並更有效率經由疊接NMOS 32 而導接至地。至於第四 (b) 圖與第四 (a) 圖之差異在於第四 (b) 圖利用一電阻作為放電電路48。而第四 (c) 圖則使用了二獨立之放電電路48 以分別提供第一及第二電容421、422 耦合電量之接地管道，且每一獨立之放電電路48 均為並聯之NMOS 與電阻，其工作方式如同先前關於第三 (b) 圖之敘述。

而第五圖為本發明另一實施例示意圖，其中觸發電路40 之第一電容及第二電容421、422 之第一連接端同樣連接至輸入／輸出鉚墊30，而第二連接端則分別直接連接至每一上層及下層NMOS 34、36 之閘極，另外，第一電容421 之第二連接端與一第一放電電路481 相連，其係由第一PMOS 4811 及第一NMOS 4812 所組成，其中第一PMOS 4811 之閘極連接至VDD 電壓源、源極連接第一電容421 之第二連接端、汲極則連接至第一NMOS 4812 之汲極，而第一NMOS 4812 之閘極與源極則分別連接VDD 電壓源與接地。此外，繼續參照第五圖，第二電容422 之第二連接端則與一第二放電電路482 相連，其包括一汲極連接至第二電容422 之第二連接端之第二NMOS 4821，其閘極連接至VDD 電壓源，源極則連接一第二PMOS 4822 之源極，又此第二PMOS 4822 之閘極連接至第二電容422 之第二連接端，汲極則接地。

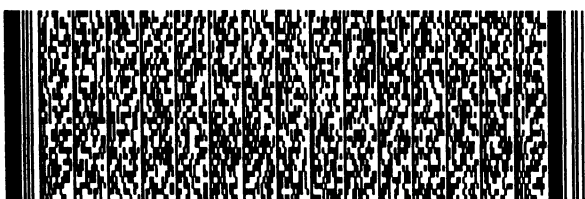
承上所述並參照第五圖，當此實施例之電路正常工作



五、發明說明 (8)

時，若輸入／輸出鉀墊30產生0伏至5V的瞬間電壓變化，且耦合在第一電容421第二連接端之電壓（T1點的電壓）大於V_{dd}加V_{tp}（第一PMOS 4811之臨界電壓）時，第一電容421耦合之電量即會經由第一PMOS 4811與第一NMOS 4812導通至地，接著T1點的電壓值即可回到V_{dd}；而當輸入／輸出鉀墊30變為5V時，預驅動電路38會輸入0伏訊號至下層NMOS 36之閘極，同時會使第二PMOS 4822產生通道，因此第二電容422耦合之電量即會經由第二NMOS 4821及第二PMOS 4822導接至地，不會對整體電路運作造成影響。又當此實施例之電路（如第五圖所示）處於不工作之狀態，亦即第一與第二NMOS 4812、4821未導通時，若有靜電發生於輸入／輸出鉀墊30，第一與第二電容421、422即會耦合電壓，並分別升高上層及下層NMOS 34、36之閘極電壓（T1點及T2點之電壓），藉此讓上層與下層NMOS 34、36產生通道，進而幫助輸入／輸出鉀墊30處之靜電能夠更快並更有效地經由疊接NMOS 32而導接至地，以防止靜電破壞元件。

由上所述，本發明利用電容、MOSFET與二極體等簡單元件組成觸發電路，以利用閘極耦合之技術提早導通疊接NMOS，藉此宣洩輸入／輸出鉀墊上之靜電，並提高疊接NMOS結構之靜電放電防護能力，另本發明之觸發電路只需佔用極小製造面積便可達到提升靜電放電防護之效果。此外，需注意的是，本發明之實施例雖設置了二疊接NMOS，但亦可視設計需求而僅設置一疊接NMOS或二個以上之疊接



五、發明說明 (9)

NMOS。

惟以上所述之實施例僅為本發明之較佳實施例而已，並非用以限定本發明實施之範圍。故凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本創作之申請專利範圍內。



圖式簡單說明

圖式說明：

第一圖為習知利用疊接NMOS結構之靜電放電防護電路示意圖。

第二圖為本發明實施例示意圖。

第三(a)圖與第三(b)圖為替換第二圖中放電電路元件之實施例示意圖。

第四(a)圖為本發明另一實施例示意圖。

第四(b)圖與第四(c)圖為替換第二圖中放電電路元件之實施例示意圖。

第五圖為本發明另一實施例示意圖。

圖號說明：

30	輸入／輸出鉚墊	32	疊接NMOS
34	上層NMOS	36	下層NMOS
38	預驅動電路	40	觸發電路
42	電容	44	第一二極體
46	第二二極體	48	放電電路
421	第一電容	422	第二電容
481	第一放電電路	482	第二放電電路
4811	第一PMOS	4812	第一NMOS
4821	第一NMOS	4822	第一PMOS



六、申請專利範圍

1、一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉀墊；

至少一疊接NMOS，其包括：

一上層NMOS，其汲極連接該輸入／輸出鉀墊，閘極則連接一VDD電壓源；以及

一下層NMOS，其汲極連接該上層NMOS之源極，閘極則連接一預驅動電路，另該下層NMOS之源極接地；

一觸發電路，其包括：

至少一電容，其具有第一與第二連接端，該第一連接端連接該輸入／輸出鉀墊；

一第一二極體，其順向連接於該電容之第二連接端與該上層NMOS之閘極間；

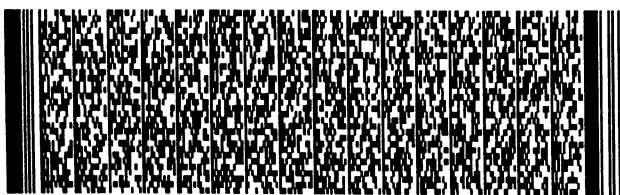
一第二二極體，其順向連接於該電容之第二連接端與該下層NMOS之閘極間；以及

一放電電路，其兩端分別連接該電容之第二連接端以及接地。

2、如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係一NMOS，其汲極連接該電容之第二連接端、閘極連接該VDD電壓源、源極則接地。

3、如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係一電阻。

4、如申請專利範圍第1項所述之靜電放電防護電路，其中該放電電路係並聯之一電阻與一NMOS，該電阻兩端分別連



六、申請專利範圍

接該電容之第二連接端與接地，該NMOS之汲極與源極亦分別連接該電容之第二連接端與接地，且該NMOS之閘極連接該VDD電壓源。

5、如申請專利範圍第1項所述之靜電放電防護電路，更可根據同樣的該疊接NMOS之電路連接關係，增設至少一該疊接NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

6、一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉚墊；

至少一疊接NMOS，其包括：

一上層NMOS，其汲極連接該輸入／輸出鉚墊，閘極則連接一VDD電壓源；以及

一下層NMOS，其汲極連接該上層NMOS之源極，閘極則連接一預驅動電路，另該下層NMOS之源極接地；

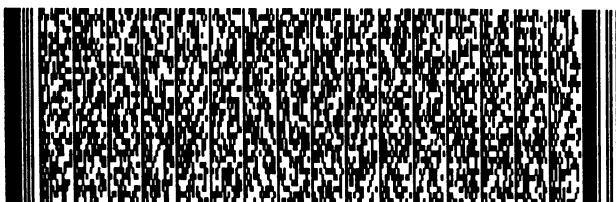
一觸發電路，其包括：

一第一電容，其具有第一與第二連接端，該第一電容之第一連接端連接該輸入／輸出鉚墊；

一第一二極體，其順向連接於該第一電容之第二連接端與該上層NMOS之閘極間；

一第二電容，其具有第一與第二連接端，該第二電容之第一連接端連接該輸入／輸出鉚墊；

一第二二極體，其順向連接於該第一及第二電容之第二連接端與該下層NMOS之閘極間；以及



六、申請專利範圍

一放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地。

7、如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係一NMOS，其汲極連接該第一與第二電容之第二連接端、閘極連接該VDD電壓源、源極則接地。

8、如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係一電阻。

9、如申請專利範圍第6項所述之靜電放電防護電路，其中該放電電路係並聯之一電阻與一NMOS，該電阻兩端分別連接該電容之第二連接端與接地，該NMOS之汲極與源極亦分別連接該電容之第二連接端與接地，且該NMOS之閘極連接該VDD電壓源。

10、如申請專利範圍第6項所述之靜電放電防護電路，更可根據同樣的該疊接NMOS之電路連接關係，增設至少一該疊接NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

11、一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉀墊；

至少一疊接NMOS，其包括：

一上層NMOS，其汲極連接該輸入／輸出鉀墊，閘極則連接一VDD電壓源；以及

一下層NMOS，其汲極連接該上層NMOS之源極，閘極則連接一預驅動電路，另該下層NMOS之源極接地；



六、申請專利範圍

一 觸發電路，其包括：

一 第一電容，其具有第一與第二連接端，該第一電容之第一連接端連接該輸入／輸出鉚墊；

一 第一二極體，其順向連接於該第一電容之第二連接端與該上層NMOS之閘極間；

一 第一放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地；

一 第二電容，其具有第一與第二連接端，該第二電容之第一連接端連接該輸入／輸出鉚墊；

一 第二二極體，其順向連接於該第二電容之第二連接端與該下層NMOS之閘極間；以及

一 第二放電電路，其一端連接該第一及第二電容之第二連接端，另一端則接地。

12、如申請專利範圍第11項所述之靜電放電防護電路，其中該第一／第二放電電路為一NMOS，其汲極連接該第一／第二電容之第二連接端、閘極連接該VDD電壓源、源極則接地。

13、如申請專利範圍第11項所述之靜電放電防護電路，其中該第一／第二放電電路係一電阻。

14、如申請專利範圍第11項所述之靜電放電防護電路，其中該第一／第二放電電路係並聯之一電阻與一NMOS，該電阻兩端分別連接該第一／第二電容之第二連接端與接地，該NMOS之汲極與源極亦分別連接該第一／第二電容之第二連接端與接地，且該NMOS之閘極連接該VDD電壓源。



六、申請專利範圍

15、如申請專利範圍第11項所述之靜電放電防護電路，更可根據同樣的該疊接NMOS之電路連接關係，增設至少一該疊接NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

16、一種靜電放電防護電路，其係應用在一高低壓混合介面電路上，該靜電放電防護電路包括：

一輸入／輸出鉀墊；

至少一疊接NMOS，其包括：

一上層NMOS，其汲極連接該輸入／輸出鉀墊，閘極則連接一VDD電壓源；以及

一下層NMOS，其汲極連接該上層NMOS之源極，閘極則連接一預驅動電路，另該下層NMOS之源極接地；

一觸發電路，其包括：

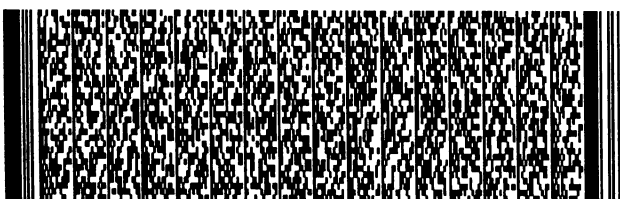
一第一電容，其具有第一與第二連接端，該第一電容之第一與第二連接端分別連接該輸入／輸出鉀墊與該上層NMOS之閘極；

一第一放電電路，其一端連接該第一電容之第二連接端及該上層NMOS之閘極，另一端則接地；

一第二電容，其具有第一與第二連接端，該第二電容之第一與第二連接端分別連接該輸入／輸出鉀墊與該下層NMOS之閘極；以及

一第二放電電路，其一端連接該第二電容之第二連接端及該下層NMOS之閘極，另一端則接地。

17、如申請專利範圍第16項所述之靜電放電防護電路，更



六、申請專利範圍

可根據同樣的該疊接NMOS之電路連接關係，增設至少一該疊接NMOS，以增強該靜電放電防護電路之靜電放電防護等級。

18、如申請專利範圍第16項所述之靜電放電防護電路，其中該第一放電電路包含：

一 第一PMOS，其源極連接該第一電容之第二連接端與該上層NMOS之閘極，閘極則與該VDD電壓源相連；以及

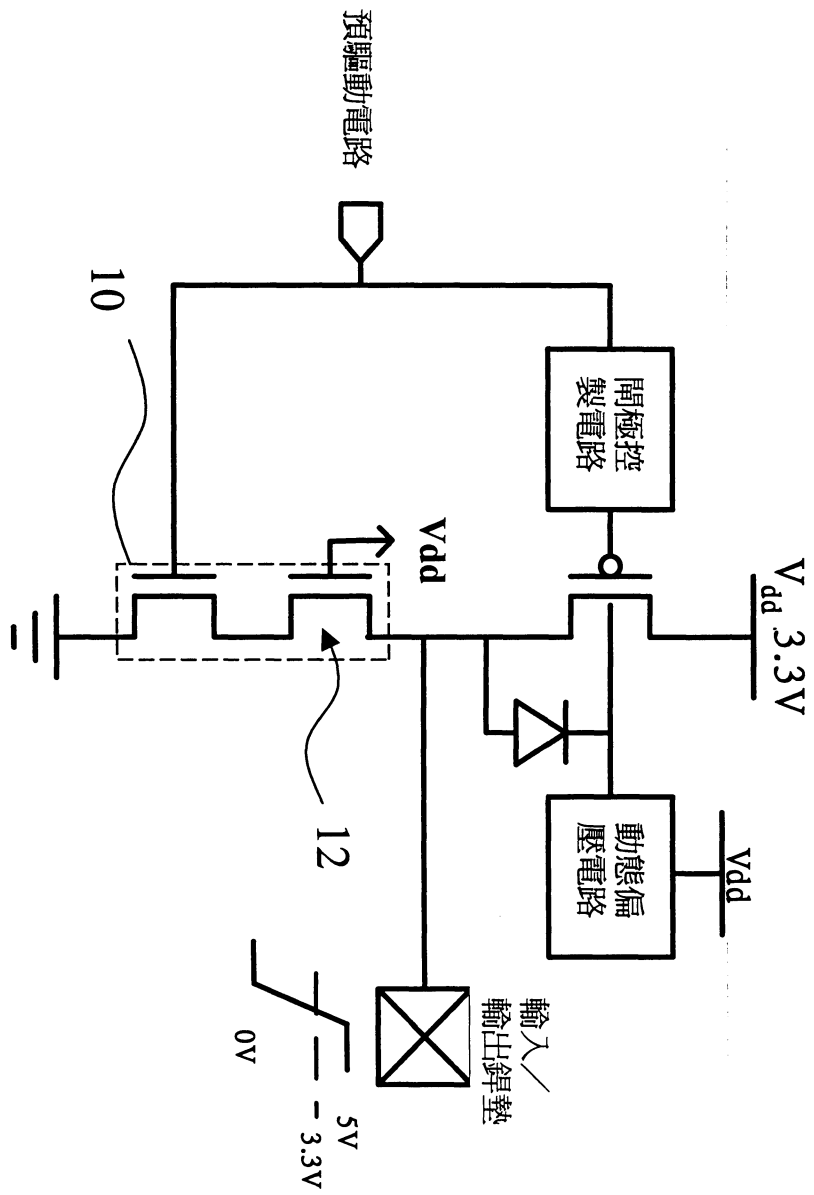
一 第一NMOS，其汲極連接該第一PMOS之汲極，閘極與源極則分別連接該VDD電壓源以及接地。

19、如申請專利範圍第16項所述之靜電放電防護電路，其中該第二放電電路包含：

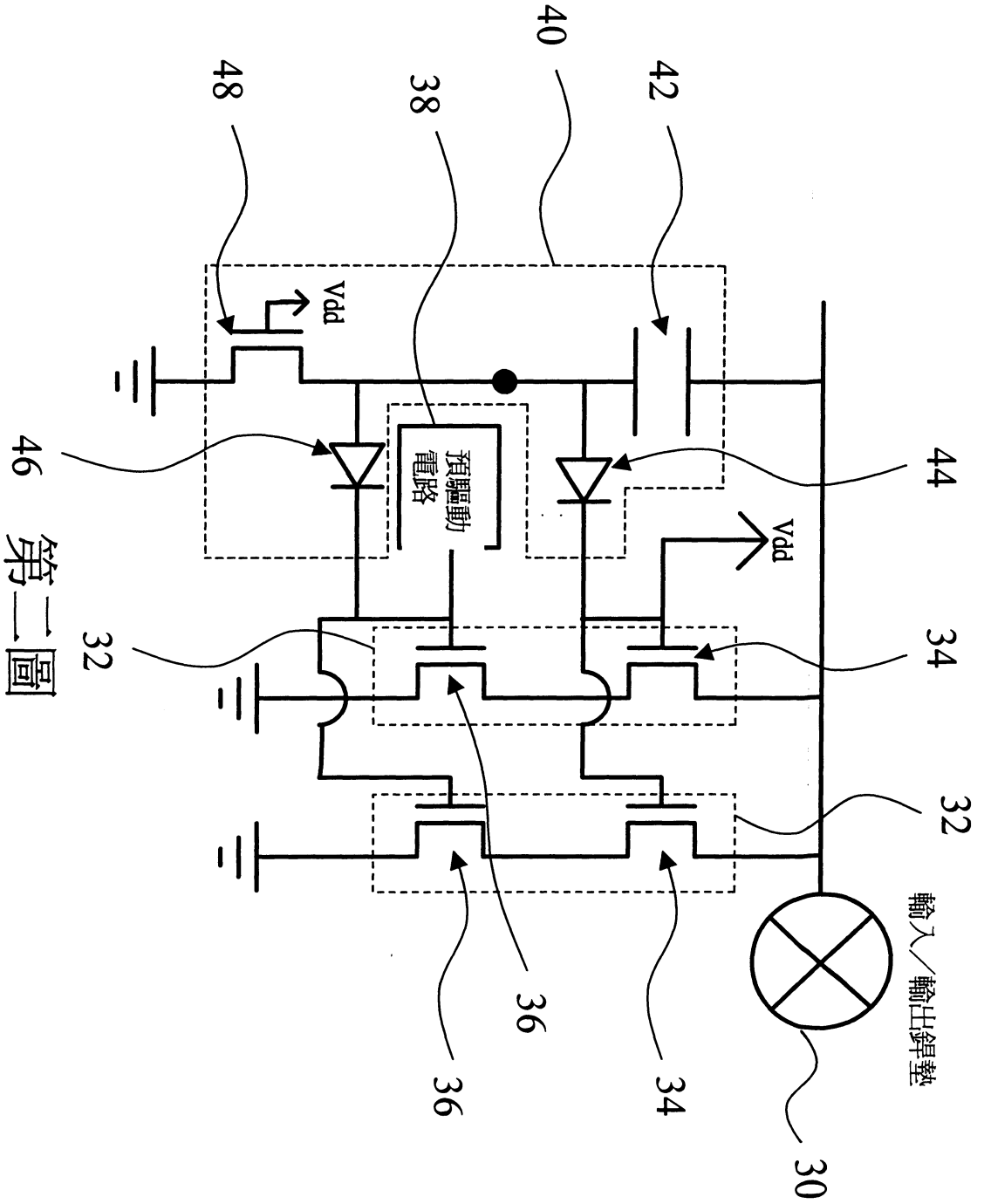
一 第二NMOS，其汲極連接該第二電容之第二連接端與該下層NMOS之閘極，閘極則與該VDD電壓源相連；以及

一 第二PMOS，其源極連接該第二NMOS之源極，閘極連接該該第二電容之第二連接端與該下層NMOS之閘極，汲極則接地。

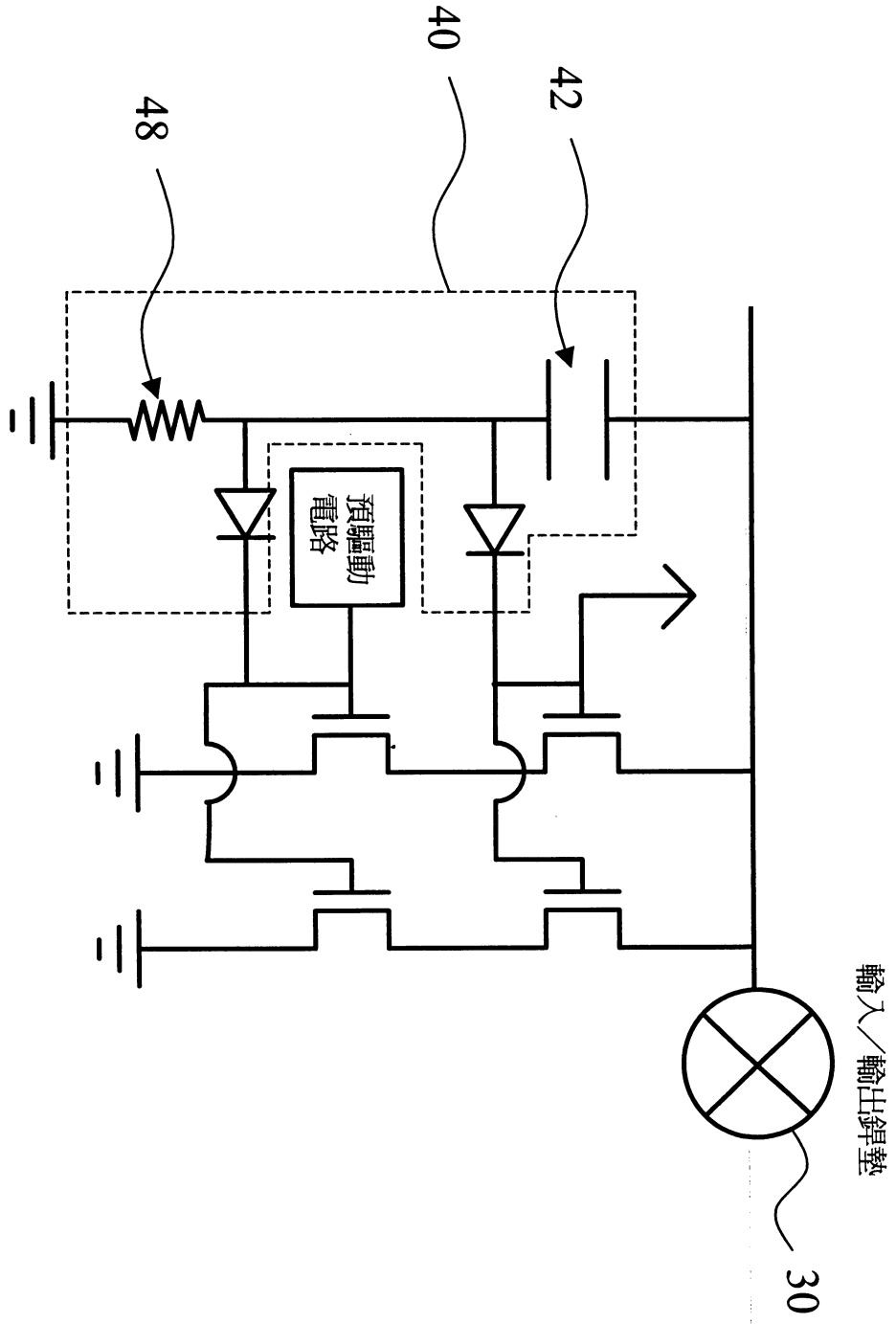




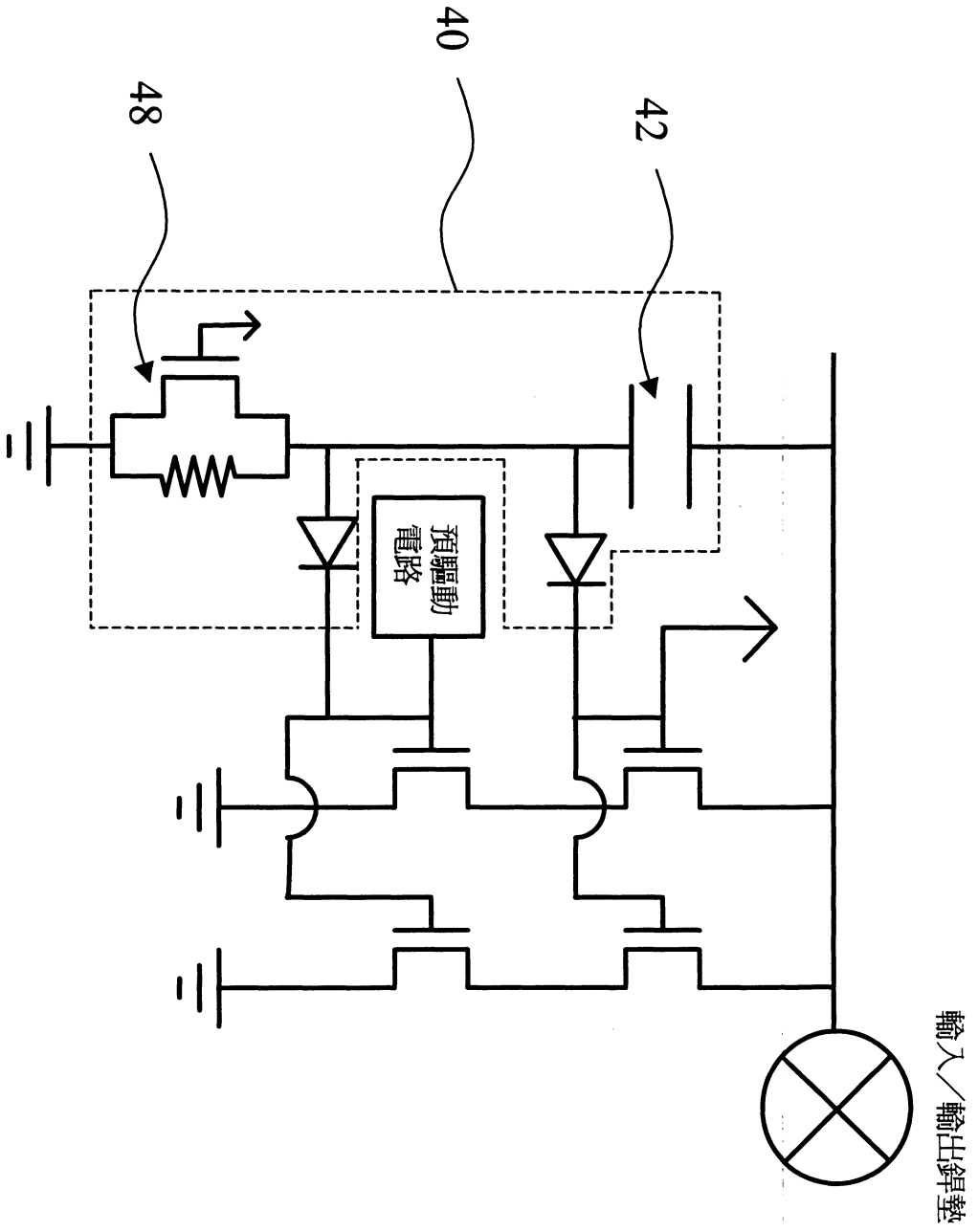
第一圖
(先前技術)



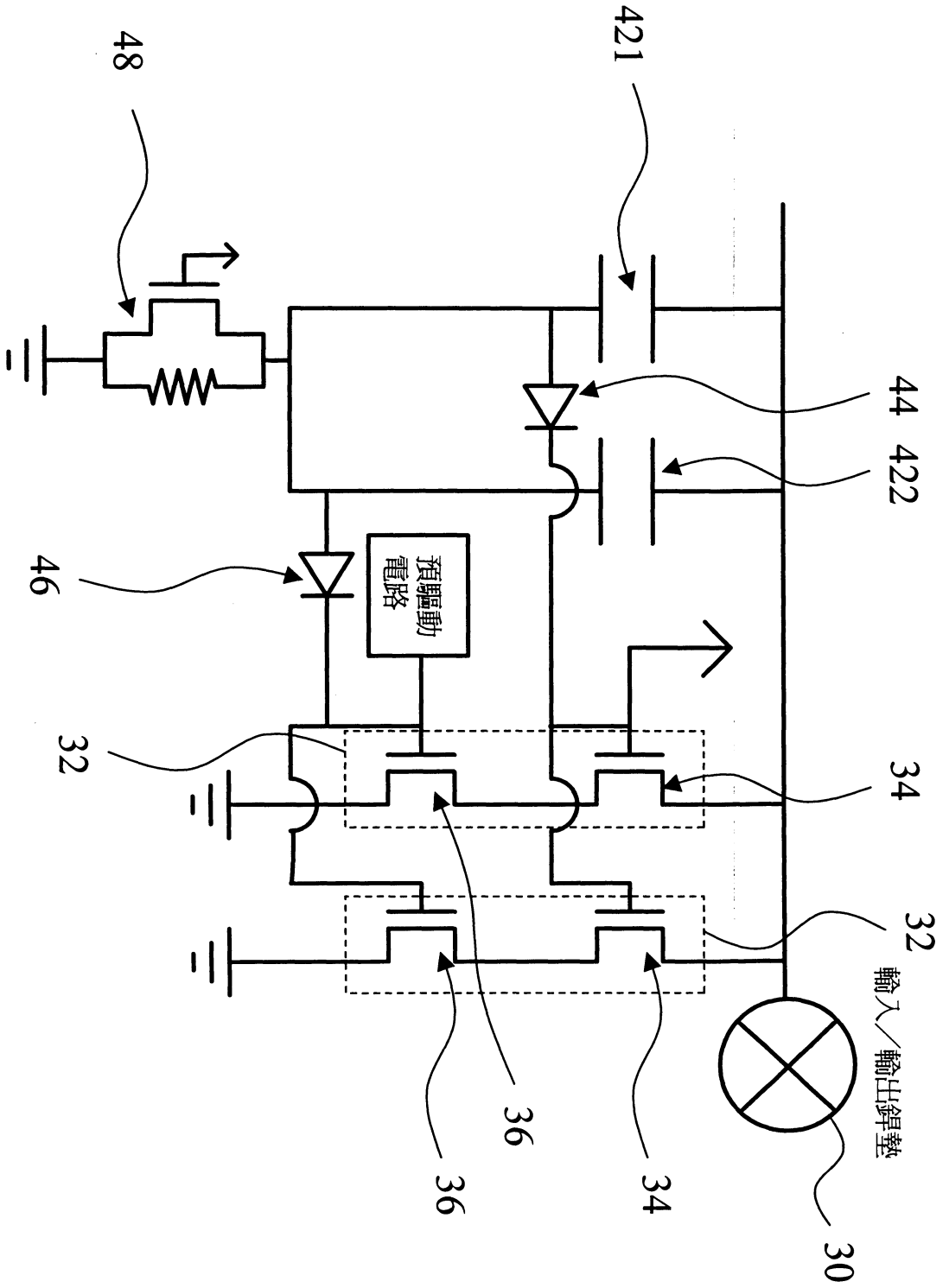
第二圖 46



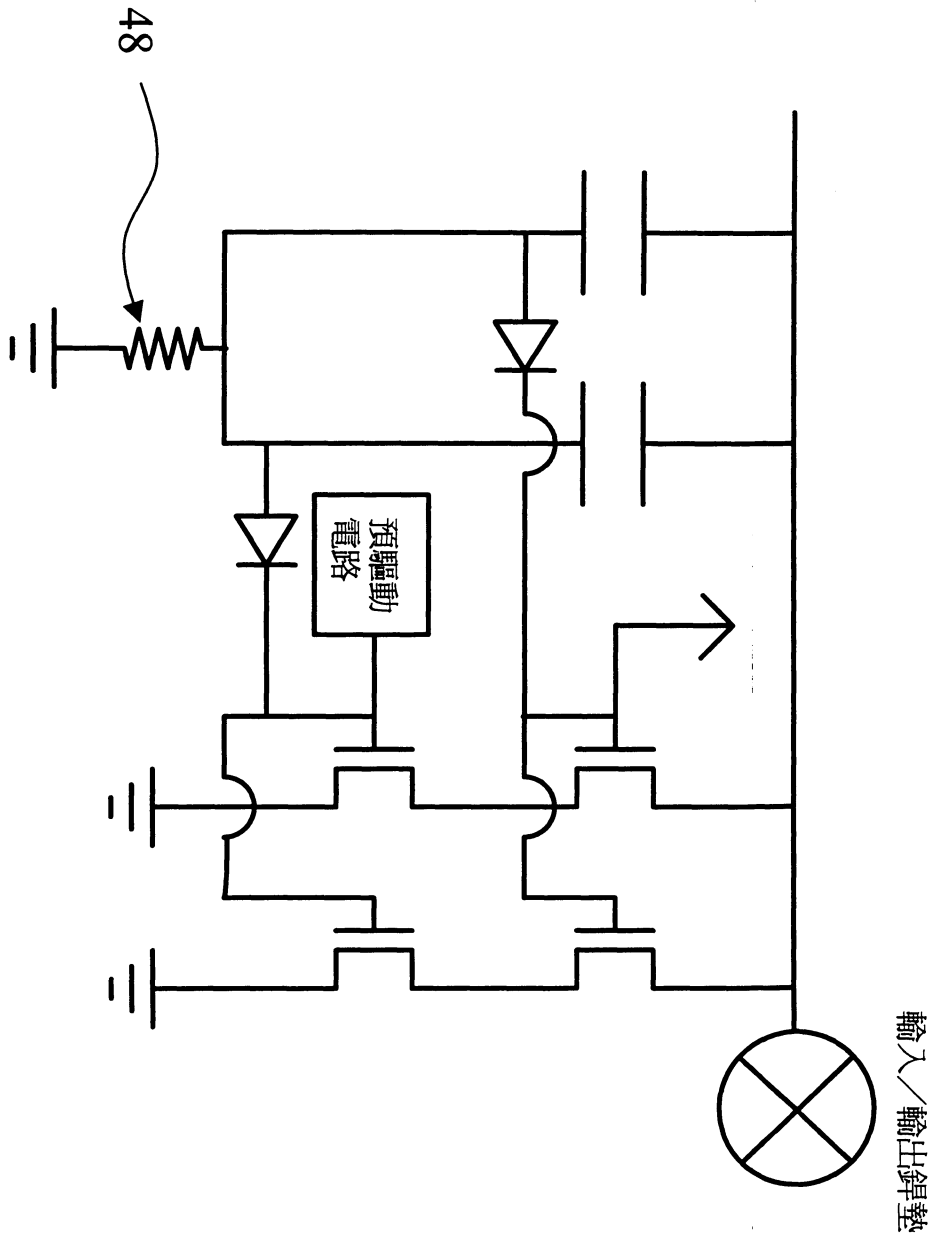
第三 (a) 圖



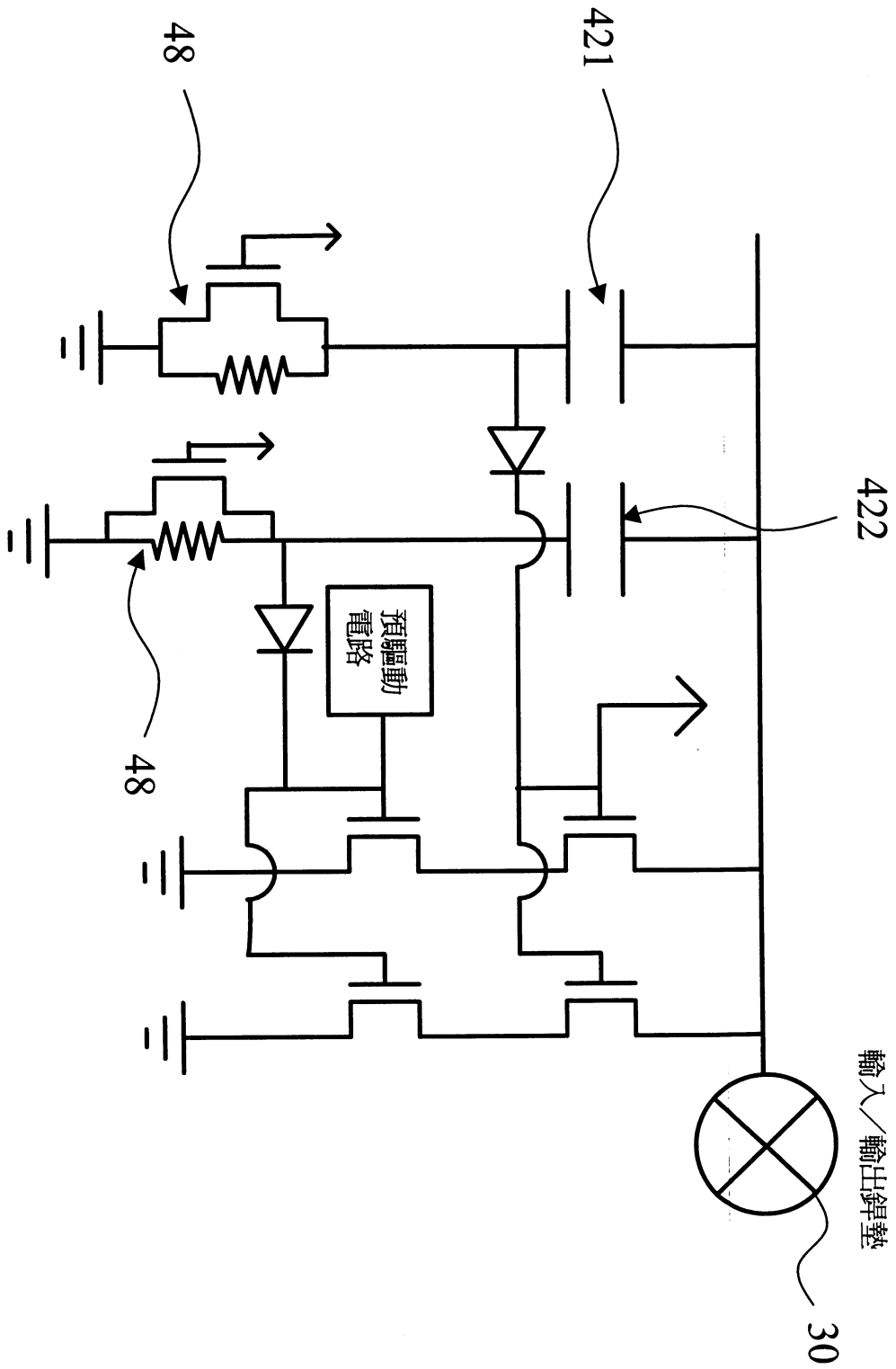
第三 (b) 圖



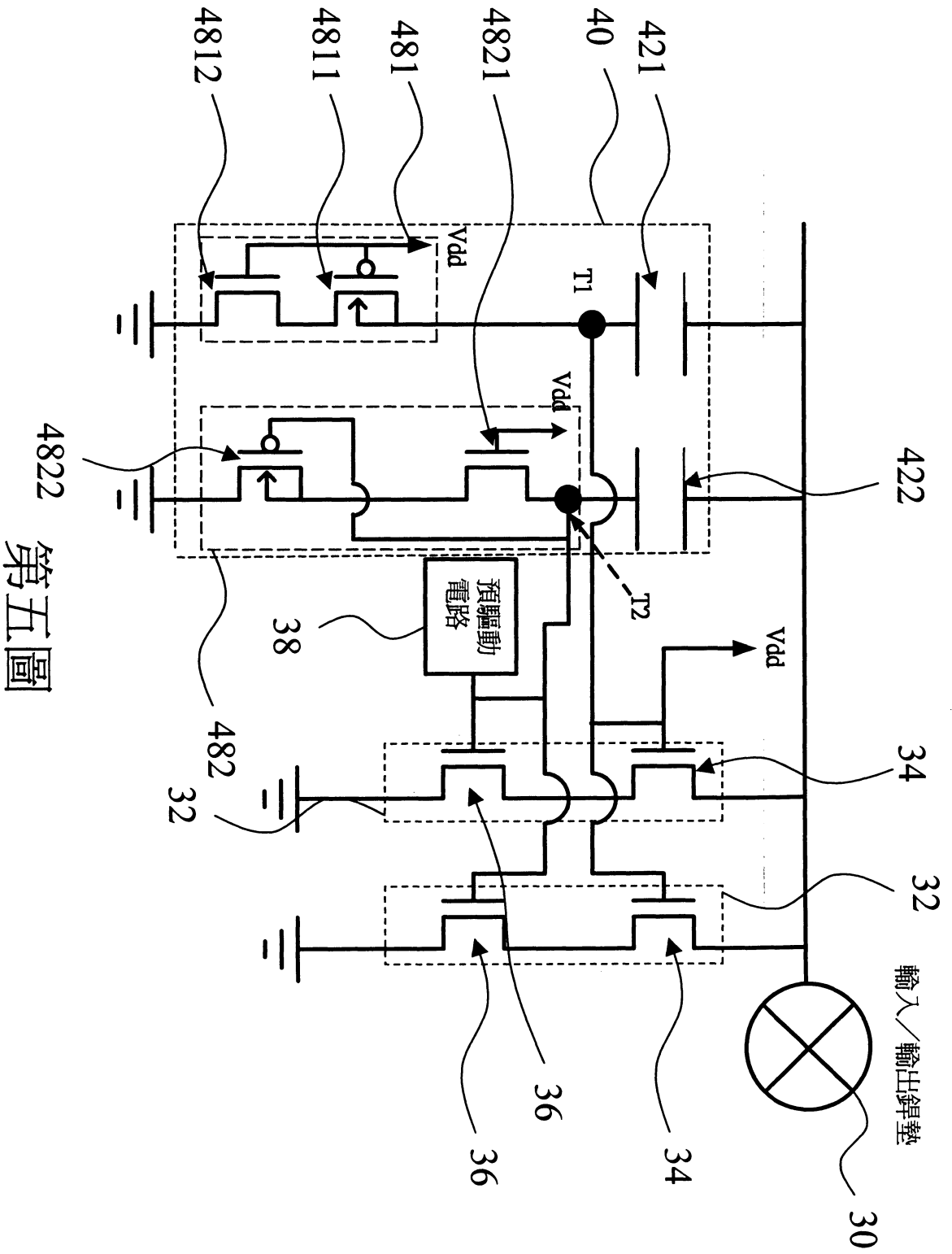
第四(a)圖



第四 (b) 圖



第四 (c) 圖



4822 第五圖