

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/01437

※申請日期：93-01-20

※IPC 分類：H01L 29/735

壹、發明名稱：(中文/英文)

橫向絕緣閘雙極性電晶體結構

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文) 中華民國

參、發明人：(共2人)

姓名：(中文/英文) ID :

1. 張隆國

2. 蔡銘裕

住居所地址：(中文/英文)

1. 新竹市建中一路二十七號十四樓之一

2. 臺中縣清水鎮鰲峰路 575 號之 13

國籍：(中文/英文)

1. 中華民國

2. 中華民國

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係提供一種橫向絕緣閘雙極性電晶體結構，係使該電晶體之陽極端與陰極端皆為 P^+/N^+ 平行對接節段，但卻為分離且對稱式之結構，若以電子/電洞路徑而言，則為電子/電洞路徑完全分離，如此可大幅提高元件之閂鎖電流，改善元件的安全操作區域。並可使該電晶體結合三維降低表面電場原理，使其陽極端/陰極端亦為 P^+/N^+ 平行對接節段，而其漂移區則分別是 N^- 、 P^- 的平行帶狀區塊，形成一橫向絕緣閘雙極性電晶體與一逆偏 PIN 飛輪二極體並聯的結構，若以電子/電洞路徑而言則為電子/電洞路徑部份分離，使元件除了在截止狀態時具有高耐壓特性外，在導通狀態時亦具有閂鎖現象的抗受能力。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

基板 1	P 型基極層 1 1
N 型緩衝區 1 2	場氧化層 1 3
漂移區 1 4	陽極端 1 5
陰極端 1 6	閘極 1 7

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明是有關於一種橫向絕緣閘雙極性電晶體結構，尤指一種可使電子／電洞之路徑達到完全分離以及部份分離，可大幅提高元件之門鎖電流，改善元件的安全操作區域，並可使元件除了在截止狀態時具有高耐壓特性外，在導通狀態時亦具有門鎖現象的抗受能力。

【先前技術】

傳統短路陽極橫向絕緣閘雙極性電晶體 (shorted-anode LIGBT)，如第 15、16、17 圖所示，在元件截止時，漂移區中的儲存載子由再結合機制衰減，其中電子流將經由 N 型緩衝層沿著 P^+/N^+ 接面注入 N^+ 陽極，此將引發陽極端 P^+/N 型緩衝層接面在元件截止後再度導通，使電洞再注入漂移區，拉長截止切換時間。

而在文獻「Johnny K. O. Sin, and Satyen Mukherjee, “Lateral Insulated-Gate Bipolar Transistor (LIGBT) with a Segmented Anode Structure”, IEEE Electron Device Letters vol. 12, pp.45-47, February 1991」、以及「Johnny K. O. Sin, and Satyen Mukherjee, “Analysis and Characterization of the Segmented Anode LIGBT”, IEEE Transactions on Electron Devices, vol. 40, pp.1300-1306, July 1993.」中，提出了節

段陽極橫向絕緣閘雙極性電晶體結構，由於 N^+ 陽極在深入紙面的 Z 軸方向，使元件截止切換時，部份電子流無需沿著 P^+/N^+ 接面注入 N^+ 陽極，降低了陽極端 P^+/N 的壓降，減少元件截止切換時少數載子的過額注入，故可降低截止切換時間。但隨著 SOI 晶圓技術的成熟，絕緣磊晶橫向絕緣閘雙極性電晶體(SOI LIGBT)已大幅提升了切換速度，但電洞流卻少了經由基座(substrate)到達陰極的路徑，全數的電洞流均須經由陰極端 N^+ 下方到達 P^+ 陰極，大幅的降低了元件的閃鎖抗受能力，因此，如何降低元件閃鎖效應的靈敏度，是 SOI LIGBT 應用上所面臨最重要的課題。本發明所提出的元件結構(一)，將電子流與電洞流路徑完全分離，可使絕緣磊晶橫向絕緣閘雙極性電晶體具有閃鎖免疫力的特質，並且兼容節段陽極結構的優點。

並在文獻「F. Udrea, A. Popescu, and W. Milne, “A Numerical Study of the RESURF Effect in Bulk and SOI power Devices”, Semiconductor Conference, CAS '97, Volume 1, pp.127-129, 1997.」、「F. Udrea, A. Popescu, and W. Milne, “The 3 RESURF Junction”, Semiconductor Conference, CAS '98, Volume 1, pp.141-144, 1998.」、「F. Udrea, A. Popescu, R. NG, and G. A. J. Amaratunga, “Minority Carrier Injection Across the 3D RESURF Junction”, ISPSD2000,

pp.201-204, 2000. 」、以及「F. Udrea, R. Ng, K. Sheng K. Ueno, M. Nishiura, and G. A. J. Amaratunga, “Lateral Unbalanced Super Junction(USJ)/3D-RESURF for High Breakdown Voltage on SOI”, proceeding of PSD&ICs, pp.395-398, 2001. 」、中，提出了三維降低表面電場(3D RESURF)的技術，此技術對側向功率元件的漂移區提供了 N^-/P^- 截面，大幅提高絕緣磊晶(SOI)元件的截止崩潰電壓，但此技術並無法改善絕緣磊晶橫向絕緣閘雙極性電晶體(SOI LIGBT)的閃鎖效應。本案所提出的元件結構(二)，整合了絕緣閘雙極性電晶體與飛輪二極體，並且將電子流與電洞流路徑部份分離，使元件不但在截止時具有高耐壓的特性，導通時也能具有抗閃鎖效應的能力。

【發明內容】

因此，本發明之主要目的係在於，可使電子/電洞路徑完全分離。

本發明之另一目的係在於，可達到大幅提高元件之閃鎖電流，改善元件的安全操作區域(Safe-Operating-Area)。

本發明之再一目的在於，可在不浪費額外晶片面積的原則下，利用三維降低表面電場(3D RESURF)原理整合橫向絕緣閘雙極性電晶體與飛輪二極體。

本發明之又一目的在於，可使元件除了在截止狀態

時具有高耐壓特性外，在導通狀態時亦具有閂鎖現象的抗受能力。

為達上述之目的，本發明係一種橫向絕緣閂雙極性電晶體結構，係可使該陽極端與陰極端皆為 P^+/N^+ 平行對接節段 (Segmented-Anode-Segmented-Cathode, SASC)，其元件的陽極端設計類似節段陽極橫向絕緣閂雙極性電晶體 (Segmented-Anode LIGBT, SA LIGBT)，但卻為分離且對稱式 (Separated-and-Asymmetric) 的結構若以電子/電洞路徑而言，該結構係為電子/電洞路徑完全分離，如此，可大幅提高元件之閂鎖電流，改善元件的安全操作區域 (Safe-Operating-Area)，亦可改善傳統絕緣閂雙極性電晶體在順向偏壓下 $I-V$ 曲線之負微分電阻 (Negative-Differential-Resistance, NDR) 的特性。

此外本發明亦可結合三維降低表面電場 (3D RESURF) 原理，其陽極端與陰極端亦為 P^+/N^+ 平行對接節段 (SASC)，不過漂移區則分別是 N^- 、 P^- 的平行帶狀區塊，形成一橫向絕緣閂雙極性電晶體與一逆偏 PIN 飛輪二極體並聯的結構，若以電子/電洞路徑而言，則為電子/電洞路徑部份分離，如此，可在不浪費額外晶片面積的原則下，利用三維降低表面電場原理整合橫向絕緣閂雙極性電晶體與飛輪二極體，使元件除了在截止狀態時具有高耐壓特性外，在導通狀態時亦具有閂鎖現象的抗受能力。

【實施方式】

請參閱『第 1 圖』所示，係本發明第一實施例之橫向絕緣閘雙極性電晶體結構示意圖。如圖所示：本發明係一種橫向絕緣閘雙極性電晶體結構，係包括一基板 1，該基板 1 係可為一絕緣埋入層 (Buried Oxide)，或為一 P 型基板 (P Substrate)，且該基板 1 上係形成有一 P 型基極層 11 (P Base)、一 N 型緩衝區 12 (N Buffer)、及一位於該 P 型基極層 11 及 N 型緩衝區 12 間，且具有一場氧化層 13 之漂移區 14，該漂移區 14 係可為一 N 型漂移區 (N⁻ Drift Region)，而該場氧化層 13 係由二氧化矽 (SiO₂) 所構成，該 N 型緩衝區 12 上係具有 P、N 型陽極端所形成之陽極端 15，且該 P 型基極層 11 上係具有 P、N 型陰極端所形成之陰極端 16，該陰極端係具有一閘極 17，而該陽極端 15 與陰極端 16 皆為 P^+/N^+ 平行對接節段 (Segmented-Anode-Segmented-Cathode, SASC)，如第 1 圖所示，元件的陽極端 15 設計類似“節段陽極橫向絕緣閘雙極性電晶體 (Segmented-Anode LIGBT, SALIGBT)”。

請參閱『第 2~7 圖』所示，係本發明第一實施例之電子流、電洞流路徑示意圖、本發明第一實施例之 $P\text{-base}/N\text{-drift}$ 接面電洞流/電子流向量圖、本發明第一實施例之電子流所受的場力示意圖、本發明第一實施例與傳統 SOI LIGBT 的順向 $I\text{-}V$ 曲線比較圖、本發明第一實施

例與傳統 SA SOI LIGBT 的順向 $I-V$ 曲線比較圖、本發明第一實施例與傳統 JI LIGBT 的順向 $I-V$ 曲線比較圖。如圖所示：傳統絕緣磊晶橫向絕緣閘雙極性電晶體(SOI LIGBT)因為電洞流少了經由基座到達陰極的路徑，全數的電洞流均須經由陰極端 N^+ 下方到達 P^+ 陰極，故門鎖效應將比接面絕緣(junction isolation) 元件嚴重。

故本發明以改善絕緣磊晶橫向絕緣閘雙極性電晶體的門鎖效應為目標，如第 2 圖所示，圖中為一 N 通道橫向絕緣閘雙極性電晶體，元件結構的特色是陽極與陰極皆為 P^+/N^+ 平行對接節段，如此設計使電洞流與電子流的路徑完全分離，電洞流無須流經 N^+ 陰極下方，而直接到達 P^+ 陰極，可大幅增強元件之門鎖免疫能力，改善元件安全的操作區域，如第 3 圖所示為 $P\text{-base}/N\text{-drift}$ 接面電洞流/電子流向量圖；該元件的陽極端設計類似節段陽極橫向絕緣閘雙極性電晶體，但卻為分離且對稱式的結構，此設計可抵銷電子流在 y 軸方向所受的電場，如第 4 圖所示，有助於電子流路徑與 x 軸平行，使大部份電子流可沿著 P^+ 陽極邊緣到達 N^+ 陽極，促使陽極端 $P^+/N\text{-Buffer}$ 接面為漸近式導通，可大幅改善傳統絕緣閘雙極性電晶體在順向偏壓下 $I-V$ 曲線之負微分電阻的特性。如第 5、6 圖所示為本發明與傳統 LIGBT、SA LIGBT 的順向 $I-V$ 曲線比較，圖中可明顯的看出有別於傳統 LIGBT、SA LIGBT 受制於 NDR 現象與門鎖效應，而本發明即使在順向偏壓提

升至 $30V$ 時，仍可提供具有飽和特性的 $I-V$ 曲線，此時所量測的電流密度為 $150A/cm^2$ 。針對不同長度的漂移區 ($30-70\mu m$)，在直流電源 $200V$ 、負載為 $1k\Omega$ 的情況下，元件截止時間為 $70-120ns$ 。此結構亦可應用於接面絕緣基座上，如第 7 圖所示為本發明元件結構(一)與傳統接面絕緣 SA LIGBT 的順向 $I-V$ 曲線比較。

請參閱『第 8~12 圖』所示，係本發明第二實施例橫向絕緣閘雙極性電晶體之結構示意圖、本發明第二實施例與其電子流、電洞流路徑示意圖、本發明第二實施例截止狀態下的表面電場分佈示意圖、本發明第二實施例之等效電路示意圖、本發明第二實施例與傳統 SOI LIGBT 的順向 $I-V$ 曲線比較示意圖。如圖所示：本發明係一種橫向絕緣閘雙極性電晶體結構，包括一基板 2，該基板係可為一絕緣埋入層 (Buried Oxide)，或為一 P 型基板 (P Substrate)，且該基板 2 上係形成有一 P 型基極層 21 (P Base)、一 N 型緩衝區 22 (N Buffer)、及一位於該 P 型基極層 21 及 N 型緩衝區 22 間，且具有一場氧化層 23 之漂移區 24、25，該場氧化層 23 係由二氧化矽 (SiO_2) 所構成，且該 N 型緩衝區 22 上係具有 P、N 型陽極端所形成之陽極端 26，且該 P 型基極層 21 上係具有 P、N 型陰極端所形成之陰極端 27，該陰極端 27 係具有一閘極 28，而該陽極端 26 與陰極端 27 係為 P^+/N^+ 平行對接節段

(Segmented-Anode-Segmented-Cathode, SASC)，且該漂移區 24、25 則分別是 N^- 型、 P^- 型的平行帶狀區塊 (N^- Drift Region、 P^- Drift Region)，形成一橫向絕緣閘雙極性電晶體與一逆偏 PIN 飛輪二極體並聯的結構，如第 8 圖所示，可使電子/電洞路徑部份分離，如第 9 圖所示。該元件的結構類似第一實施例，其陰極/陽極的配置亦為 SASC，不過漂移區則分別是 N^- 、 P^- 的平行帶狀區塊，形成一 LIGBT 與一逆偏 PIN 飛輪二極體並聯的結構。LIGBT 的漂移區與 PIN 二極體的 i -layer 的接面可形成 3D RESURF 的第三維接面，在絕緣層 $2\mu m$ 、磊晶層 $0.5\mu m$ 的情況下，本發明之第二實施例可將崩潰電壓提升至 $500V$ ，如第 10 圖所示為其表面電場分佈。在 PIN 二極體部分， P -Base 延伸一旁路通道，使元件導通後部份的電洞流可經由此旁路通道直接到達 P^+ 陰極，如此可降低閃鎖效應的靈敏度，如第 11 圖所示為本發明之第二實施例的等效電路。因此，本發明之第二實施例除了在截止狀態時具有高耐壓特性外，在導通狀態時其 I - V 曲線也具有飽和特性，在順向偏壓提升至 $40V$ 時，所量測的飽和電流密度為 $120A/cm^2$ ，如第 12 圖所示。

請參閱『第 13、14 圖』所示，係本發明第一實施例之橫向絕緣閘雙極性電晶體結構光罩繪製示意圖、本發明第二實施例之橫向絕緣閘雙極性電晶體結構光罩繪製示意圖。如圖所示：本發明屬於電力電子領域，可

能應用之產業包括電源供應器製造業、電腦、通信及消費性電子產業等，可能應用之產品包括桌上型電腦、筆記型電腦、電腦顯示器、工業電腦、通信機房電源、家電或辦公用電器、功率因數電源模組、切換式電源供應器等。而本發明所提出的兩個 LIGBT 結構，都可藉由標準 BCD 製程完成製作。在絕緣磊晶基座上，我們選擇磊晶層(SOI)厚度為 $0.5\ \mu m$ ，絕緣埋入層(BOX)厚度為 $2\ \mu m$ 。附件一是製程的簡要步驟，其光罩繪製如第 13、14 圖所示。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

第 1 圖，係本發明第一實施例之橫向絕緣閘雙極性電晶體結構示意圖。

第 2 圖，係本發明第一實施例之電子流、電洞流路徑示意圖。

第 3 圖，係本發明第一實施例之 $P\text{-base}/N\text{-drift}$ 接面電洞流/電子流向量圖。

第 4 圖，係本發明第一實施例之電子流所受的場力示意圖。

第 5 圖，係本發明第一實施例與傳統 SOI LIGBT 的順向 $I\text{-}V$ 曲線比較圖。

第 6 圖，係本發明第一實施例與傳統 SA SOI LIGBT 的順向 $I\text{-}V$ 曲線比較圖。

第 7 圖，係本發明第一實施例與傳統 JI LIGBT 的順向 $I\text{-}V$ 曲線比較圖。

第 8 圖，係本發明第二實施例橫向絕緣閘雙極性電晶體之結構示意圖。

第 9 圖，係本發明第二實施例與其電子流、電洞流路徑示意圖。

第 10 圖，係本發明第二實施例截止狀態下的表面電場分佈示意圖。

第 11 圖，係本發明第二實施例之等效電路示意圖。

第 12 圖，係本發明第二實施例與傳統 SOI LIGBT 的順向 $I\text{-}V$ 曲線比較示意圖。

第 1 3 圖，係本發明第一實施例之橫向絕緣閘雙極性電
晶體結構光罩繪製示意圖。

第 1 4 圖，係本發明第二實施例之橫向絕緣閘雙極性電
晶體結構光罩繪製示意圖。

第 1 5 圖，傳統短路陽極橫向絕緣閘雙極性電晶體示意
圖。

第 1 6 圖，傳統橫向絕緣閘雙極性電晶體之示意圖。

第 1 7 圖，係第 1 6 圖之絕緣閘雙極性電晶體 $I-V$ 曲線之
負微分電阻(NDR)特性圖。

附件一： 製程的簡要步驟。

【元件標號對照】

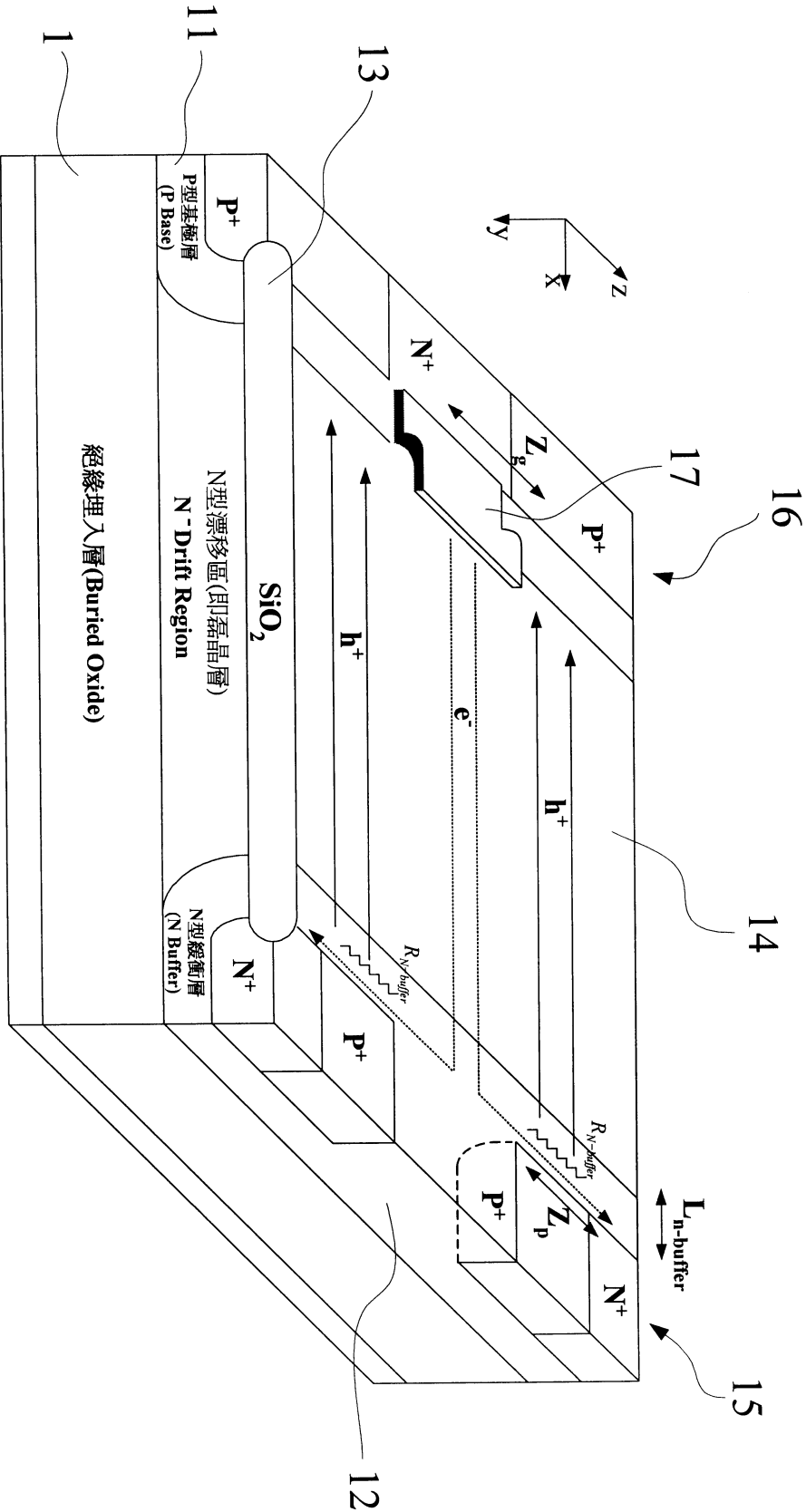
基板 1	P 型基極層 1 1
N 型緩衝區 1 2	場氧化層 1 3
漂移區 1 4	陽極端 1 5
陰極端 1 6	閘極 1 7
基板 2	P 型基極層 2 1
N 型緩衝區 2 2	場氧化層 2 3
漂移區 2 4、2 5	陽極端 2 6
陰極端 2 7	閘極 2 8

拾、申請專利範圍：

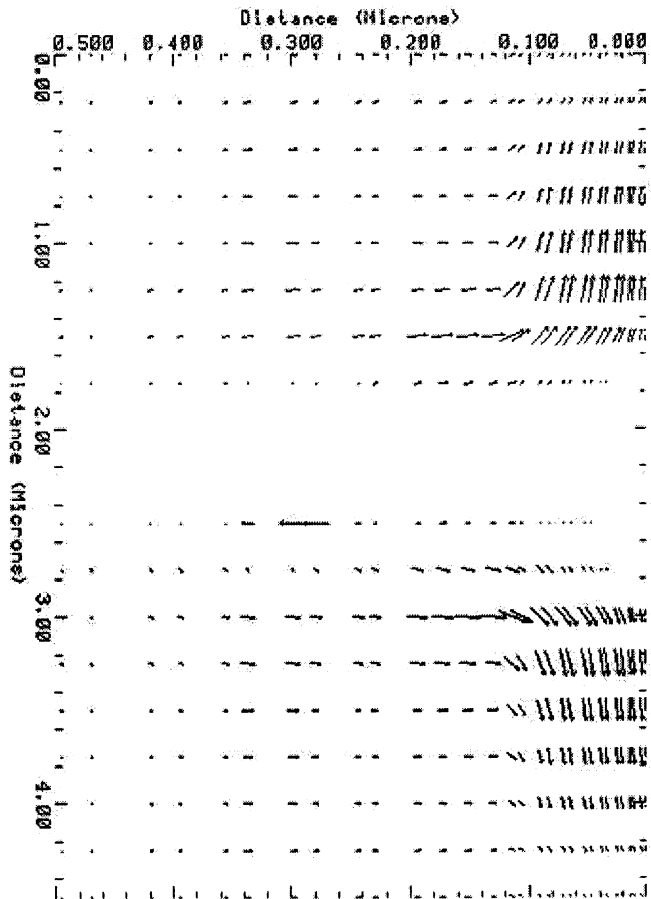
1. 一種橫向絕緣閘雙極性電晶體結構，包括一基板，該基板上係形成有一 P 型基極層 (P Base)、一 N 型緩衝區 (N Buffer) 及一位於該 P 型基極層及 N 型緩衝區間，且具有一場氧化層之漂移區，該 N 型緩衝區上係具有 P、N 型陽極端所形成之陽極端，且該 P 型基極層上係具有 P、N 型陰極端所形成之陰極端，該陰極端係具有一閘極，而該陽極端與陰極端皆為 P^+/N^+ 平行對接節段 (Segmented-Anode-Segmented-Cathode, SASC)，且該陽極端係為分離且對稱式 (Separated-and-Asymmetric) 之結構，可使電子/電洞路徑完全分離。
2. 如申請專利範圍第 1 項所述之橫向絕緣閘雙極性電晶體結構，其中，該基板係可為一絕緣埋入層 (Buried Oxide)。
3. 如申請專利範圍第 1 項所述之橫向絕緣閘雙極性電晶體結構，其中，該基板係可為一 P 型基板 (P Substrate)。
4. 如申請專利範圍第 1 項所述之橫向絕緣閘雙極性電晶體結構，其中，該漂移區係可為一 N 型漂移區 (N Drift Region)。
5. 如申請專利範圍第 1 項所述之橫向絕緣閘雙極性電晶體結構，其中，該場氧化層係由二氧化矽 (SiO_2) 所構成。
6. 一種橫向絕緣閘雙極性電晶體結構，包括一基板，該基板上係形成有一 P 型基極層 (P Base)、一 N 型緩衝區 (N Buffer)、及一位於該 P 型基極層及 N 型緩衝區間，且具有一場氧化層之漂移區，該 N 型緩衝區上係具有 P、N 型陽極端所形成之陽極端，且該 P 型基極層上係具有 P、N 型陰極端所形成之陰極端，該陰極端係具有一閘極，而該陽極端與陰極端係為 P^+/N^+ 平行

對接節段(Segmented-Anode-Segmented-Cathode, SASC)，且該漂移區則分別是 N^- 型、 P^- 型的平行帶狀區塊 (N^- Drift Region、 P^- Drift Region)，形成一橫向絕緣閘雙極性電晶體與一逆偏 PIN 飛輪二極體並聯的結構，可使電子/電洞路徑部份分離。

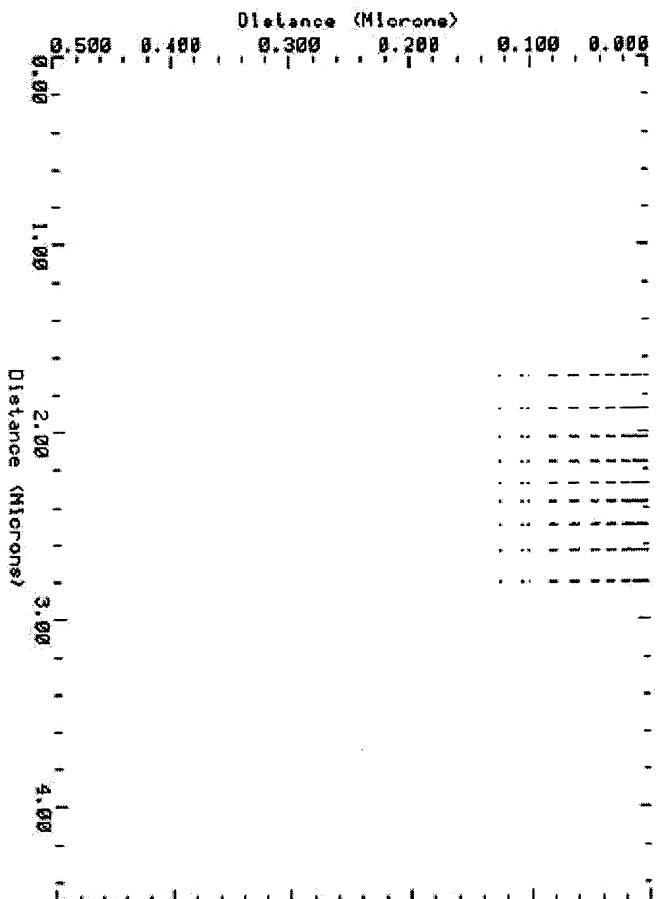
7. 如申請專利範圍第 6 項所述之橫向絕緣閘雙極性電晶體結構，其中，該基板係可為一絕緣埋入層 (Buried Oxide)。
8. 如申請專利範圍第 6 項所述之橫向絕緣閘雙極性電晶體結構，其中，該基板係可為一 P 型基板 (P Substrate)。
9. 如申請專利範圍第 6 項所述之橫向絕緣閘雙極性電晶體結構，其中，該場氧化層係由二氧化矽(SiO_2)所構成。



第2圖

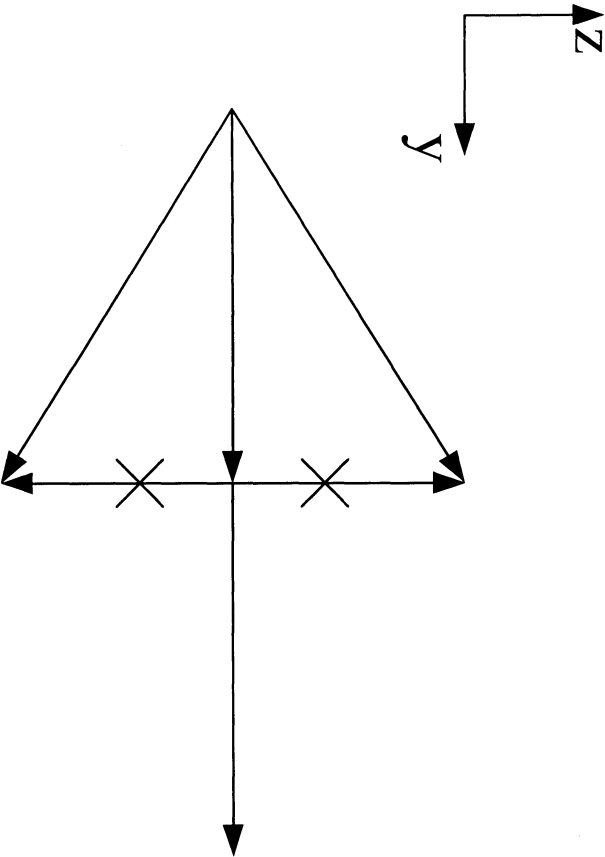


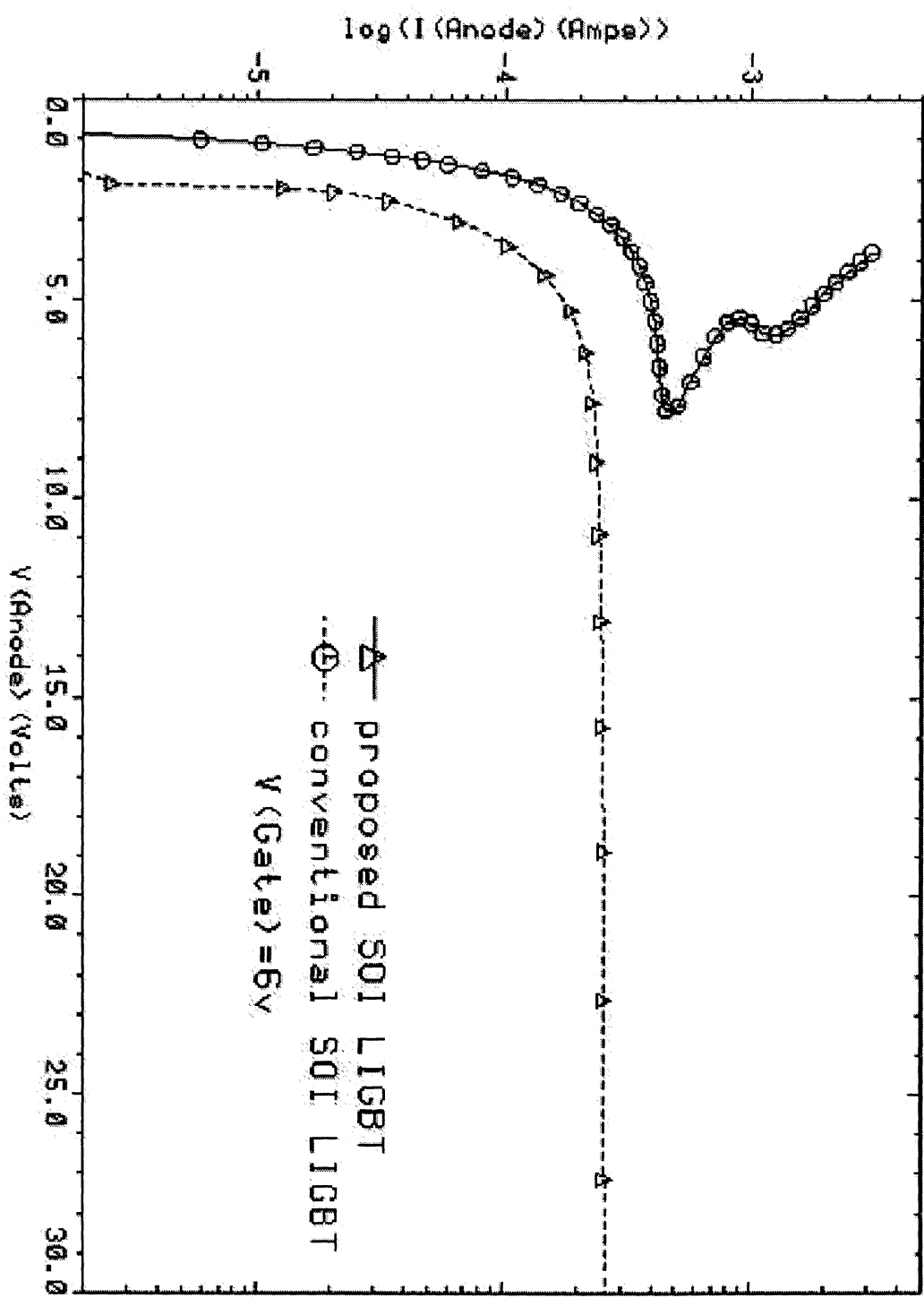
電洞流向圖



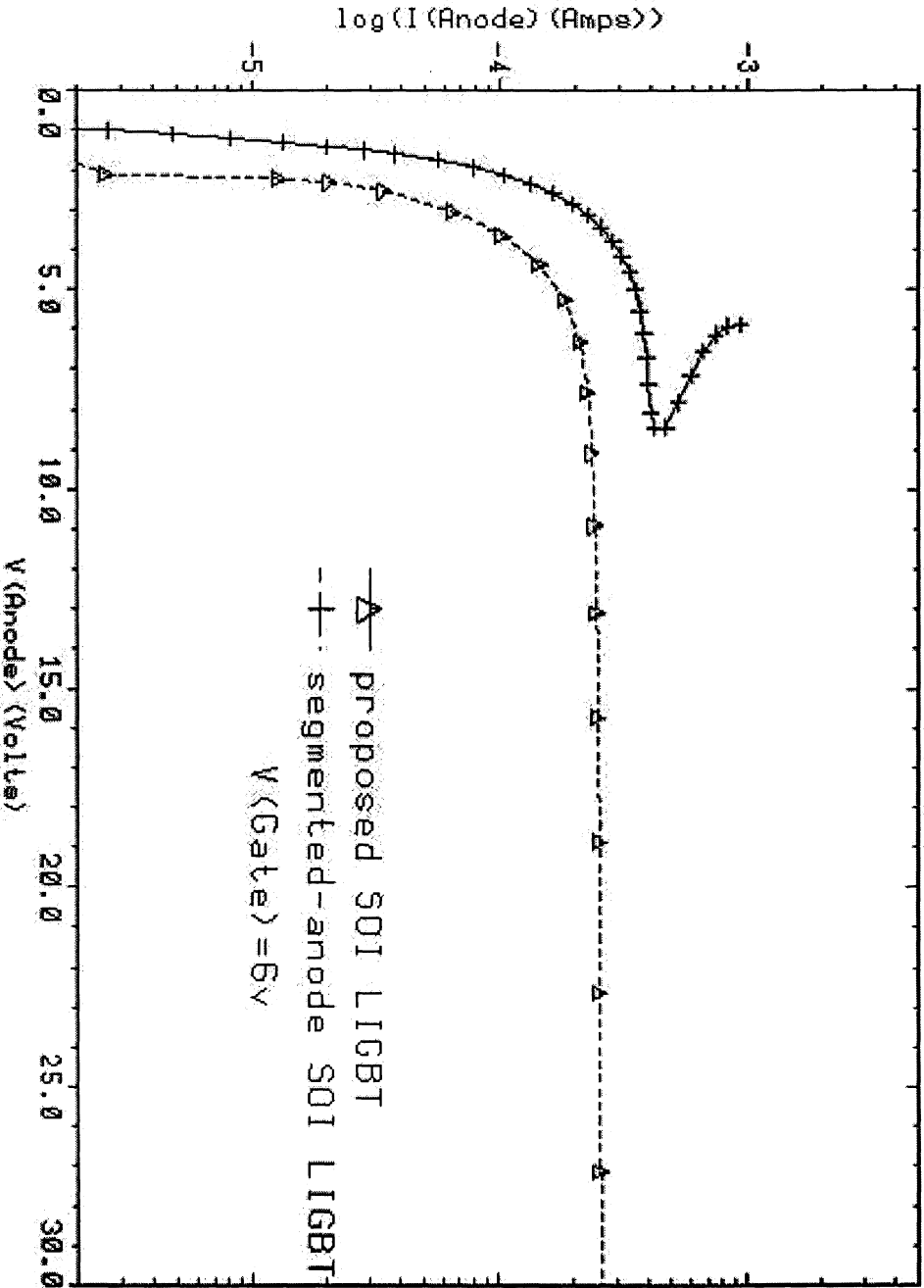
電子流向圖

第4圖

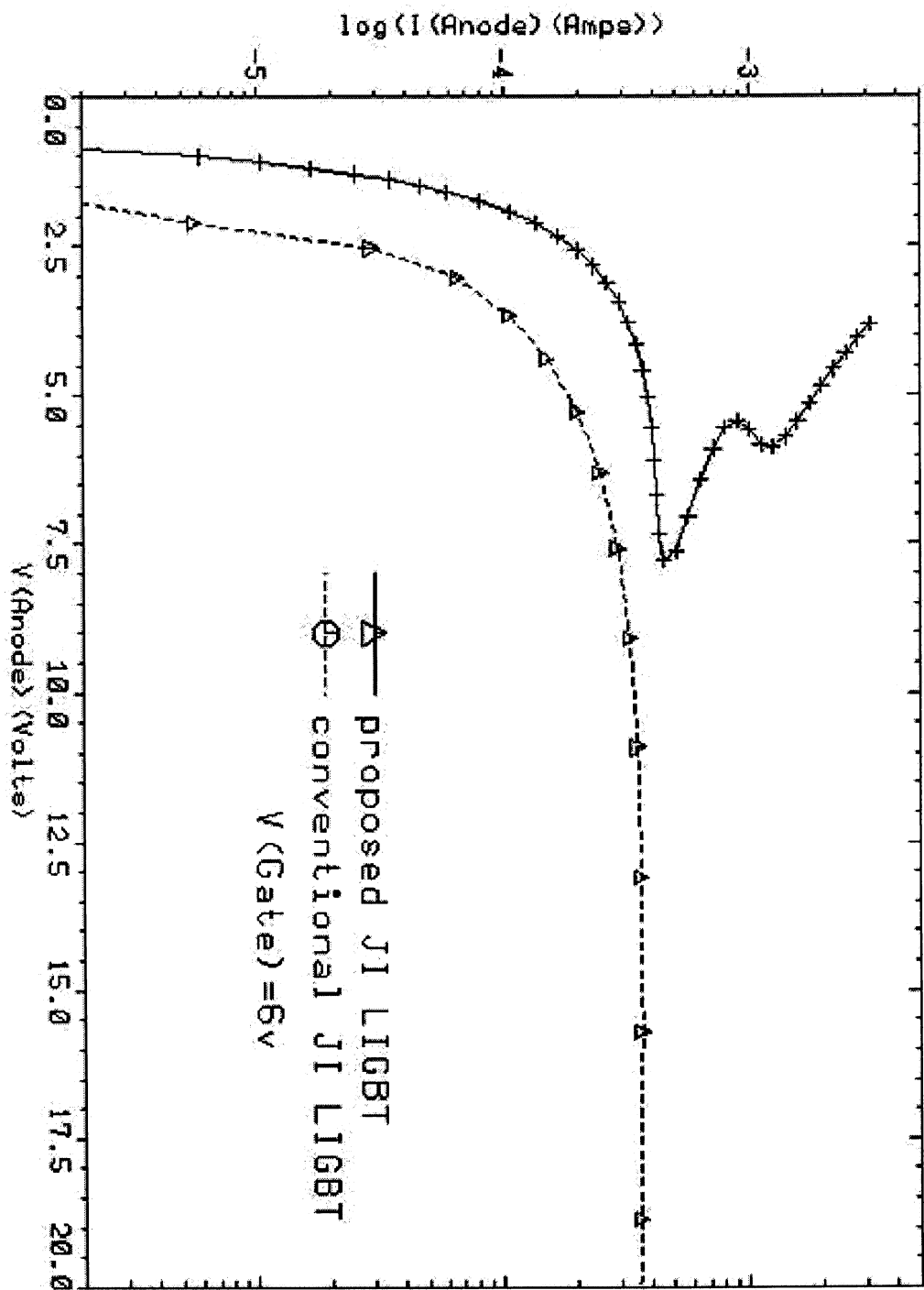




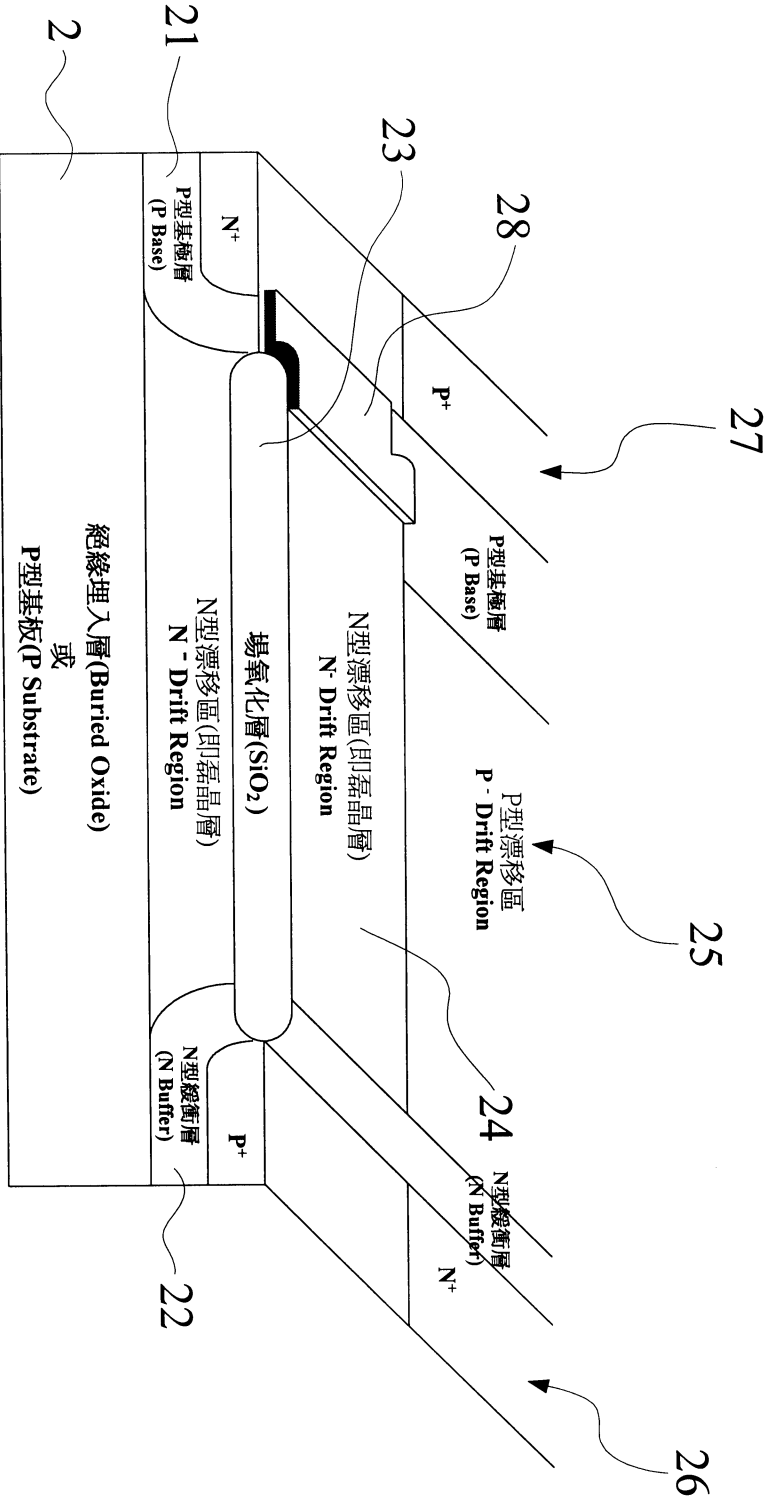
第5圖



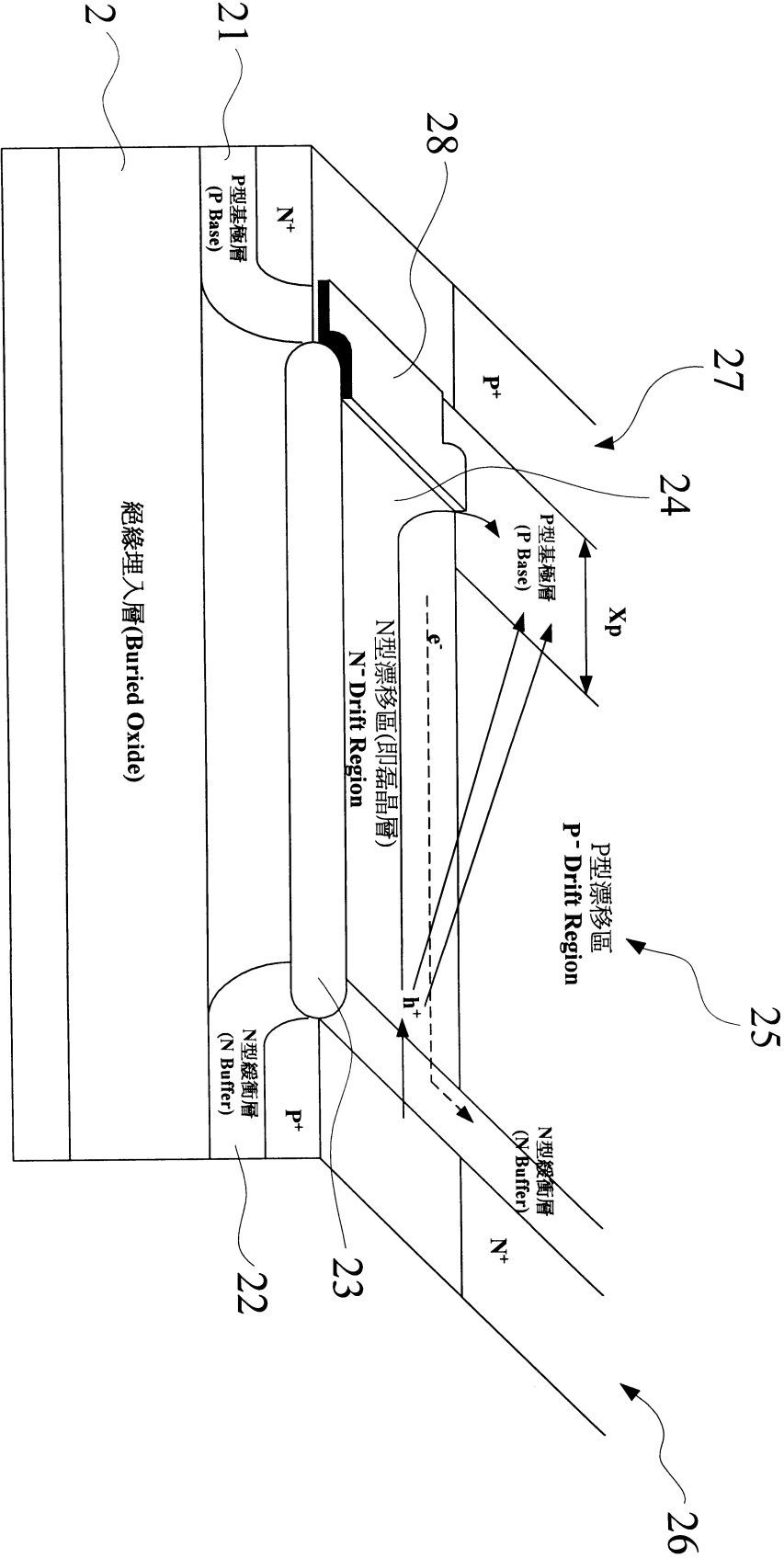
第6圖



第7圖

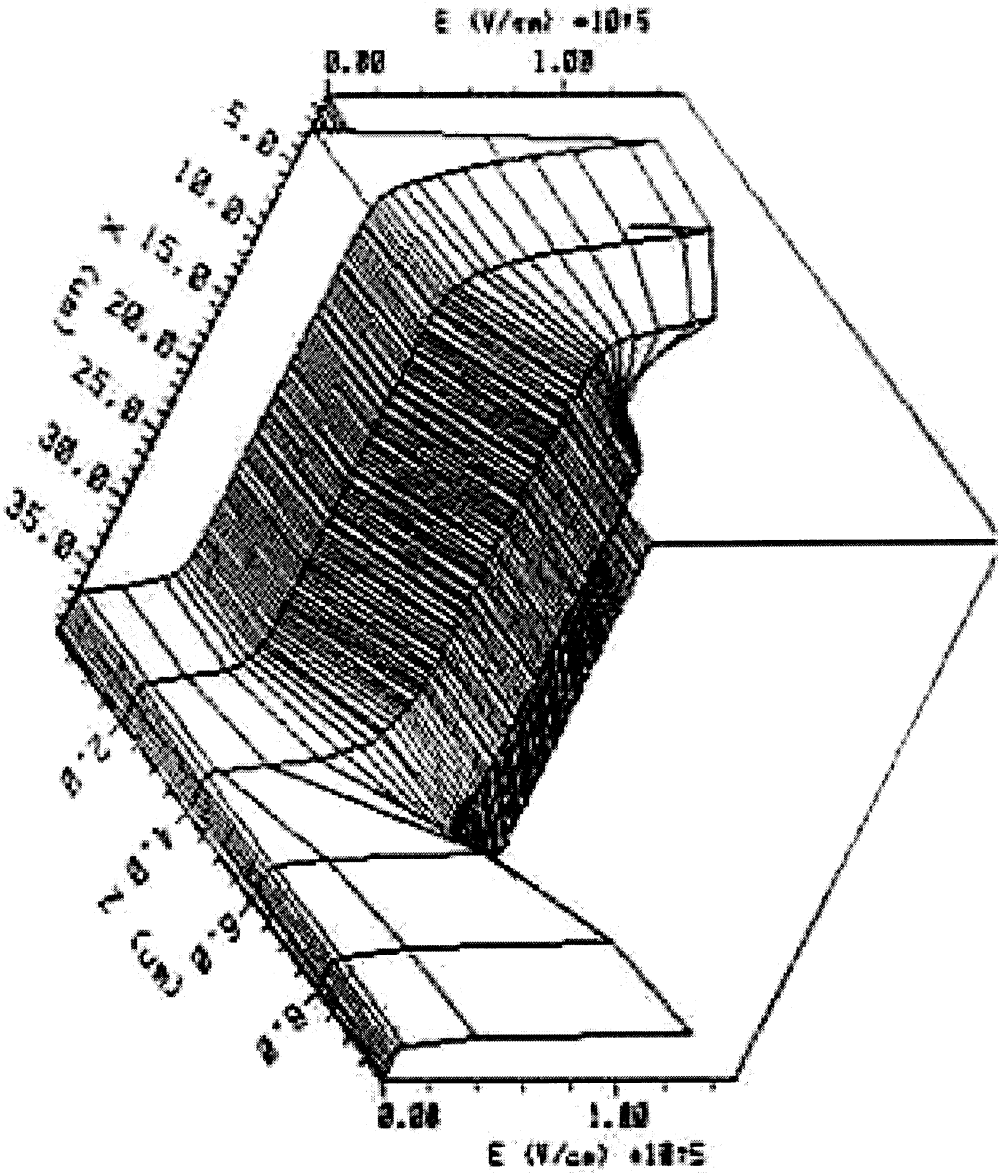


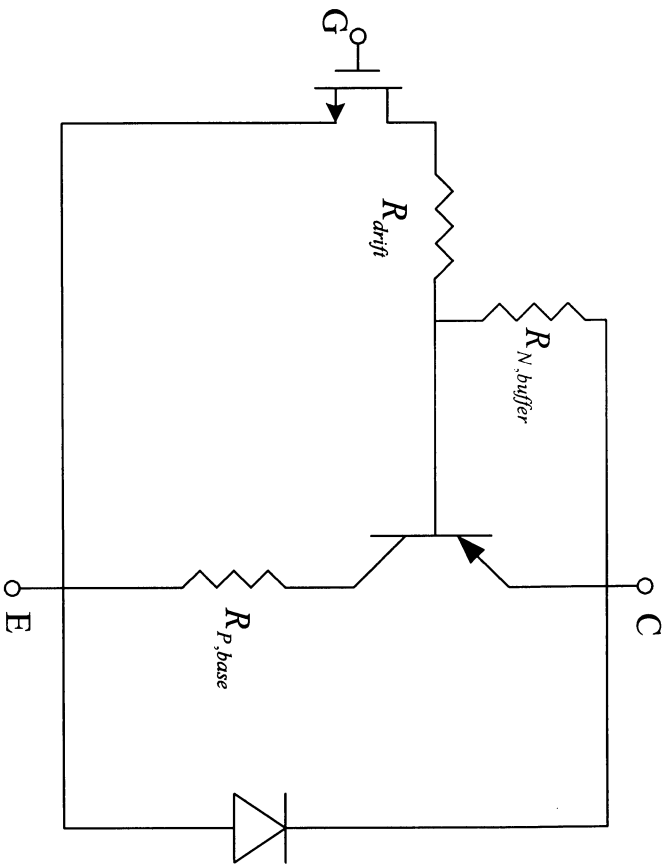
第8圖



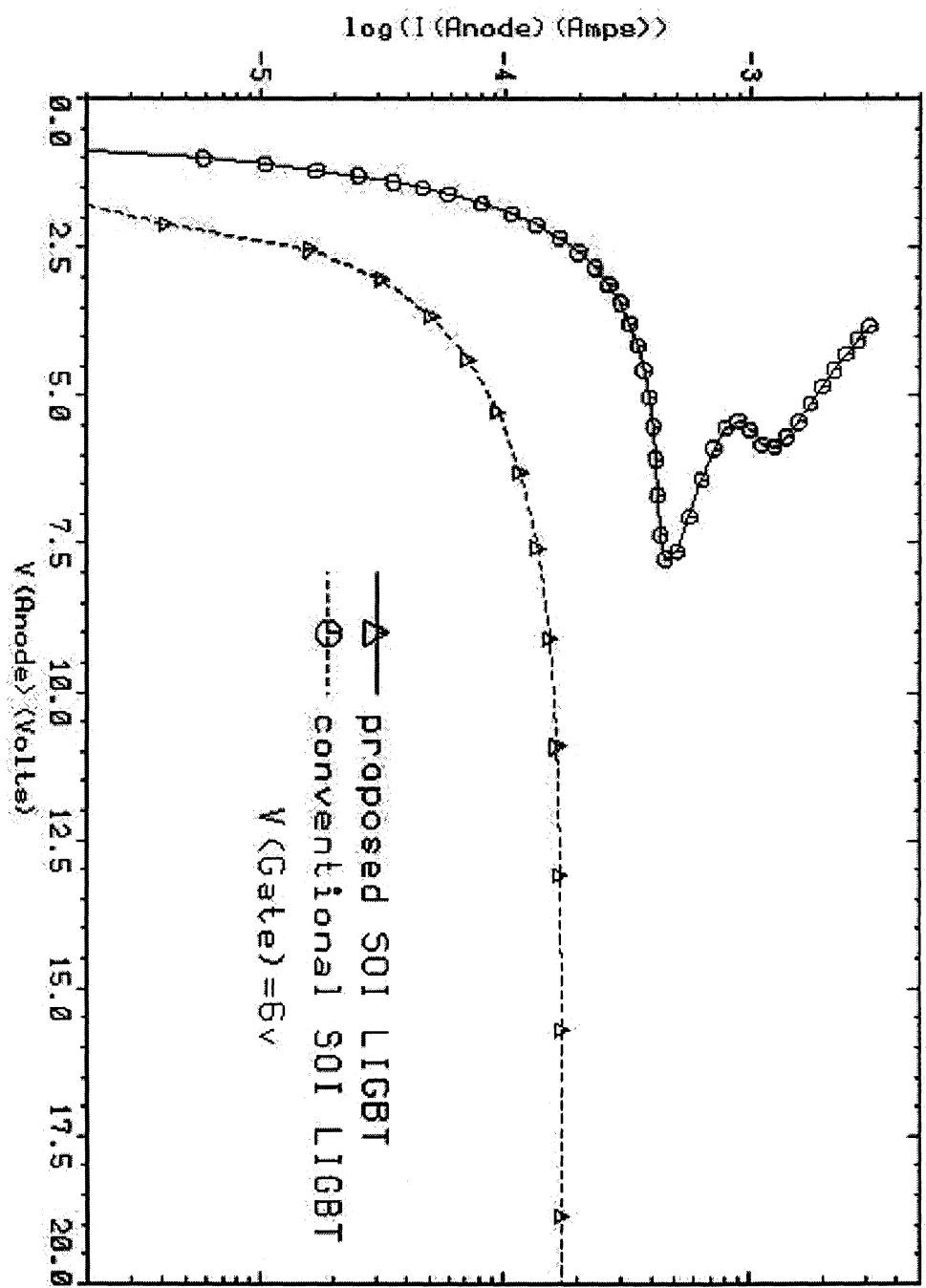
第9圖

第10圖

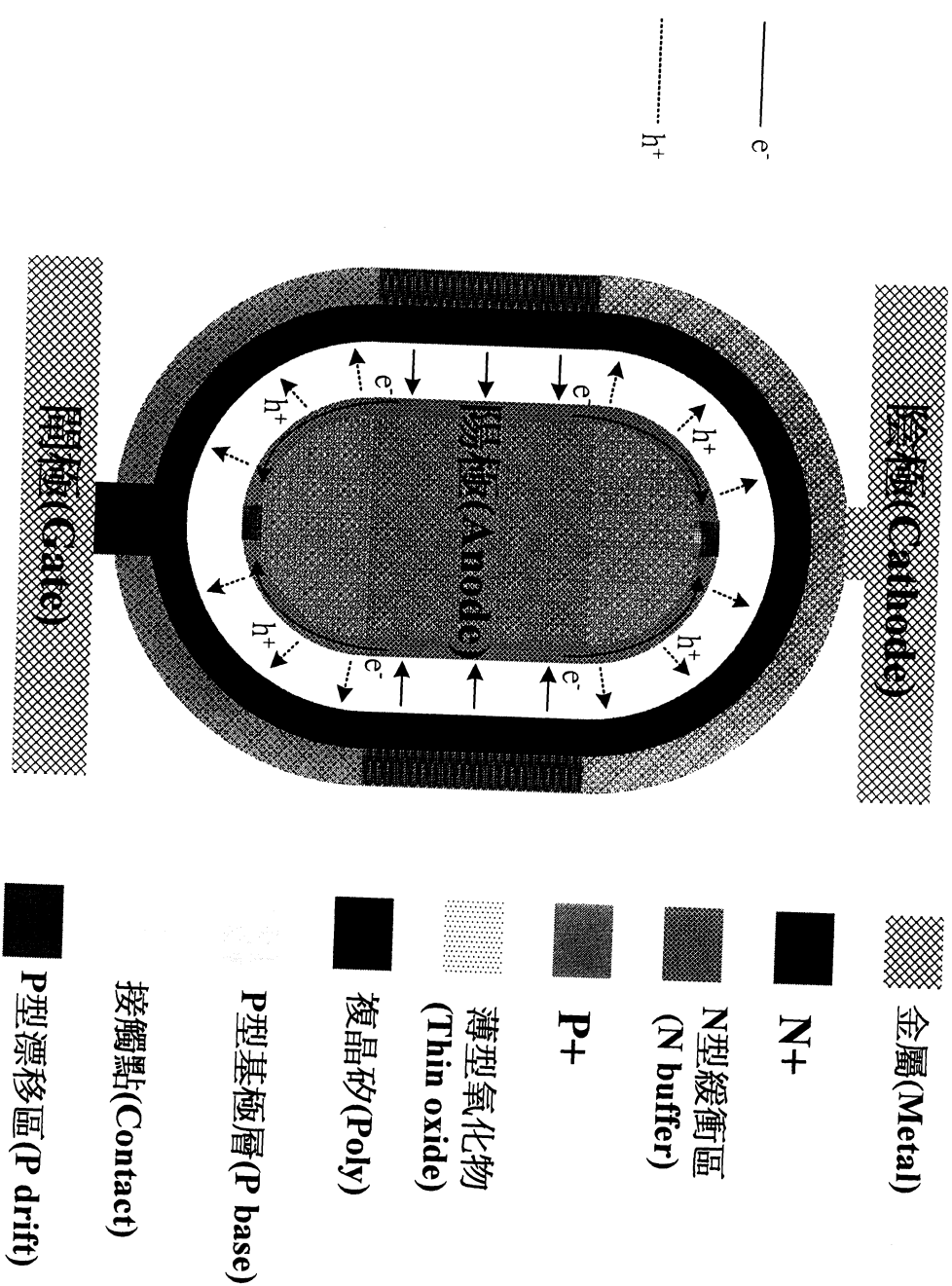




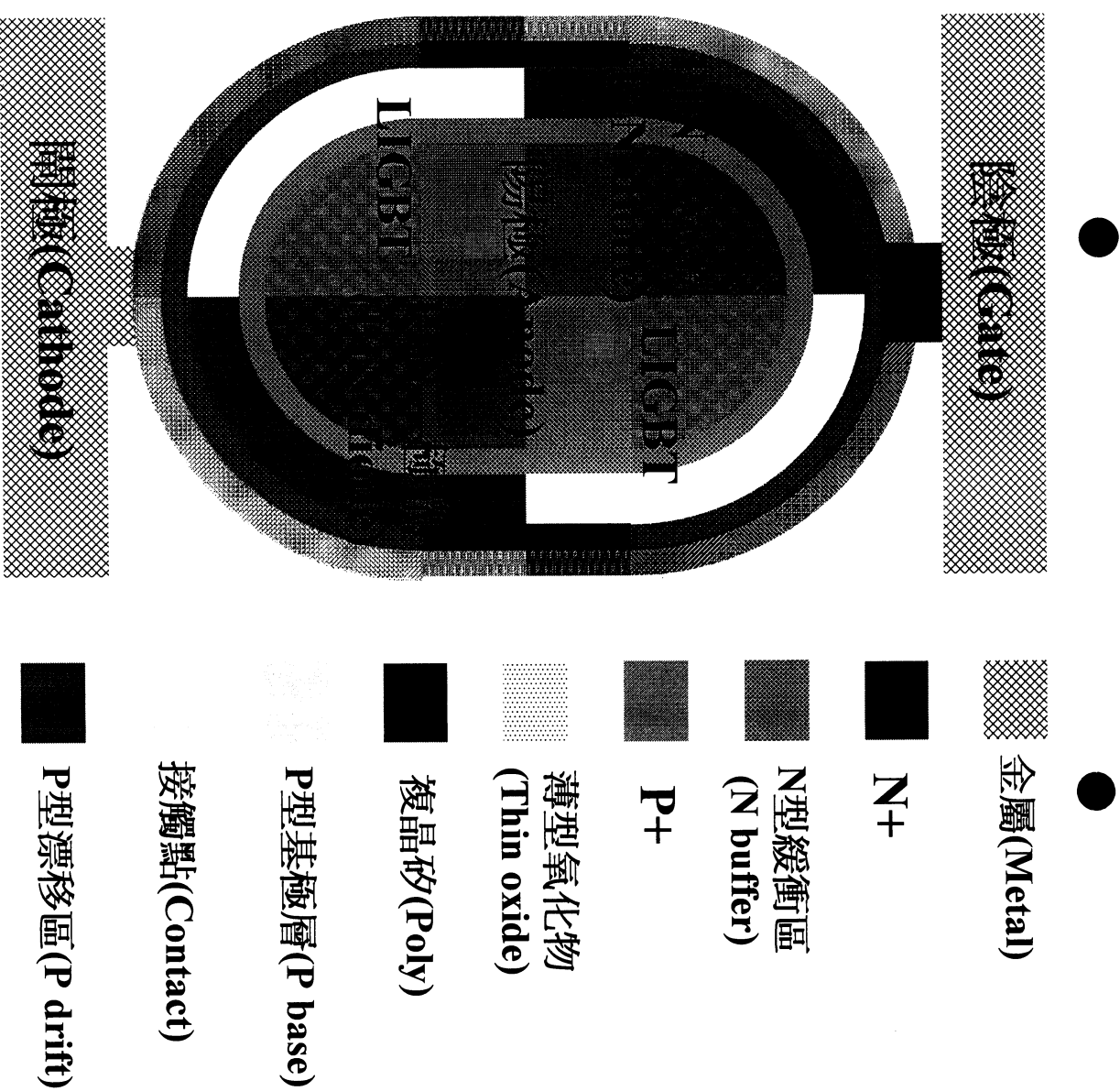
第11圖



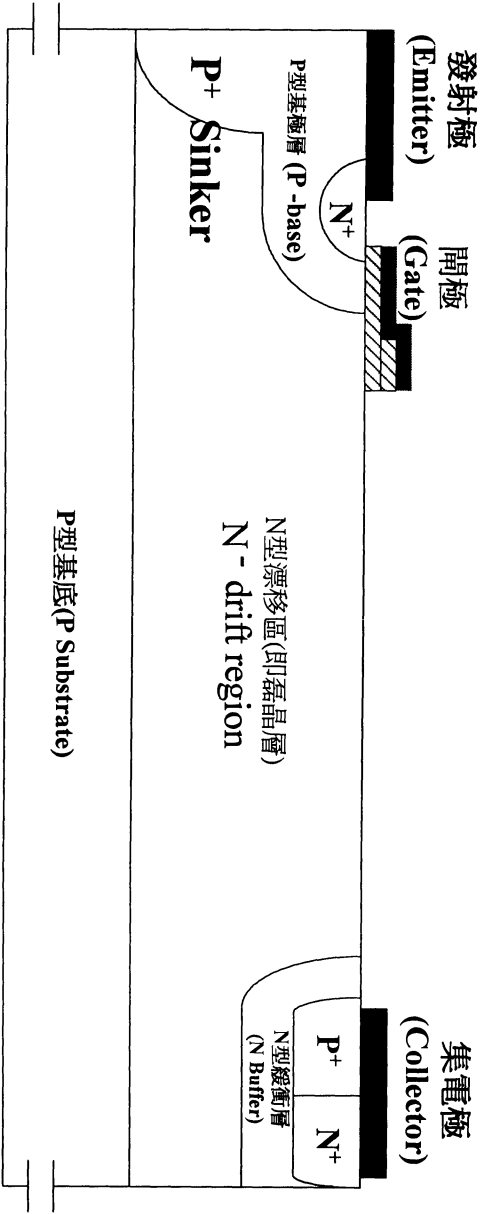
第12圖



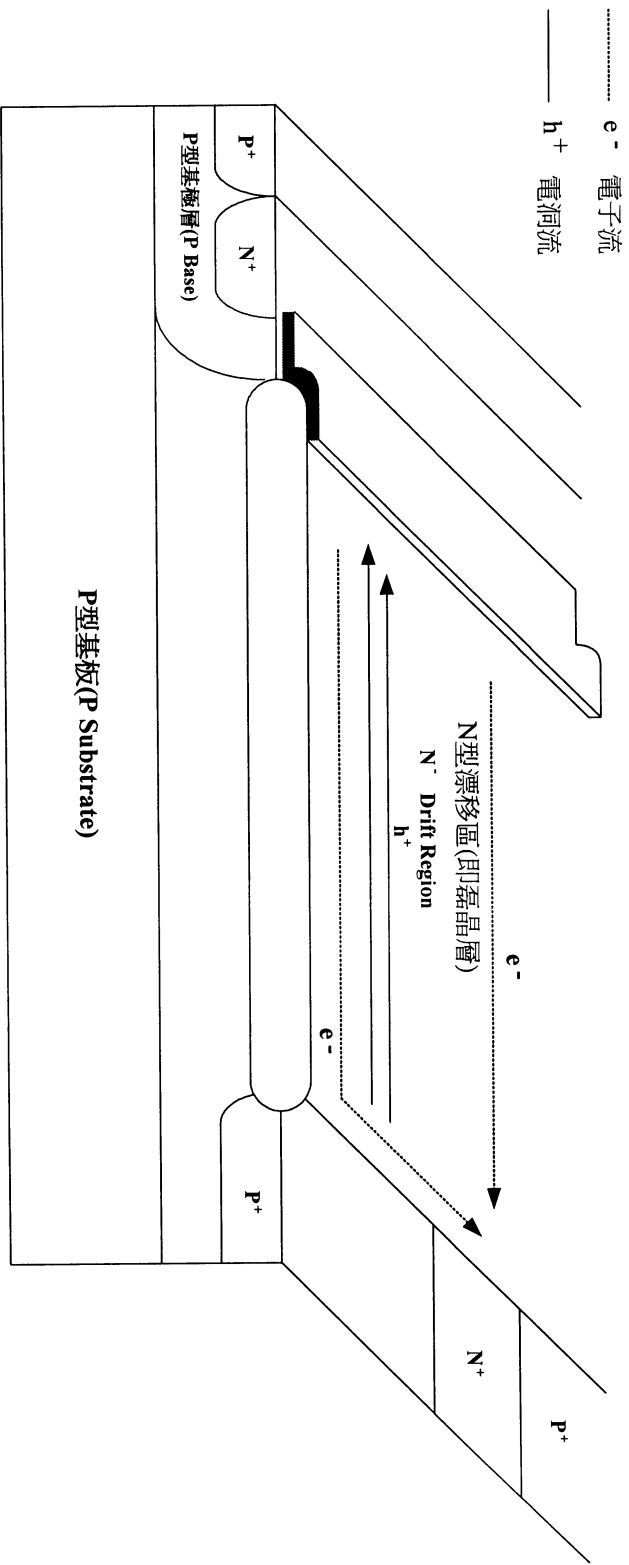
第13圖



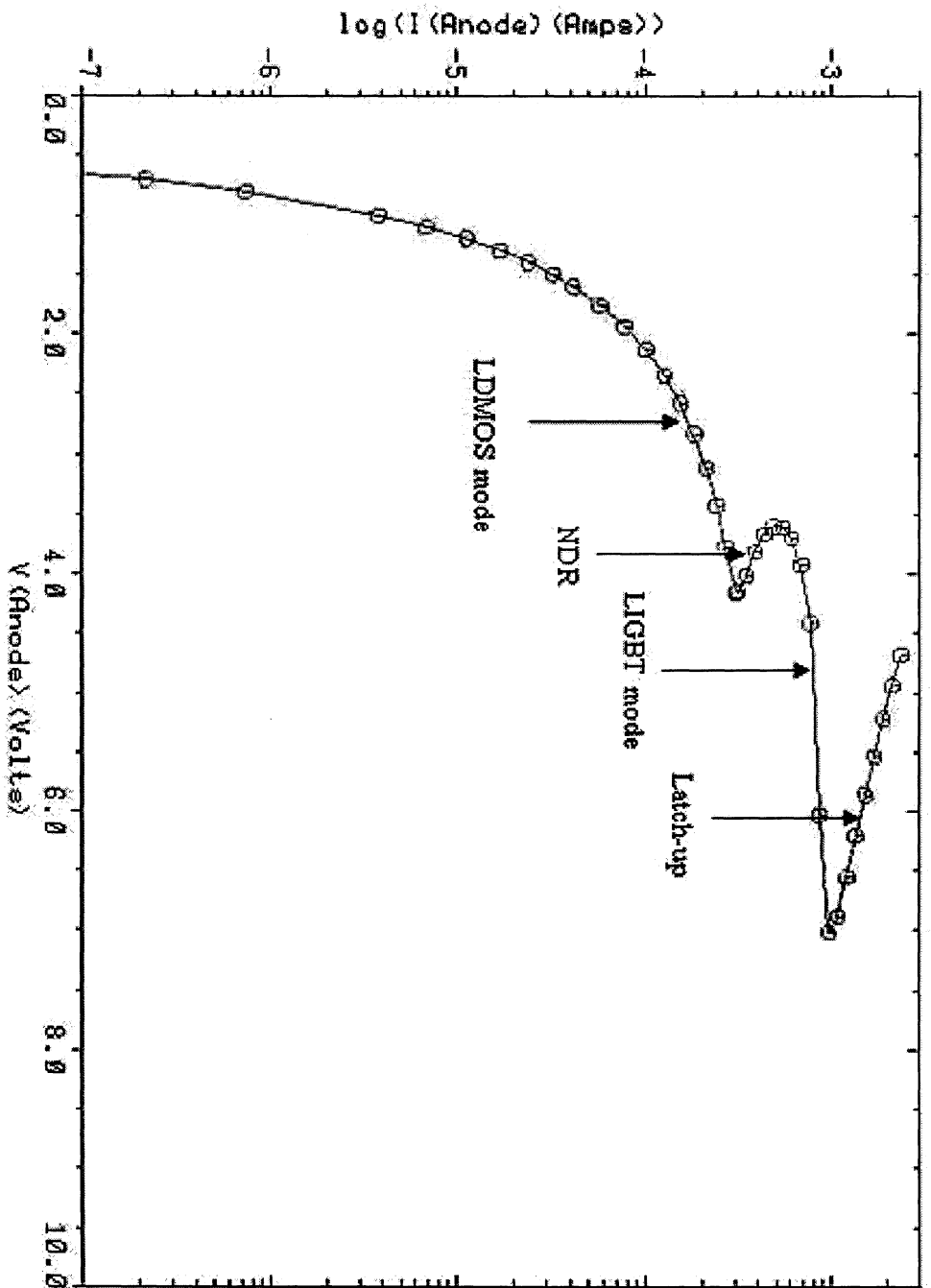
第14圖



第15圖
(前案)



第16圖
(前案)



第17圖
(前案)