

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93100084

※申請日期：93.1.2

※IPC 分類：G11C 16/06

壹、發明名稱：(中文/英文)

適用於低電壓製程之電荷幫浦電路

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文)

張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文)

中華民國

參、發明人：(共 2 人)

姓名：(中文/英文)

1. 柯明道

2. 蔡佳昇

住居所地址：(中文/英文)

1. 新竹市大學路 1001 號

2. 台中市北屯區豐樂路 17 巷 13 弄 14 號

國籍：(中文/英文)

(均同)中華民國

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

本案技術已於 92 年 7 月 8 日公開。

伍、中文發明摘要：

本發明係揭露一種適用於低電壓製程之電荷幫浦電路，其係由複數級彼此串接之電壓放大電路組成，且相鄰二級電壓放大電路的操作可藉由相反之時序信號來進行控制，且每一級電壓放大電路包含一對相耦接之第一與第二互補式 MOS 電晶體，並根據輸入對應第一電容器與第二電容器之時序信號與反相時序信號來進行開關操作，再利用二個二極體元件將電荷導至下一級電路，最後即可輸出一高於積體電路電壓源之電壓。本發明具有高幫浦增益之優點，且在低電壓製程中可解決閘極氧化層之可靠度問題。

陸、英文發明摘要：

柒、指定代表圖：

(一)、本案代表圖為：第三(a)圖

(二)、本案代表圖之元件代表符號簡單說明：

10 第一互補式 MOS 電晶體

12 第一電容器

14 NMOS 電晶體

16 PMOS 電晶體

18 二極體元件

20 第二互補式 MOS 電晶體

22 第二電容器

24 NMOS 電晶體

26 PMOS 電晶體

28 二極體元件

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明係有關一種電荷幫浦 (charge pump) 電路之技術，特別是關於一種適用於低電壓製程且其幫浦增益 (pumping gain) 高的電荷幫浦電路。

【先前技術】

按，一般之記憶體元件，例如動態存取記憶體 (DRAM) 或靜態存取記憶體 (SRAM) 等揮發性記憶體，由於其在電源關閉時，所儲存之資料會完全消失；是以，在電源切斷時仍可保留所輸入資料的裝置中，變需要使用例如唯讀記憶體 (ROM)、可程式唯讀記憶體 (PROM)、可抹除可程式唯讀記憶體 (EPROM)、可電除可程式唯讀記憶體 (EEPROM) 與快閃記憶體 (Flash) 等，可在電源中斷後繼續保存輸入資料的記憶體元件。

諸如可電除可程式唯讀記憶體或快閃記憶體等記憶體元件，在進行程式化 (program) 或抹除 (erase) 程序時，往往係藉由電荷幫浦電路來產生一個高於積體電路電壓源的電壓，以提供記憶體所需之高電壓。且電荷幫浦電路除了可提供記憶體元件操作時所需之高電壓之外，亦可提供高直流電壓作為任何其他目的。

常見之電荷幫浦電路 (稱之為 Dickson C.P) 如第一圖所示，其係為 4 層級 (4-stage) 電荷幫浦，此乃藉由控制一系列串連之 NMOS 電晶體與電容器，可使輸入之電源電壓 (V_{DD}) 向右方向逐級升高，以藉此提供記憶體元件所需之高電壓。然而，當每一幫浦節點 (pumping node) 之電壓變高時，二極體連接金氧半場效電晶體 (diode-connected MOSFET) 的臨界電

壓 (V_t) 因本體效應 (body effect) 而增大, 使得電荷幫浦之效率愈來愈低, 則當電源電壓為低者, 此種幫浦增益之衰退影響甚巨, 導致該電荷幫浦電路無法應用在低電壓製程之記憶體元件中。

為了提高幫浦增益, 遂發展出另一種電荷幫浦電路(稱之為 J.-T.C.P), 其係在該二極體連接 MOSFET 之順向偏壓低於臨界電壓時提供一種轉移電荷之方式, 如第二(a)圖所示, 係在此電荷幫浦電路中加入電荷轉移電路 (charge transfer circuits, CTS), 並利用金氧半場效電晶體 (MOSFET) 開關適時的被打開或關閉, 以藉此作為電荷轉移電路來轉移電荷。由於此些電荷轉移電路存在, 電荷幫浦之幫浦增益將增加至 $V_G = \Delta V \doteq V_{DD}$, 並忽略每一幫浦節點的寄生電容, 則在每一幫浦層級間之最大電壓差異為 $V_{d(max)} = V_{DD} + V_G = 2V_{DD}$ 。在同時參考第二(b)圖所示, 在節點 1 與節點 2 之間的電壓差異標示為 V_{12} , 其係在時間區間 T1 與 T3 間具有最大值 $2V_{DD}$, 此亦發生在同一時間之 V_{34} 及時間區間 T2 與 T4 間之 V_{23} , 若所供應之電源電壓若所供應之電源電壓選擇製程上之形式電壓, 例如在具有厚度 40 埃 (Å) 之閘氧化層的 $0.18\text{-}\mu\text{m}$ 製程中選用 1.8V 之電壓, 則在電路中大部分之 MOSFET 將超過閘極氧化層所能承受之電壓 ($2 \times 1.8 = 3.6\text{ V}$), 進而導致閘極氧化層崩潰而使元件喪失其作用。

由於習知電荷幫浦電路在低壓製程中會有過高電壓跨在閘極氧化層上, 且其幫浦增益不夠高, 有鑑於此, 本發明提出一種適用於低電壓的製程且其幫浦增益高的電荷幫浦電路, 以改善習知之缺失者。

【發明內容】

本發明之主要目的係在提供一種適用於低電壓製程之電荷幫浦電路，其係具有高幫浦增益之優點，且元件受本體效應之影響小，使其在低電壓製程中可解決閘極氧化層之可靠度問題 (reliability issue)。

本發明之另一目的係在提供一種適用於低電壓製程之電荷幫浦電路，此電路不會造成閘極氧化層電壓過高的問題，所以更適合使用在低電壓元件來產生所需之高電壓，以解決先前技術中之閘極氧化層會產生過度負載之問題。

為達到上述之目的，本發明之電荷幫浦電路係由複數級彼此串接之電壓放大電路所組成，且相鄰二級電壓放大電路的操作可藉由相反之時序信號來進行控制。

其中，以每一級之電壓放大電路而言，其係包括一對相耦接之第一與第二互補式 MOS 電晶體，第一互補式 MOS 電晶體連接對應之一第一電容器，以根據輸入此第一電容器之時序信號來進行開關操作，且第二互補式 MOS 電晶體係連接對應之一第二電容器，以根據輸入此第二電容器之反相時序信號進行開關操作；再利用二個二極體元件各別連接於第一與第二互補式 MOS 電晶體之閘極，以便將電荷導至下一級電路；最後，在電壓輸出端點輸出一高於積體電路電壓源之電壓，以供記憶體元件使用。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

電荷幫浦電路係常見於各種積體電路中，包括記憶體 IC、各式類比數位 IC、LCD 驅動 IC 中都可見到；且由於製程的進步，元件的電壓耐受度將會愈來愈小，所以本發明係提出一種具有高幫浦增益且元件間極氧化層上不會有過高電壓的可應用在低電壓製程之電荷幫浦電路。

本發明之電荷幫浦電路係由複數級（1 級至 n 級）彼此串接之電壓放大電路所組成，且相鄰二級電壓放大電路的操作可藉由恰為相反之時序信號來進行控制。第三(a)圖之實施例係具有 4 級彼此串接之電壓放大電路，以下係藉由此實施例來說明本發明之精神。

如第三(a)圖所示，每一級電壓放大電路包括一對相耦接之第一互補式 MOS 電晶體 10 與第二互補式 MOS 電晶體 20，此第一互補式 MOS 電晶體 10 連接對應之一第一電容器 (C5) 12，以根據輸入第一電容器 12 之時序信號 ($\phi 2$) 進行開關操作，且第一互補式 MOS 電晶體 10 係由一 NMOS 電晶體 (Mna1 ~ Mna4) 14 及一 PMOS 電晶體 (Mpa1 ~ Mpa4) 16 所組成，NMOS 電晶體 14 的源極係連接至電壓輸入端點，而 PMOS 電晶體 16 的源極則連接至下一級的電壓輸入端點，且此二 NMOS 電晶體 14 與該 PMOS 電晶體 16 之汲極係連接耦合於第一電容器 12 上。此外，第二互補式 MOS 電晶體 20 則連接對應之一第二電容器 (C1) 22，以根據輸入第二電容器 22 之反相時序信號 ($\phi 1$) 進行開關操作，且此第二互補式 MOS 電晶體 20 亦由一 NMOS 電晶體 (Mnb1 ~ Mnb4) 24 及一 PMOS 電晶體 (Mpb1 ~ Mpb4) 26 所組成，NMOS 電晶體 24 的源極連接至電壓輸入端點，而 PMOS 電晶體 26 的源極則接至下一級的電壓輸入端點，且此二 NMOS 電晶體 24 與 PMOS 電晶體 26 的汲極亦連接耦合第

二電容器 22 上。

每一級之電壓放大電路尚包括二個二極體元件 18、28，分別連接至第一互補式 MOS 電晶體 10 與第二互補式 MOS 電晶體 20 之閘極，且二極體元件 18、28 係用來使累積於互補式 MOS 電晶體 10、20 閘極之電荷只能沿著單一方向流動，以便將電荷經由此二極體元件 18、28 之作用流至下一級電路；另，當二極體元件 18、28 兩端電壓差約剩 0.7V 時，二極體元件 18、28 即會關閉而不在引導電荷，此時 MOS 電晶體 10、20 則繼續將電荷往下一級電路引導直至兩端電荷相等為止；不斷將電荷輸出累積即可在電壓輸出端得到一高於積體電路電壓源之電壓。

在參閱第三(a)圖所示，時序信號 $\phi 1$ 與 $\phi 2$ 互為反相之信號且具有與電源電壓 (VDD) 相同之振幅，在此圖中之電荷幫浦電路係有二組相同之部份標示為 Branch A 和 Branch B，兩者最大之差異為時序信號之不同，其餘結構則完全相同。亦即在 Branch A 之第一級與第三級電壓放大電路之時序信號為 $\phi 1$ ，則在 Branch B 之時序信號則為 $\phi 2$ ；相反地，在 Branch A 之第一級與第三級電壓放大電路之時序信號為 $\phi 2$ ，則在 Branch B 之時序信號則為 $\phi 1$ ，此二反相之時序信號 $\phi 1$ 與 $\phi 2$ 係由一時序產生器所產生者。

再者，令本發明之每一級電壓放大電路可正常開啟與關閉，且每一分支 (branch) 可視為一獨立之電荷幫浦電路；由於 Branch A 與 Branch B 之時序信號為反相，則在節點 1-4 和節點 5-8 之波形相位亦為反相，而在節點 1-8 之波形如第三(b)圖所示。

現就每一級電壓放大電路 (亦可稱之為電荷轉移電路 CTS) 之工作狀態

進行確認。首先，就第一級電壓放大電路而言，如第三(b)圖所示，在時間區間 T1 之時序信號 $\phi 1$ 為低且 $\phi 2$ 為高，此時，V15 之額定操作電壓為 $-VDD$ ，所以 MOSFET 開關 Mna1 打開而推動電荷由電源供應端流動至節點 1，且開關 Mnb1 關閉以阻止電荷由節點 5 流回電源供應端；另一方面，在時間區間 T2 時，V15 之理想操作電壓為 VDD ，此時，為了阻止電荷由節點 1 流回電源供應端，Mna1 須關閉，且 Mnb1 打開以推動電壓由電源供應端流至節點 5。就其他層級電路而言，以第二級電壓放大電路為例，在時間區間 T1 之時序信號 $\phi 1$ 為低且 $\phi 2$ 為高，此時，V15 與 V26 之額定操作電壓各為 $-VDD$ 與 VDD ，所以 MOSFET 開關 Mpa1 與 Mna2 打開而推動電荷由節點 1 流至節點 2，且開關 Mpb1 與 Mnb2 關閉以阻止電荷由節點 6 流回節點 5；另一方面，在時間區間 T2 時，V15 與 V26 之理想操作電壓各為 VDD 與 $-VDD$ ，此時，為了阻止電荷由節點 2 流回節點 1，Mpa1 與 Mna2 須關閉，且 Mpb1 與 Mnb2 打開以推動電荷由節點 5 流至節點 6。就輸出層級而言，在時間區間 T1 之時序信號 $\phi 1$ 為低且 $\phi 2$ 為高，此時，V48 之額定操作電壓為 VDD ，所以 MOSFET 開關 Mpa4 打開以推動電荷由節點 4 流至輸出節點，且開關 Mpb4 關閉以阻止電荷由輸出節點流回節點 8；另一方面，在時間區間 T2 時，V48 之理想操作電壓為 $-VDD$ ，此時，為了阻止電荷由輸出節點流回節點 4，Mpa4 須關閉，且 Mpb4 打開以推動電荷由節點 8 流至輸出節點。因此，藉由上述之說明可知，分支 Branch A 與 Branch B 將會輪流輸出一高電壓。

接著，利用 TSMC 之 $0.18 \mu m$ 的電晶體模型 (SPICE model) 進行模擬，其結果如第四(a)圖及第四(b)圖所示，其係在電源供應電壓為 $1.8V$ 且輸出

負載電流為 $5\mu\text{A}$ 的電荷幫浦電路中節點 1-8 的波形示意圖，此結果與本發明所預期之結果極為相似，稍微之差異係因寄生電容與輸出負載電流之關係而使產生之輸出電壓 V_{out} 為 8.39 伏特，而非理論值 $5*V_{DD}=9\text{V}$ 。

現就本發明與先前技術之二實施例進行比對，首先，就可靠度而言，在習知 Dickson C.P 之電荷幫浦電路中，二極體連接 MOSFET 係用來推動電荷至下一層級，當二極體切斷以避免電荷回流時，通過二極體或此二極體連接 MOSFET 的閘極氧化層之電壓為 $2*V_{DD}-V_t$ ，若 V_{DD} 為製程之額定供應電壓，則二極體連接 MOSFET 在短時間內將損壞。在習知 J.-T 之電荷幫浦電路中，不只是二極體連接 MOSFET 而且電荷轉移電路及其控制電路係會在閘極氧化層兩端遭受過高電壓，唯一能在低電壓製程中安全工作之方式是降低運作供應電壓使其維持在約 $0.5*V_{DD}$ 左右，不足以提供記憶體元件所需之高電壓。而在本發明之電荷幫浦電路中，本發明不會有上述之問題，且可靠度之問題係被考慮且亦不需要降低供應電壓。

第五圖係比較本發明與先前技術之電荷幫浦電路於不同輸出電流負載下的輸出電壓曲線示意圖，所有比較之電路係具有 2p 穩壓電容器，顯然地，具有相同 1p 推動電容器之條件下，本發明之電荷幫浦較該二先前技術之性能更佳，特別是在高電流負載之狀態下，此結果是很容易了解地。由於本發明之電荷幫浦具有二個分支可推動電荷擇一至輸出節點，則每一幫浦節點之電壓變動可以表示為

$$\Delta V = V_{CLK} \times \frac{C_{pump}}{C_{pump} + C_{par}} - \frac{I_o}{2f(C_{pump} + C_{par})} \approx V_{CLK} - \frac{I_o}{2fC_{pump}}$$

所以本發明提出之電荷幫浦電路的曲線斜率約為該二先前技術的一半。

再參閱第六圖，其係為在固定之輸出電流負載為 $20\ \mu\text{A}$ 的所有電荷幫浦電路輸出波形的示意圖，如圖所示此曲線由高而低分別為：具有 1p 推動電容器之本發明電荷幫浦電路、具有 1.6p 推動電容器之 J.-T. 電荷幫浦、具有 1p 推動電容器之 J.-T. 電荷幫浦、具有 2p 推動電容器之 Dickson 電荷幫浦以及具有 1p 推動電容器之 Dickson 電荷幫浦，由此可知，本發明之電荷幫浦電路的曲線遠比其他二種電荷幫浦電路更為穩定。

在低電壓製程中，閘極氧化層可靠度問題係變得非常重要，當一電荷幫浦電路在一低電壓製程中製造時，同時須考量元件性能與可靠度問題，這使得其設計更為複雜且困難。本發明則提出一種新的電荷幫浦電路來解決存在於先前技術中之該等缺失，本發明可在低電壓製程中安全運作而不會有崩潰的危險，並可提供較高且較穩定之輸出電壓。因此，本發明除了可應用在低電壓製程中之外，亦同時具有高幫浦增益等之優點，且此電路不會造成閘極氧化層電壓過高的問題，所以更適合使用在低電壓元件來產生所需之高電壓，以解決先前技術中之閘極氧化層會產生過度負載之問題，亦可解決閘極氧化層之可靠度問題。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為習知電荷幫浦電路之一實施例示意圖。

第二(a)圖及第二(b)圖分別為習知電荷幫浦電路之另一實施例示意圖及其電

壓信號示意圖。

第三(a)圖及第三(b)圖分別為本發明之電荷幫浦電路示意圖及其電壓信號示意圖。

第四(a)圖及第四(b)圖為本發明在電荷幫浦電路中之各節點的波形示意圖。

第五圖為本發明與先前技術在不同輸出電流下之輸出電壓的曲線示意圖。

第六圖為本發明與先前技術的時間與輸出電壓的曲線示意圖。

圖號說明：

10 第一互補式 MOS 電晶體

12 第一電容器

14 NMOS 電晶體

16 PMOS 電晶體

18 二極體元件

20 第二互補式 MOS 電晶體

22 第二電容器

24 NMOS 電晶體

26 PMOS 電晶體

28 二極體元件

拾、申請專利範圍：

1、一種適用於低電壓製程之電荷幫浦電路，其係可產生一高於積體電路電壓源之電壓，該電荷幫浦電路係具有 n 級電壓放大電路，且每一級該電壓放大電路包括：

一對相耦接之第一互補式 MOS 電晶體與第二互補式 MOS 電晶體，該第一互補式 MOS 電晶體連接對應之一第一電容器，以根據輸入該第一電容器之時序信號進行開關操作，且該第二互補式 MOS 電晶體係連接對應之一第二電容器，以根據輸入該第二電容器之反相時序信號進行開關操作；以及

二個二極體元件，分別連接至該第一與第二互補式 MOS 電晶體之閘極，以便引導電荷流至下一層級或輸出。

2、如申請專利範圍第 1 項所述之電荷幫浦電路，其中該第一互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。

3、如申請專利範圍第 1 項所述之電荷幫浦電路，其中該第二互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。

4、如申請專利範圍第 2 或第 3 項所述之電荷幫浦電路，其中每一該互補式 MOS 電晶體之 NMOS 電晶體的源極係連接至電壓輸入端點，而該 PMOS 電晶體的源極則接至下一級的電壓輸入端點，且該 NMOS 電晶體與該 PMOS 電晶體之汲極則連接於耦合電容器上。

5、如申請專利範圍第 1 項所述之電荷幫浦電路，其中該二極體元件係用來使累積於該互補式 MOS 電晶體閘極之電荷只能沿著單一方向流動。

6、如申請專利範圍第 1 項所述之電荷幫浦電路，其中該時序信號與該反相時序信號係由一時序產生器所產生者。

7、一種適用於低電壓製程之電荷幫浦電路，其係可產生一高於積體電路電壓源之電壓，該電荷幫浦電路係至少包括：

複數級彼此串接之電壓放大電路，每一級該電壓放大電路係具有一對相耦接之第一互補式 MOS 電晶體與第二互補式 MOS 電晶體，該第一互補式 MOS 電晶體連接對應之一第一電容器，以根據輸入該第一電容器之時序信號進行開關操作，且該第二互補式 MOS 電晶體係連接對應之一第二電容器，以根據輸入該第二電容器之反相時序信號進行開關操作；以及

複數個二極體元件，分別連接至複數級該放大電路中之該第一與第二互補式 MOS 電晶體之間極，以便引導電荷流至下一層級或輸出。

8、如申請專利範圍第 7 項所述之電荷幫浦電路，其中每一該第一互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。

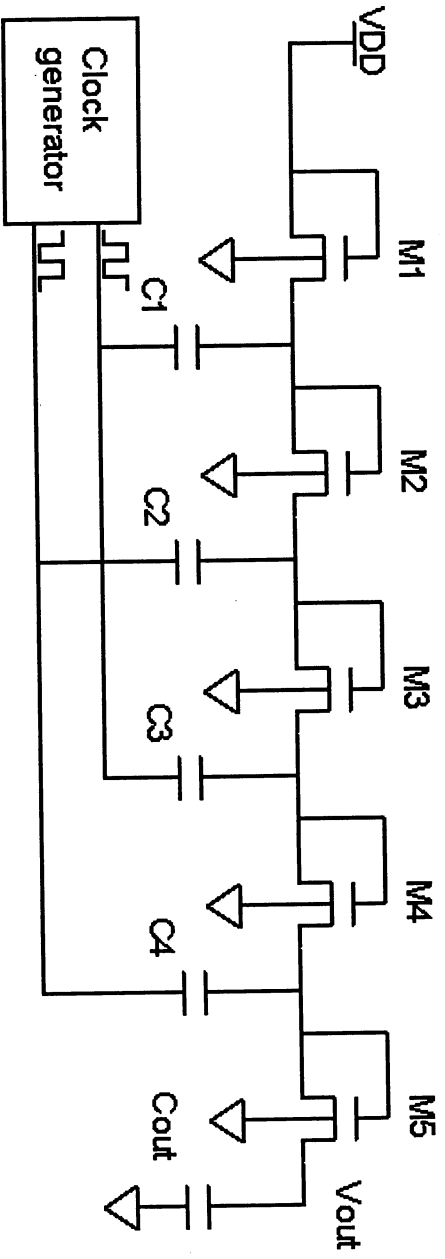
9、如申請專利範圍第 7 項所述之電荷幫浦電路，其中每一該第二互補式 MOS 電晶體係由一 NMOS 電晶體及一 PMOS 電晶體所組成者。

10、如申請專利範圍第 8 或第 9 項所述之電荷幫浦電路，其中每一該互補式 MOS 電晶體之 NMOS 電晶體的源極係連接至電壓輸入端點，而該 PMOS 電晶體的源極則接至下一級的電壓輸入端點，且該 NMOS 電晶體與該 PMOS 電晶體之汲極則連接於耦合電容器上。

11、如申請專利範圍第 7 項所述之電荷幫浦電路，其中該二極體元件係用來使累積於該互補式 MOS 電晶體間極之電荷只能沿著單一方向流動。

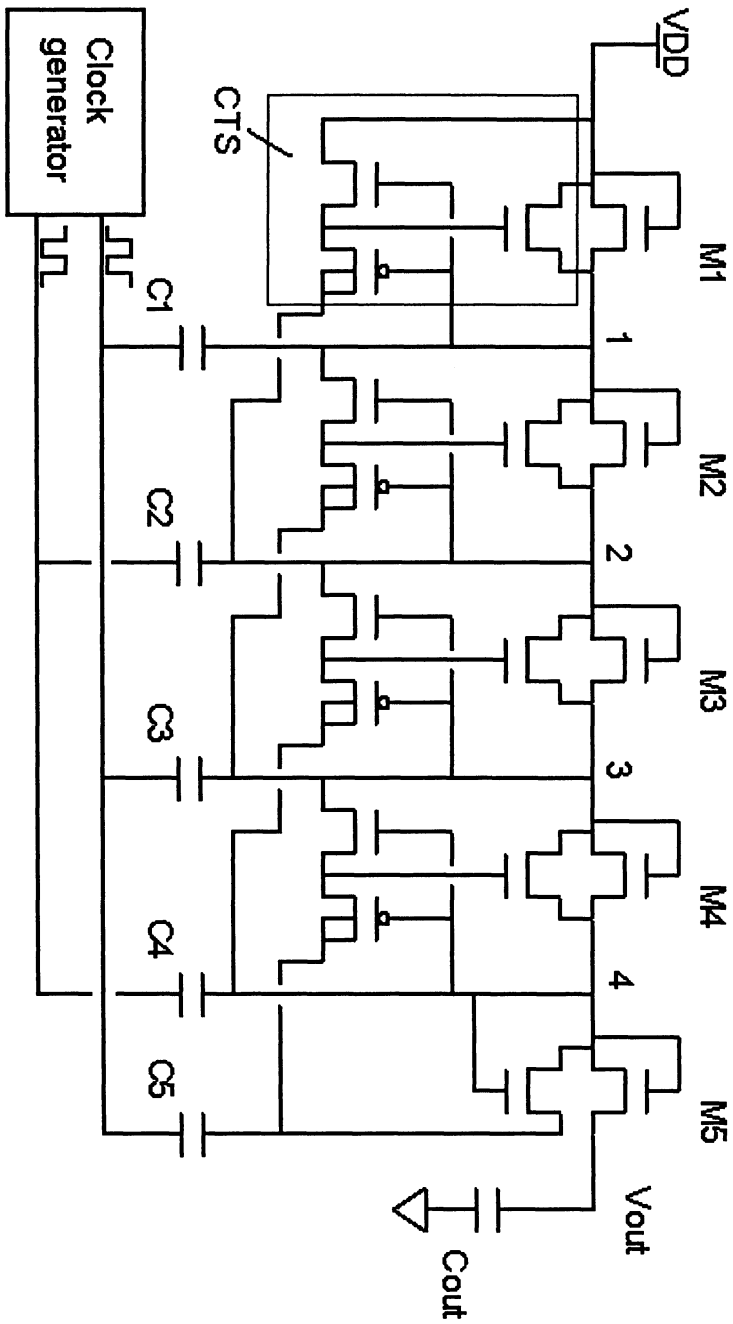
12、如申請專利範圍第 7 項所述之電荷幫浦電路，其中該時序信號與該反相時序信號係由一時序產生器所產生者。

13、如申請專利範圍第7項所述之電荷幫浦電路，其中相鄰二級該電壓放大電路的操作係藉由二組相反之時序信號來控制之。



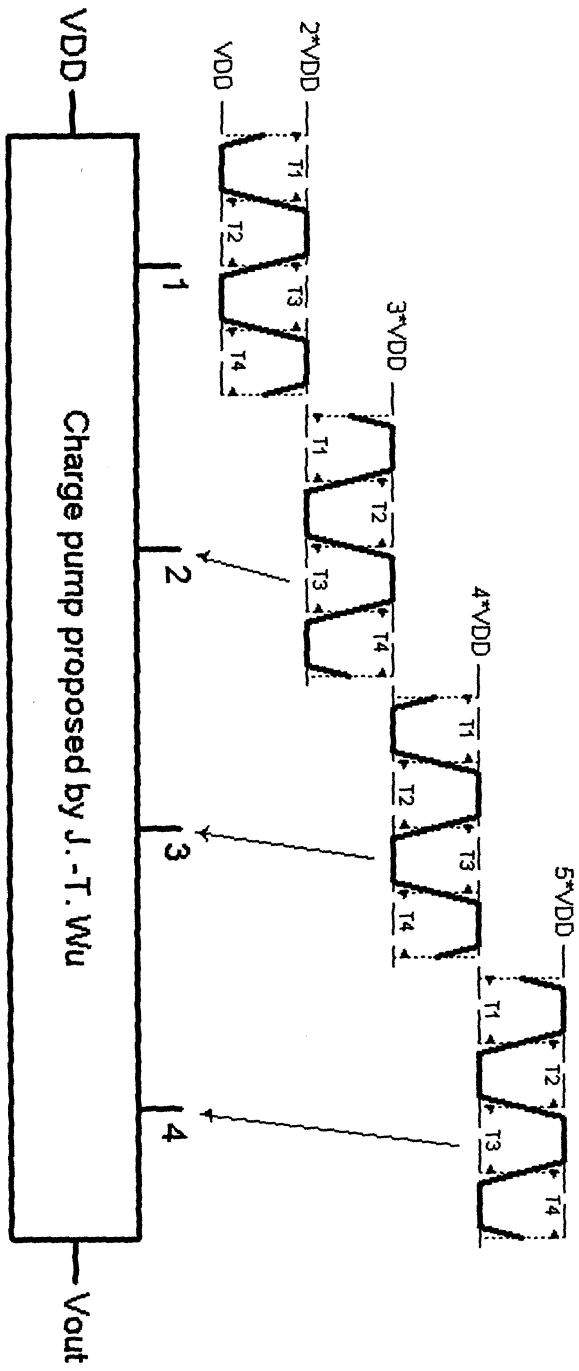
第一圖

(先前技術)



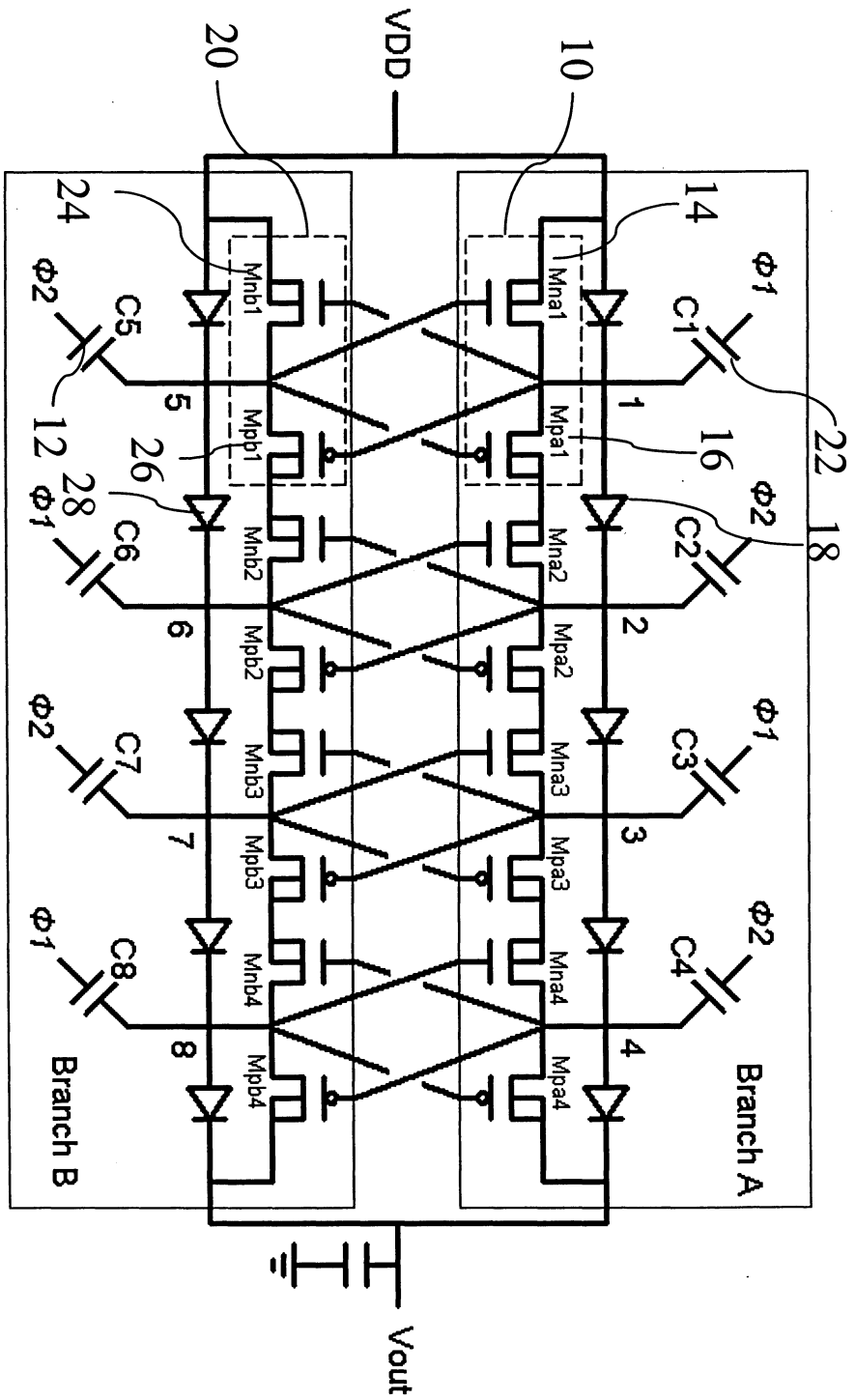
第二(a)圖

(先前技術)

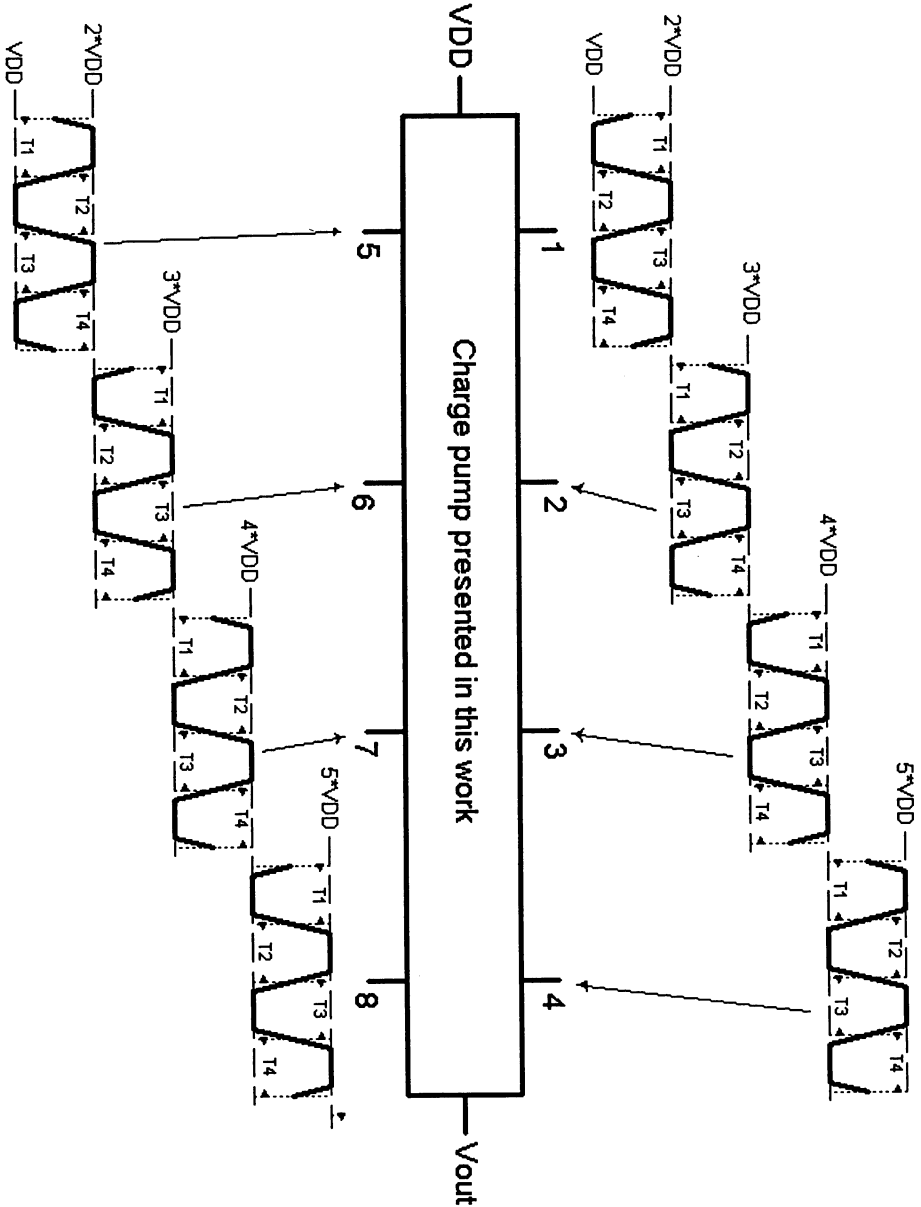


第二(b)圖

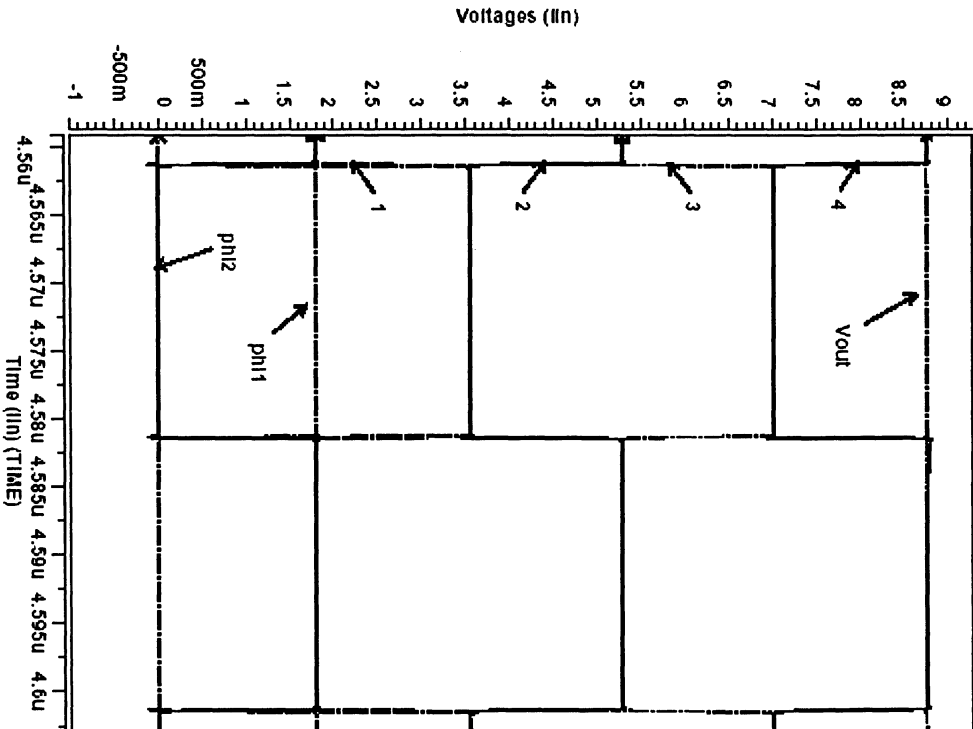
(先前技術)



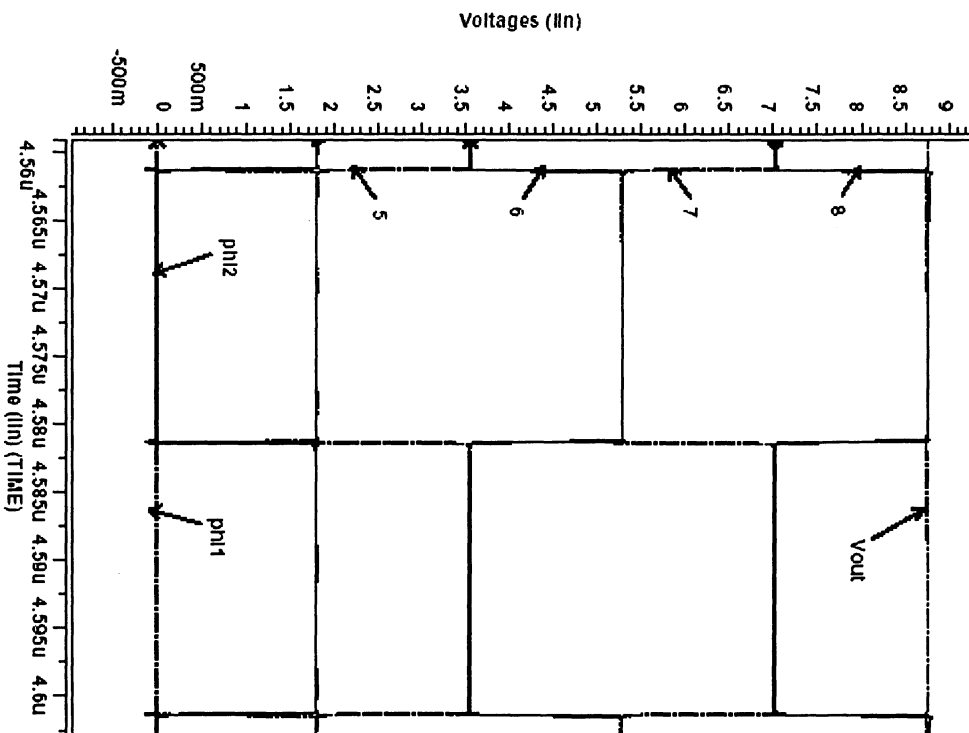
第三(a)圖



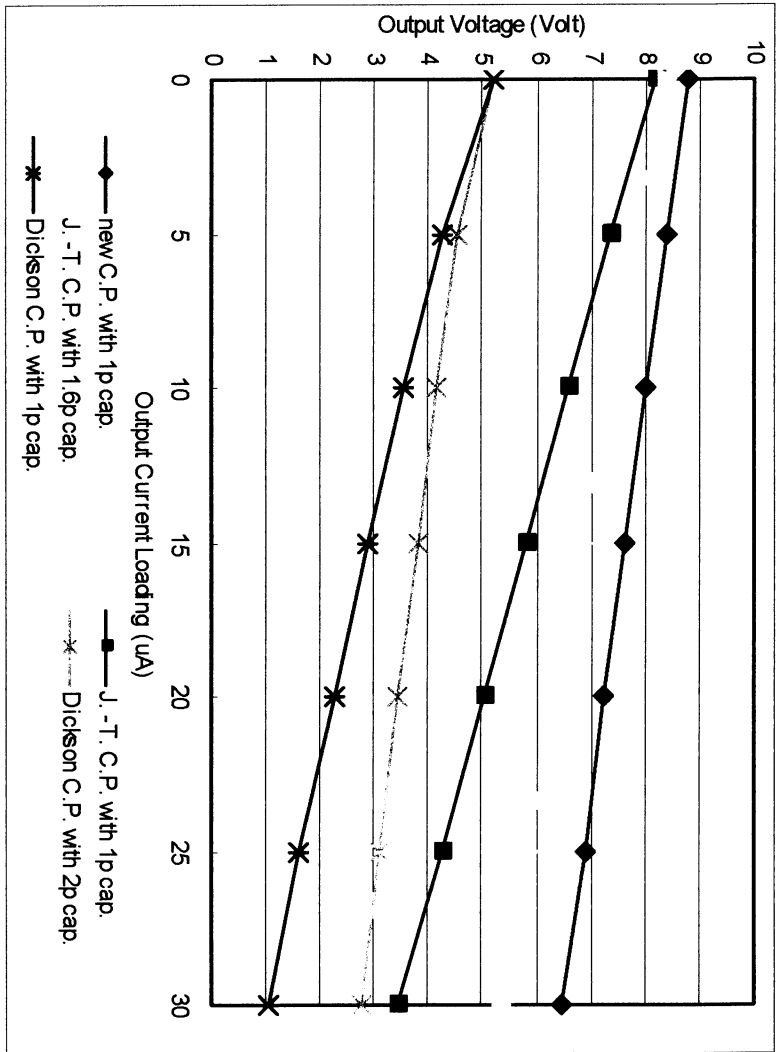
第三(b)圖



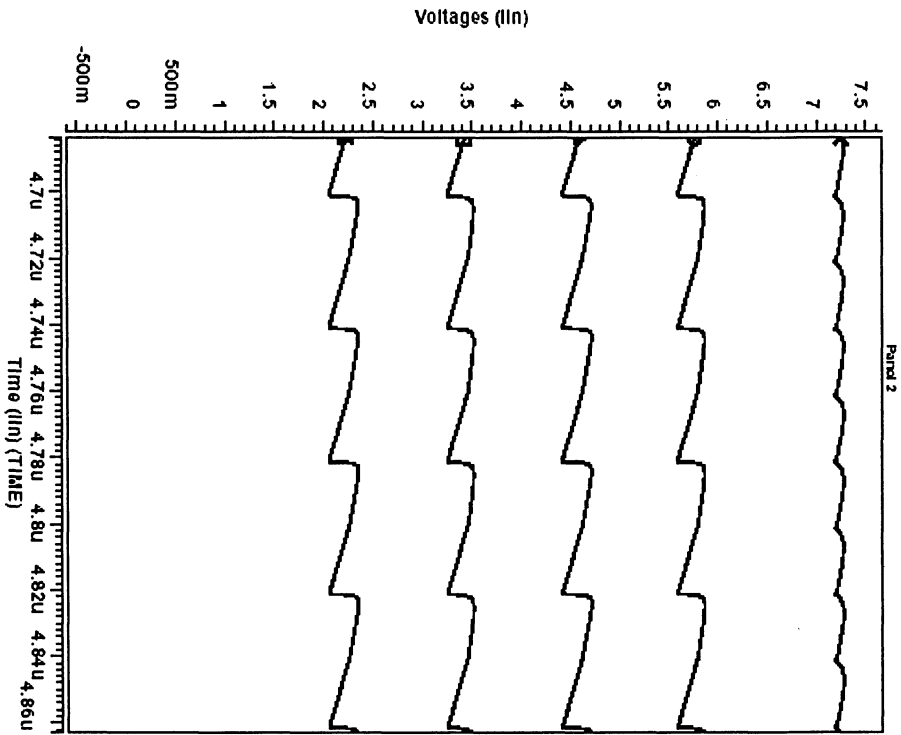
第四(a)圖



第四(b)圖



第五圖



第六圖