



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I464745 B

(45) 公告日：中華民國 103 (2014) 年 12 月 11 日

(21) 申請案號：099146583

(22) 申請日：中華民國 99 (2010) 年 12 月 29 日

(51) Int. Cl. : G11C7/18 (2006.01)

(30) 優先權：2010/07/06 美國 61/361,527

(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市新竹科學工業園區力行三路 5 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW)；楊皓義 YANG, HAO I (TW)；夏茂墀 HSIA, MAO CHIH (TW)；林勇維 LIN, YUNG WEI (TW)；盧建宇 LU, CHIEN YU (TW)；杜明賢 TU, MING HSIEN (TW)；黃威 HWANG, WEI (TW)；周世傑 JOU, SHYH JYE (TW)；陳家政 CHEN, CHIA CHENG (TW)；石維強 SHIH, WEI CHIANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US	7502275B2	US	7688668B2
US	2007/0002617A1	US	2007/0236983A1
US	2007/0274124A1	US	2008/0037337A1

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：11 共 38 頁

(54) 名稱

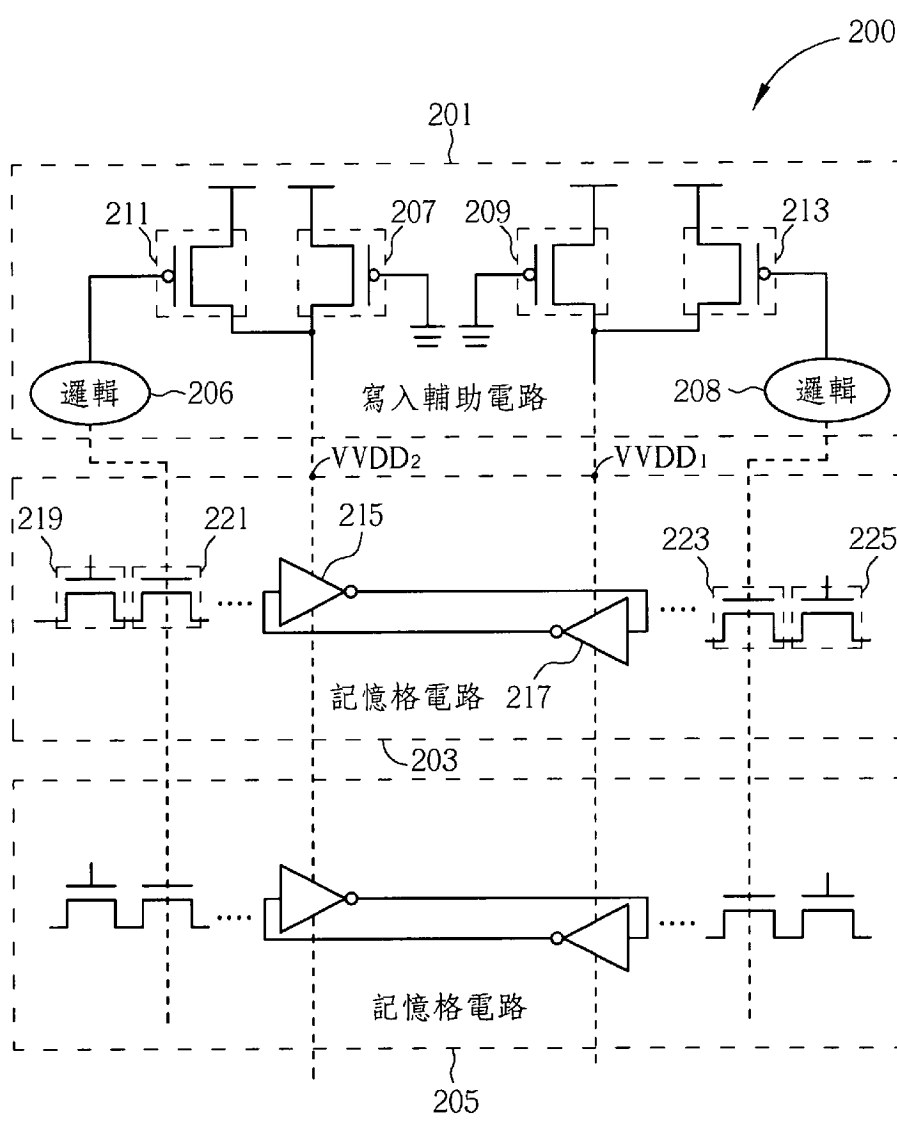
具有由資料控制之電源供應的靜態隨機存取記憶體

STATIC RANDOM ACCESS MEMORY WITH DATA CONTROLLED POWER SUPPLYING

(57) 摘要

一種具有由資料控制之電源供應的 SRAM，其包含一記憶格電路以及至少一寫入輔助電路。其中寫入輔助電路用以根據欲寫入至記憶格電路的資料提供電能至記憶格電路。

A static random access memory with data controlled power supplying, which comprises a memory cell circuit and at least one write assist circuit, for providing power to the memory cell circuit according to data to be written to the memory cell circuit.



200 . . . SRAM  
 201 . . . 寫入輔助電  
 路  
 203、205 . . . 記憶  
 格電路

第2圖

# 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99146583

※申請日：99.12.29 ※IPC 分類：

G11C7/18 (2006.01)

一、發明名稱：(中文/英文)

具有由資料控制之電源供應的靜態隨機存取記憶體/STATIC RANDOM ACCESS MEMORY WITH DATA CONTROLLED POWER SUPPLYING

二、中文發明摘要：

一種具有由資料控制之電源供應的 SRAM，其包含一記憶格電路以及至少一寫入輔助電路。其中寫入輔助電路用以根據欲寫入至記憶格電路的資料提供電能至記憶格電路。

三、英文發明摘要：

A static random access memory with data controlled power supplying, which comprises a memory cell circuit and at least one write assist circuit, for providing power to the memory cell circuit according to data to be written to the memory cell circuit.

四、指定代表圖：

(一)本案指定代表圖為：第( 2 )圖。

(二)本代表圖之元件符號簡單說明：

200 SRAM

201 寫入輔助電路

203、205 記憶格電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明有關於一 SRAM (static random access memory, 靜態隨機存取記憶體)，特別有關於具有由資料控制之電源供應的 SRAM。

### 【先前技術】

請參考第 1 圖。第 1 圖所示係傳統的 SRAM 單元 10 的示意圖。SRAM 包含 SRAM 單元 10 及感測放大器 (Sense Amplifier, 第一圖未繪出)，傳統的 SRAM 單元有六個場效開關元件，亦即所謂的 6-T SRAM。開關元件 Me 和 Mf 為存取開關元件，亦稱為旁路開關元件 (pass switch)。閃鎖電路 11 包含了兩反相器 11a 和 11b，且反相器 11a 和 11b 中的每一個包含了兩開關元件。而且，相對應於儲存在 SRAM 單元中的不同資料，Na 或 Nb 其中一儲存端會呈現“低”邏輯準位，且相對應的位元線 (位元線 12 或位元線 16) 將被拉低。

開關元件接著，SRAM 的感測放大器就會依據位元線 12 以及位元線 16 上的電壓準位來判斷儲存於閃鎖電路 11 內的邏輯值。另一方面，當邏輯值 (待寫入位元) 被寫入 SRAM 單元 10 時，字元線 14 的電壓準位會被提升至一高電壓準位以導通開關元件 Me、Mf。接著，位元線 12 上的電壓準位會被充電至高電壓準位以及位元線 16 上

的電壓準位會被放電至低電壓準位(若待寫入位元為邏輯 1)，或位元線 12 上的電壓準位會被放電至低電壓準位以及位元線 16 上的電壓準位會被充電至高電壓準位(若待寫入位元為邏輯 0)。

如此，邏輯值(待寫入位元)就藉由出現在位元線 12 以及位元線 16 上互補的電壓準位而被寫入閃鎖電路 11 內。

當邏輯 0 的位元值自閃鎖電路 11 被讀取時，閃鎖電路 11 對耦接至閃鎖電路 11 之邏輯 0 儲存端點位元線的電壓準位進行放電。但在讀取的過程中，由於對應於閃鎖電路 11 的 0 邏輯值端的位元線會被儲存於閃鎖電路 11 內的 0 邏輯值放電至低電位，因此此位元線上的電荷就會灌進該閃鎖電路的 0 邏輯值端。且因存取開關開關元件元件(Me 或 Mf，亦稱為旁通開關元件)和閃鎖電路 11 內 N-型場效開關元件的分壓效應，閃鎖電路 11 內的單位儲存端點 (Na 或 Nb) 形成一干擾電位 (Disturb Voltage)、其亦稱為讀取干擾現象 (Read-Select-Disturb phenomenon)。如干擾電位過大，則可能改變儲存在該閃鎖電路內的邏輯值。如此一來，該控制單元就可能讀取到一錯誤的邏輯值。

另外，在讀取閃鎖電路 11 之位元值或是寫入閃鎖電路 11 之位元值的過程中，當字元線 14 的電壓準位被提升至高電壓準位時，耦接於字元線 14 上的每一個 SRAM 內的開關開關元件均會被導通，因此就會造成字元線 14 上未耦接於位元線 12 以及位元線 16 的該

SRAM 出現相當於讀取干擾的干擾現象，而可能改變儲存於其閃鎖電路內的邏輯值，亦即所謂的半選干擾現象(Half-Select-Disturb)。此半選干擾現象在讀取或寫入時均會產生，分別稱為讀取半選干擾現象(Read Half-Select-Disturb)及寫入半選干擾現象(Write Half-Select-Disturb)。

開關元件開關元件開關元件由於存取開關元件 (也就是第 1 圖中的開關元件 Me 和 Mf)須將欲寫入資料傳送至閃鎖電路 11 並將讀出的資料送至位元線，資料的讀取穩定性以及資料寫入速度便形成互相抗衡，須思考其平衡性的特點。為了降低讀取半選干擾現象以及半選干擾現象，須降低存取開關元件的尺寸。相反的，為了增加寫入邊界 (Write Margin)以及寫入速度，存取開關元件的尺寸須增大。此外，在先進製程中，SRAM 的供應電壓準位會降低，因此當 SRAM 中的開關元件之臨界電壓  $V_T$  的散佈 (scatter) 變大時，臨界電壓  $V_T$  亦會降低。所以，儲存在閃鎖電路 11 中的資料穩定度，容易受到 SRAM 中的開關元件之臨界電壓  $V_T$  之分佈或變化所影響。因此，在此領域中，提供穩定且高速的 SRAM 單元為首要考量。

### 【發明內容】

本發明之一目的為提供一種具有由資料控制之電源供應的 SRAM。

本發明之一示範性實施例揭露了一種具有由資料控制之電源供應的 SRAM，其包含一記憶格電路以及至少一寫入輔助電路。其中寫入輔助電路用以根據欲寫入至記憶格電路的資料提供電能至記憶格電路。

寫入輔助電路可包含複數個開關元件。舉例來說，寫入輔助電路可包含：一第一開關元件，具有耦接至一第一寫入字元線的一第一端、耦接至一第一預定電壓位準的一第二端，以及提供該電能至該記憶格電路的一第三端；以及一第二開關元件，具有耦接至一第二以欄為基準的寫入字元線的一第一端、耦接至該第一預定電壓位準的一第二端，以及提供該電能至該記憶格電路的一第三端。在一實施例中，寫入輔助電路可包含：一電能維持器，用以在該第一開關元件和該第二開關元件不導通時，提供電流至該記憶格電路。

記憶格電路可包含一 6T 結構，一 7T 結構、一 8T 結構或一 9T 結構。在一示範性實施例中，記憶格電路可使用點交叉雙層導通閘極結構。

在前述實施例中，寫入輔助電路可由資料所控制，並且可以根據輸入資料動態的調整電源供應 (也就是，V<sub>VDD1</sub> 和 V<sub>VDD2</sub>) 給左半邊和右半邊的記憶格 (也就是，記憶格電路中的閉鎖電路之兩反相器)。根據輸入資料動態的降低半邊記憶格的電源供應，此種做法可降低當相對邊的反相器維持未改變而保持其閉鎖力以及回饋機制



時，維持 PMOS 的電壓以促進記憶格資料儲存端的放電所造成之衝突，因此增加了寫入能力、寫入幅度以及寫入表現。由資料所控制的半邊記憶格之電源供應控制亦降低了動態控制電源供應時的雜訊，並增加了電源供應切換速度。因此，可以施行快速、低電能、低雜訊的動態電源切換，因此可增加寫入穩定度以及寫入的正確時間點。而且，電源供應切換（也就是寫入輔助電路導通/不導通的時間），因此可以增加對 PVT (Pressure-Volume-Temperature) 的耐受度。此外，前述實施例中每一欄（每一對位元線）最多僅需要 2 個開關元件以及 2 個電能維持器，不會對位元線造成額外的負擔。因此可以達到高效能、低電壓、低電能消耗，最小硬體負擔以及區域的電能供應機制。

### 【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地

電氣連接至該第二裝置。

第 2 圖繪示了根據本發明之示範性實施例的具有由資料控制之電源供應的 SRAM 之方塊圖。如第 2 圖所示，具有由資料控制之電源供應的 SRAM 200 包含了一寫入輔助電路 201 以及至少一記憶格電路 203, 205 (在此示範性實施例中，兩個記憶格電路)。寫入輔助電路 201 根據欲被寫入至記憶格電路 203, 205 之資料(也就是 DATA 和 DATA') 來提供電能 VVDD1 和 VVDD2 至記憶格電路 203, 205。請注意在一示範性實施例中，SRAM 的僅需要每一欄具有一寫入輔助電路，而不是每一記憶格 (cell)。

在某些較佳實施例中，使用在本發明中的記憶格電路包含了一雙層交叉點旁通閘極(cross-point。Double-layer pass-gate structure)結構。也就是說，記憶格電路包含了複數個資料儲存端點，且這些資料儲存端點分別由至少兩開關元件所控制。此雙層交叉點旁通閘極可為 6T 結構、7T 結構、8T 結構或是 9T 結構。

寫入輔助電路 201 包含多數開關元件 207~213 (在此示範性實施例中，四個開關元件)。此外，根據不同的電路設計，寫入輔助電路 201 可以包含多數邏輯電路 206、208。記憶格電路 203 可以包含多數反相器 215 和 217 來形成一閉鎖電路，且寫入輔助電路 201 亦包含多數開關元件 219~225。須注意的是，包含在寫入輔助電路 201 以及記憶格電路 203, 205 的元件僅用以舉例，並非用以限定本發

明。寫入輔助電路 201 以及記憶格電路 203, 205 的詳細結構將詳述如下。

第 3 圖至第 11 圖繪示了第 2 圖所示之根據本發明示範性實施例的 SRAM 之詳細結構的電路圖。如第 3 圖所示，寫入輔助電路 201 包含一開關元件 301 以及一開關元件 303 (此例中為 P 型金氧半導體電晶體)。開關元件 301 具有耦接至一寫入字元線 307 的一控制端、耦接至該第一預定電壓位準 VDD 的一端，以及提供電能 VVDD1 至記憶格電路 203 的另一端。開關元件 303，具有耦接至一第一寫入字元線 305 的一控制端、耦接至一第一預定電壓位準 VDD 的一端，以及提供電能 VVDD2 至記憶格電路 203 的另一端。

此外，記憶格電路 203 包含一閉鎖電路 309、開關元件 311~317。第 3 圖中所示的記憶格電路之結構亦可稱為雙層交叉點旁通閘極結構。其代表記憶格電路 203 的資料存取點分別由至少兩個開關元件來控制。閉鎖電路 309 具有一資料儲存端 N1 以及一資料儲存端 N2，並具有電能接收端 P1 和 P2，用以接收來自寫入輔助電路 201 的電能 VVDD1 和 VVDD2。開關元件 311 具有一位元轉換端 B1 耦接於資料儲存端 N1，一控制端耦接於一以欄為基準的寫入字元線 305，以及一位元轉換端。開關元件 313 具有一位元轉換端 B3 耦接於該第二資料儲存端 N2，一控制端耦接於一以欄為基準的寫入字元線 307，和一位元轉換端 B4 耦接於該位元轉換端 B2。開關元件 315 具有一位元轉換端 B5 耦接於位元轉換端 B4，一控制端耦接於一以

列為基準的字元線 319，和一位元轉換端 B6 耦接於一位元線 321。開關元件 317 具有一控制端耦接於資料儲存端 N1，一端耦接於開關元件 315 之第五位元轉換端 B5，以及另一端耦接於一參考電位  $V_{VSS}$ 。

此外，記憶格電路 203 可更包含一感測放大器，耦接於位元線，用以判斷藉由位元線 321 所傳遞之位元值。然而，感測放大器未繪示於本案的第 3 圖中。

如第 2 圖所示，寫入輔助電路 201 根據欲被寫入至記憶格電路 203, 205 之資料(也就是寫入字元線 305 和 307 所傳輸的資料) 來提供電能  $V_{VDD1}$  和  $V_{VDD2}$  至記憶格電路 203, 205。因此，若資料 0 欲被寫入至閉鎖電路 309，寫入字元線 305 為 0 且寫入字元線 307 為 1，使得開關元件 301 關閉 (不導通) 而開關元件 303 開啟 (導通)。相反的，若資料 1 欲被寫入至閉鎖電路 309，寫入字元線 305 為 1 且寫入字元線 307 為 0，使得開關元件 301 開啟 (導通) 而開關元件 303 關閉 (不導通)。

除了寫入資料 0 或 1 的狀態之外，記憶格電路 203、205 可以工作在一待機模式或一讀取模式。

第 3 圖所示的示範性實施例中，不同狀態下的  $V_{VDD1}$  和  $V_{VDD2}$  值可以如表 1 所示。

	待機	讀取	寫入 “1”	寫入 “0”
VVDD1	VDD	VDD	VDD	< VDD
VVDD2	VDD	VDD	< VDD	VDD

表 1

此外，在第 3 圖的示範性實施例中，其它傳輸線如字元線 319、位元線 321、寫入字元線 305、307 以及參考電壓準位 VVSS 可如表二所示。

	待機	讀取	寫入 “1”	寫入 “0”
321	1	X	0	0
319	0	1	1	1
307	0	0	0	1
305	0	0	1	0
VVSS	X	0	1	0

表 2

根據第 3 圖所示的示範性實施例以及表 1 和表 2 的數據，可明顯看出寫入輔助電路 201 根據欲被寫入至記憶格電路 203, 205 之資料來提供電能 VVDD1 和 VVDD2 至記憶格電路 203, 205。

除了第 3 圖所示的元件，寫入輔助電路 201 更包含作為電能維持電路 (power keeper) 使用的開關元件，如第 4 圖所示的開關元件 401

和 403。開關元件 401 和 403 可協助開關元件 301 和 303 提供更穩定的電能  $V_{VDD1}$  和  $V_{VDD2}$ 。開關元件可如第 4 圖所示般為 P 型金氧半導體。此外，亦可以使用 N 型金氧半導體電晶體來作為電能維持電路，例如第 5 圖所示的 N 型金氧半導體電晶體 501 和 503。請注意第 5 圖中所示的示範性實施例更包含反相器 505 和 507。反相器 505 耦接於開關元件 303 的閘極和寫入字元線 305 之間。此外，反相器 507 耦接於開關元件 301 的閘極和寫入字元線 307 之間。

此外，記憶體電路 203 可包含第 3 圖和第 4 圖所示之結構外的其他結構。比較第 3 圖、第 4 圖和第 6 圖所示的示範性實施例，開關元件 317 在第 6 圖中被移除，因此第 6 圖中的記憶格電路 203 係使用了 7T 結構。

第 6 圖所示的示範性實施例，在不同狀態下的電壓  $V_{VDD1}$  和  $V_{VDD2}$  之值，可如表 1 所示。

然而，在第 6 圖的示範性實施例中，傳輸線如字元線 319、位元線 321、寫入字元線 305、307 以及參考電壓準位  $V_{VSS}$  和第 3 圖的示範性實施例略有不同，可如表 3 所示。

	待機	讀取	寫入 “1”	寫入 “0”
321	1	X	0	0

319	0	1	1	1
307	0	1	0	1
305	0	1	1	0

表 3

此外，9T 架構亦可被施行至記憶格電路 203，如第 7 圖所示的示範性實施例。比較第 3 圖、第 4 圖和第 7 圖所示的示範性實施例，第 7 圖的示範性實施例可更包含一開關元件 701，因此第 7 圖中的記憶格電路 203 係使用了 9T 結構。

第 7 圖所示的示範性實施例，在不同狀態下的電壓  $V_{VDD1}$  和  $V_{VDD2}$  之值，可如表 1 所示。此外，在第 7 圖的示範性實施例中，傳輸線如字元線 319、位元線 321、寫入字元線 305、307 以及參考電壓準位  $V_{VSS}$  之值和表 2 所示相同。

此外，寫入輔助電路 201 可更包含位於記憶格電路以及一地電位之間的其他元件，來協助寫入輔助電路 201 寫入資料至記憶格電路中的閉鎖電路。如第 8 圖所示，寫入輔助電路 800 包含了反相器 801, 803 以及開關元件 805, 807。開關元件 805 之汲極透過反相器 801 耦接至寫入字元線 305，其閘極耦接至記憶格電路 203，且其源極耦接至一地電位。

開關元件 807 之汲極耦接至記憶格電路 203、其閘極透過反相器

803 耦接至寫入字元線 307，且其源極耦接至地電位。開關元件 805, 807 (此例中為 N 型金氧半導體電晶體) 可增加將資料寫入至閉鎖電路 309 的效率。除了開關元件 805, 807，寫入輔助電路 800 可更包含開關元件 809, 811 做為電能維持電路。開關元件 809 之汲極耦接至開關元件 805 之源極、其源極耦接至開關元件 805 之源極，且其閘極耦接至一預定電壓位準。開關元件 811 之汲極耦接至開關元件 807 之汲極，其源極耦接至開關元件 807 之源極，其閘極耦接至預定電壓位準。須注意的是，寫入輔助電路 800 不一定要包含電能維持電路，因此開關元件 809 和 811 可以自寫入輔助電路 800 被移除。

在第 8 圖的示範性實施例中，傳輸線如字元線 319、位元線 321、寫入字元線 305、307 以及參考電壓準位  $VVSS$  之值和表 2 所示相同。

此外，第 8 圖所示的示範性實施例，在不同狀態下的電壓  $VVDD1$ 、 $VVDD2$ 、 $VVSS1$  和  $VVSS2$  之值，可如表 4 所示。

	待機	讀取	寫入 "1"	寫入 "0"
$VVDD1$	VDD	VDD	VDD	$< VDD$
$VVDD2$	VDD	VDD	$< VDD$	VDD
$VVSS1$	VSS	VSS	$> VSS$	VSS
$VVSS2$	VSS	VSS	VSS	$> VSS$

表 4



第 9 圖至第 11 圖繪示了第 2 圖所示之根據本發明示範性實施例的單端結構的電路圖。在第 9 圖所示的示範性實施例中，記憶格電路 901 係為一 6T 結構。比較第 6 圖至第 9 圖中的示範性實施例，開關元件 311 自第 9 圖所示的示範性實施例被移除。除了開關元件 903~909(此例中為 P 型金氧半導體電晶體)和開關元件 911~913(此例中為 N 型金氧半導體電晶體)，寫入輔助電路 902 和 904 可更包含邏輯電路 913、915 和 917。在此示範性實施例中，開關元件 903~909 和開關元件 911~913(即電能開關)可透過邏輯電路 914、915 和 917，由寫入致能門線 919 和位元線 920 的邏輯值所控制。藉此，反相器 925 和 927 可根據寫入致能門線 919 和位元線 920 的邏輯值所控制。

在待機/存取狀態中，寫入致能門線 919 之邏輯值為 1。而在寫入狀態時，寫入致能門線 919 之邏輯值為 0。當寫入資料 0 時，開關元件 903 關閉。此外，當寫入資料 1 時，開關元件 905 和開關元件 911 關閉。而且，寫入資料 0 時的電壓  $V_{VDD1}$  以及寫入資料 1 時的電壓  $V_{VDD2}/V_{VSS1}$ ，可由開關元件 907、909 和開關元件 913 之尺寸決定。請注意，開關元件 907、909 和開關元件 913 可自第 9 圖所示之實施例被移除。在此示範性實施例中，邏輯電路 913 包含一 NOR 閘 929，邏輯電路 915 包含一反相器 933 以及一 NOR 閘 931，且邏輯電路 917 包含一反相器 935 以及一 NAND 閘 937。

第 9 圖所示的示範性實施例中，不同狀態下的  $V_{VDD1}$ 、 $V_{VDD2}$

以及 VVSS1 可以如表 1 所示。

	待機	讀取	寫入 “1”	寫入 “0”
VVDD1	VDD	VDD	VDD	< VDD
VVDD2	VDD	VDD	< VDD	VDD
VVSS1	VSS	VSS	> VSS	VSS

表 5

此外，在第 9 圖的示範性實施例中，其它傳輸線如字元致能線 919、位元線 920、寫入字元線 921、923 可如表 6 所示。

	待機	讀取	寫入 “1”	寫入 “0”
919	1	1	0	0
920	1	X	1	0
921	0	1	1	1
923	0	1	1	1

表 6

記憶格電路之結構未被限制於第 9 圖中的示範性實施例。舉例來說，7T 結構可被使用在記憶格電路上，如第 10 圖所示。比較第 9 圖和第 10 圖所示之示範性實施例，第 10 圖中的實施例更包含了一開關元件 1001。第 10 圖所示的示範性實施例中，不同狀態下的 VVDD1、VVDD2 以及 VVSS1 可如前述表 5 所示。

此外，在第 10 圖的示範性實施例中，其它傳輸線如字元致能線 919、位元線 920、寫入字元線 921、923 與表 6 略有不同，可如表 7 所示。

	待機	讀取	寫入 “1”	寫入 “0”
919	1	1	0	0
920	1	X	1	0
921	0	1	1	1
923	0	0	1	1
VVSS	X	0	X	X

表 7

此外，8T 結構可被施行至記憶格電路，如第 11 圖所示。比較第 10 圖和第 11 圖的示範性實施例，第 10 圖所示的示範性實施例包含了一開關元件 1101。第 11 圖所示的示範性實施例，在不同狀態下的電壓 VVDD1 和 VVDD2 之值，可如表 5 所示。此外，在第 11 圖的示範性實施例中，傳輸線如字元致能線 919、位元線 920、寫入字元線 921、923 以及參考電壓準位 VVSS 之值和表 7 所示相同。

在前述實施例中，寫入輔助電路可由資料所控制，並且可以根據輸入資料動態的調整電源供應 (也就是，VVDD1 和 VVDD2) 給左半邊和右半邊的記憶格 (也就是，記憶格電路中的閉鎖電路之兩反相器)。根據輸入資料動態的降低半邊記憶格的電源供應，此種做法可

降低當相對邊的反相器維持未改變而保持其閉鎖力以及回饋機制時，維持 PMOS 的電壓以促進記憶格資料儲存端的放電所造成之衝突，因此增加了寫入能力、寫入幅度以及寫入表現。由資料所控制的半邊記憶格之電源供應控制亦降低了動態控制電源供應時的雜訊，並增加了電源供應切換速度。因此，可以施行快速、低電能、低雜訊的動態電源切換，因此可增加寫入穩定度以及寫入的正確時間點。而且，電源供應切換（也就是寫入輔助電路導通/不導通的時間），因此可以增加對 PVT (Pressure-Volume-Temperature) 的耐受度。此外，前述實施例中每一欄（每一對位元線）最多僅需要 2 個開關元件以及 2 個電能維持器，不會對位元線造成額外的負擔。因此可以達到高效能、低電壓、低電能消耗，最小硬體負擔以及區域的電能供應機制。

以上所述僅為本發明之較佳示範性實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖繪示了習知技術之 SRAM。

第 2 圖繪示了根據本發明之示範性實施例的具有由資料控制之電源供應的 SRAM 之方塊圖。

第 3 圖至第 8 圖繪示了第 2 圖所示之根據本發明示範性實施例的 SRAM 之詳細結構的電路圖。

第9圖至第11圖繪示了第2圖所示之根據本發明示範性實施例的單端結構的電路圖。

【主要元件符號說明】

10 SRAM 單元

11 門鎖電路

11a、11b 反相器

14, 319 字元線

12 第一位元線

16 第二位元線

200 SRAM

201、800 寫入輔助電路

203、205、901 記憶格電路

206、208、913、915、917 邏輯電路

207~213 開關元件

215、505、507、801、803、925、927、933、935 反相器

219~225, 311~317、1001、1101 開關元件

301、303、401、403、903~909 開關元件

305 第一寫入字元線

307 第二寫入字元線

309 閉鎖電路

321、920 位元線

501、503、805、807、809、811、911~913 開關元件

919 寫入致能門線

921、923 寫入字元線

929、931 NOR 閘

937 NAND 閘

## 七、申請專利範圍：

1. 一種具有由資料控制之電源供應的 SRAM，包含：
  - 一記憶格電路；以及
  - 至少一寫入輔助電路，用以根據欲寫入至該記憶格電路的資料提供電能至該記憶格電路，包含：
    - 一第一開關元件，具有耦接至一第一以欄為基準的寫入字元線的一第一端、耦接至一第一預定電壓位準的一第二端，以及提供該電能至該記憶格電路的一第三端；以及
    - 一第二開關元件，具有耦接至一第二以欄為基準的寫入字元線的一第一端、耦接至該第一預定電壓位準的一第二端，以及提供該電能至該記憶格電路的一第三端。
2. 如申請專利範圍第 1 項所述之 SRAM，其中該記憶格電路包含複數資料儲存端點，且該些資料儲存端點分別由至少兩開關元件所控制。
3. 如申請專利範圍第 1 項所述之 SRAM，其中該寫入輔助電路包含：
  - 一電能維持器，用以在該第一開關元件和該第二開關元件不導通時，提供電流至該記憶格電路。
4. 如申請專利範圍第 3 項所述之 SRAM，其中該電能維持器包含：
  - 一第三開關元件，具有耦接至一地電位的一第一端、耦接至該第一

開關元件開關元件之該第三端的一第二端，以及耦接至該第一預定電壓位準的一第三端；以及

一第四開關元件，具有耦接至該地電位的一、耦接至該第二開關元件開關元件之該第三端的一第二端，以及耦接至該第一預定電壓位準的一第三端。

5.如申請專利範圍第1項所述之SRAM，其中該寫入輔助電路包含：

一第一反相器；

一第二反相器；

一第三開關元件，具有耦接至該記憶格電路的一第一端、透過該第一反相器而耦接至該第一以欄為基準的寫入字元線的一第二端，以及耦接至一地電位的一第三端；以及

一第四開關元件，具有耦接至該記憶格電路的一第一端、透過該第二反相器而耦接至該第二以欄為基準的寫入字元線的一第二端，以及耦接至該地電位的一第三端。

6.如申請專利範圍第5項所述之SRAM，其中該寫入輔助電路包含：

一第五開關元件，具有耦接至該第一開關元件的該第一端之一第一端、耦接至該第三開關元件之該第三端的一第二端，以及耦接至該第一預定電壓位準的一第三端；以及

一第六開關元件，具有耦接至該第二開關元件的該第一端之一第一端、耦接至該第四開關元件開關元件之該第三端的一第二端，以及耦接至該第一預定電壓位準的一第三端。



- 7.如申請專利範圍第 1 項所述之 SRAM，其中該記憶格電路包含：
- 一閉鎖電路，具有一第一資料儲存端以及一第二資料儲存端，並具有電能接收端，用以接收來自該寫入輔助電路的該電能；
  - 一第三開關元件，具有一第一位元轉換端耦接於該第一資料儲存端，一第一控制端耦接於該第一以欄為基準的寫入字元線，和一第二位元轉換端；
  - 一第四開關元件，具有一第三位元轉換端耦接於該第二資料儲存端，一第二控制端耦接於該第二以欄為基準的寫入字元線，和一第四位元轉換端耦接於該第二位元轉換端；
  - 一第五開關元件，具有一第五位元轉換端耦接於該第四位元轉換端，一第三控制端耦接於一以列為基準的字元線，和一第六位元轉換端耦接於一位元線；以及
  - 一感測放大器，耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值。
- 8.如申請專利範圍第 7 項所述之 SRAM，其中該記憶格電路包含：
- 一第六開關元件，具有一控制端耦接於該第一資料儲存端，一第一端耦接於該第五開關元件之該第五位元轉換端，以及一第二端耦接於一參考電位。
9. 如申請專利範圍第 8 項所述之 SRAM，其中該記憶格電路包含：
- 一第七開關元件，具有一第一端耦接於該第五開關元件之該第五位

元轉換端，一第二端耦接於該第六開關元件之該第一端以及一控制端耦接於該字元線。

10. 一種具有由資料控制之電源供應的 SRAM，包含：

一記憶格電路；

至少一寫入輔助電路，用以根據欲寫入至該記憶格電路的資料提供電能至該記憶格電路，包含；

一第一開關元件，具有耦接至該記憶格電路的一第一端，透過一第一反相器耦接至一第一以欄為基準的寫入字元線的一第二端，以及耦接至一第一預定電位的一第三端，其中該第一反相器耦接於該第一開關元件的該第二端以及該第一以欄為基準的寫入字元線之間；

一第二開關元件，具有耦接至該記憶格電路的一第一端、透過一第二反相器耦接至一第二以欄為基準的寫入字元線的一第二端，以及耦接至該第一預定電位的一第三端，其中該第二反相器耦接於該第二開關元件的該第二端以及該第二以欄為基準的寫入字元線之間；

一第三開關元件，具有耦接至該第一預定電壓位準的一第一端，耦接至該第一開關元件之該第三端的一第二端，以及耦接至該第一開關元件的該第一端之一第三端；以及

一第四開關元件，具有耦接至該第一開關元件的一第一端，耦接至該第二開關元件的該第三端之一第二端，以及耦接至該第二開關元件之該第一端的一第三端。

11. 一種具有由資料控制之電源供應的 SRAM，包含：

一記憶格電路；以及

至少一寫入輔助電路，用以根據欲寫入至該記憶格電路的資料提供電能至該記憶格電路，包含：

一寫入致能閃線；

一第一邏輯電路，耦接至該寫入致能閃線以及一位元線，來產生一第一控制訊號；

一第二邏輯電路，耦接至該寫入致能閃線以及該位元線，來產生一第二控制訊號；

一第一開關元件，具有接收該第一控制訊號的一第一端，耦接至一第一預定電壓準位的一第二端，以及提供該電能至該記憶格電路的一第三端；以及

一第二開關元件，具有接收該第二控制訊號的一第一端，耦接至該第一預定電壓準位的一第二端，以及提供該電能至該記憶格電路的一第三端。

12. 如申請專利範圍第 11 項所述之 SRAM，其中該寫入輔助電路包含：

一電能維持器，用以在該第一開關元件和該第二開關元件不導通時，提供電流至該記憶格電路。

13. 如申請專利範圍第 12 項所述之 SRAM，更包含：

- 一第三開關元件，具有耦接至一地電位的一第一端，耦接至該第一開關元件之該第三端的一第二端，以及耦接該第一預定電壓準位的一第三端；以及
- 一第四開關元件，具有耦接至該地電位的一第一端，耦接至該第二開關元件之該第三端的一第二端，以及耦接該第一預定電壓準位的一第三端。

14.如申請專利範圍第 11 項所述之 SRAM，其中該寫入輔助電路包含：

- 一第三邏輯電路，耦接至該寫入致能門線以及該位元線，以產生一第三控制訊號；以及
- 一第三開關元件，具有接收該第三控制訊號的一第一端，耦接至一地電位的一第二端，以及耦接至該記憶格電路的一第三端。

15. 如申請專利範圍第 14 項所述之 SRAM，其中該寫入輔助電路包含：

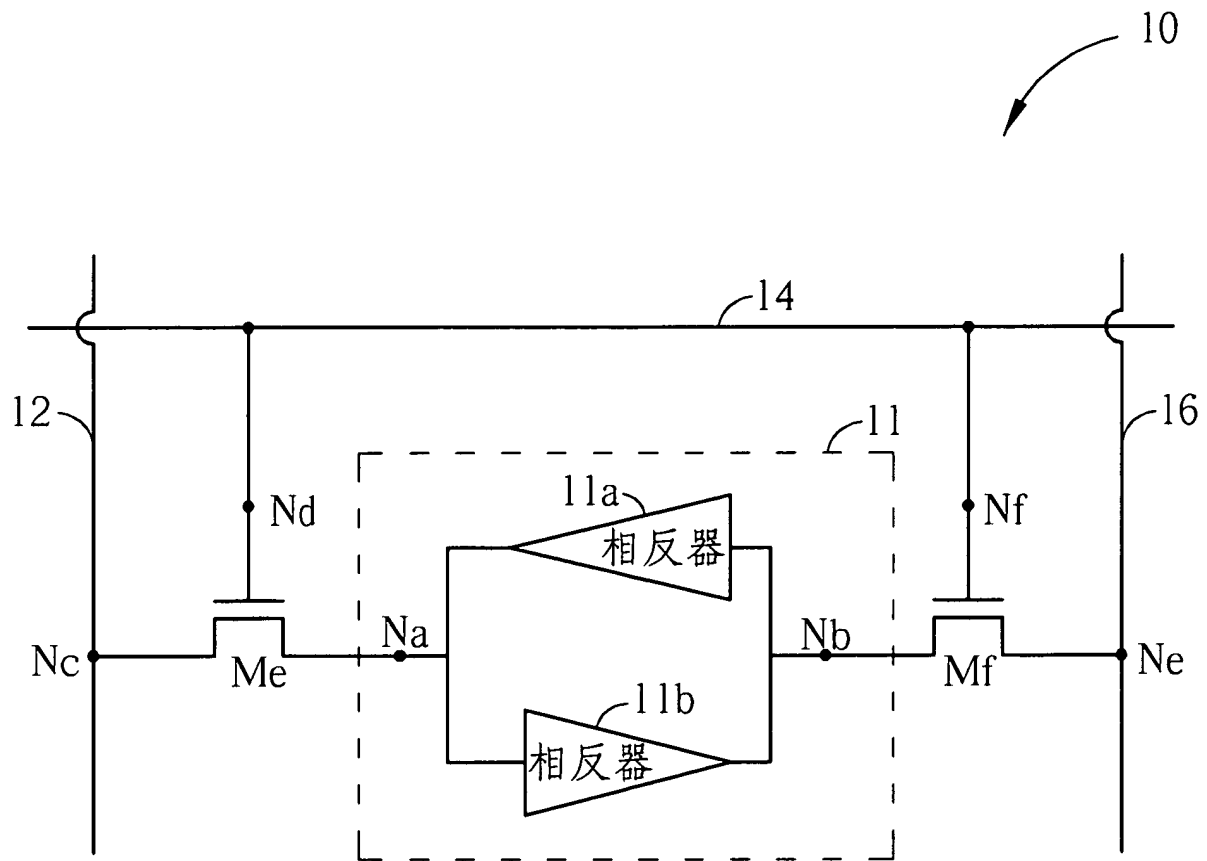
- 一電能維持器，用以在該第一開關元件不導通時，提供電流至該記憶格電路。

16. 如申請專利範圍第 15 項所述之 SRAM，其中該電能維持器包含：

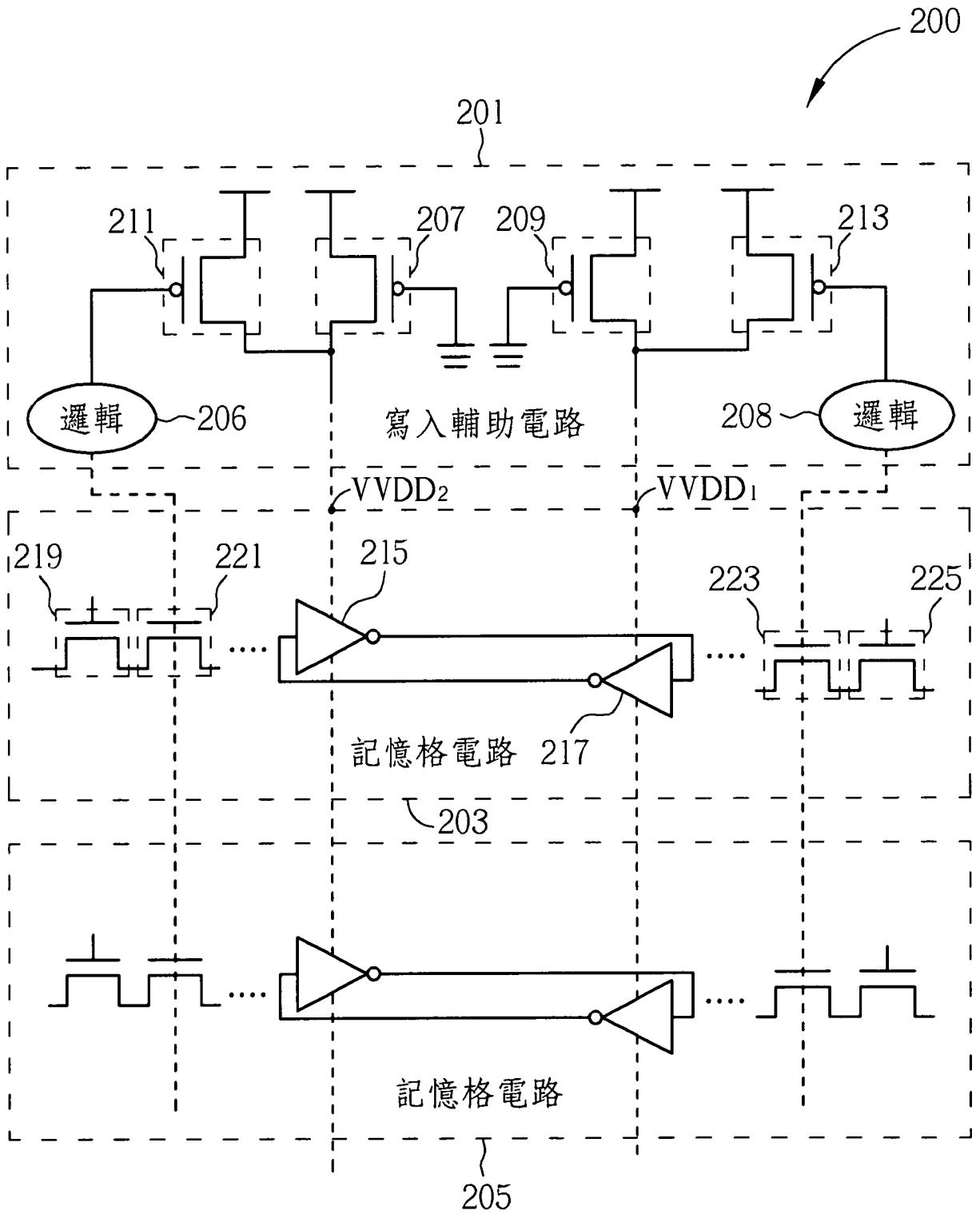
- 一第四開關元件，具有耦接至該第一預定電壓位準的一第一端，耦接至該地電位的一第二端，以及耦接至該第三開關元件之該第三端之一第三端。

17. 如申請專利範圍第 11 項所述之 SRAM，其中該記憶格電路包含：
- 一閉鎖電路，具有一第一資料儲存端以及一第二資料儲存端，並具有電能接收端，用以接收來自該寫入輔助電路的該電能；
  - 一第三開關元件，具有一第一位元轉換端耦接於該第一資料儲存端，一第一控制端耦接於一第一以欄為基準的寫入字元線，和一第二位元轉換端；
  - 一第四開關元件，具有一第三位元轉換端耦接於該第二位元轉換端，一第二控制端耦接於一第二以欄為基準的寫入字元線，和一第四位元轉換端耦接於一位元線。
18. 如申請專利範圍第 17 項所述之 SRAM，其中該記憶格電路更包含：
- 一第五開關元件，具有一控制端耦接至該第二資料儲存端，一第一端耦接於該第四開關元件的該第三位元轉換端，以及一第二端耦接於一參考電壓位準。
19. 如申請專利範圍第 17 項所述之 SRAM，其中該記憶格電路更包含：
- 一第六開關元件，具有一控制端耦接至該第二以列為基準的字元線，一第一端耦接至該第二開關元件的該第三位元轉換端，以及一第二端耦接於該第五開關元件的該第一端。

八、圖式：

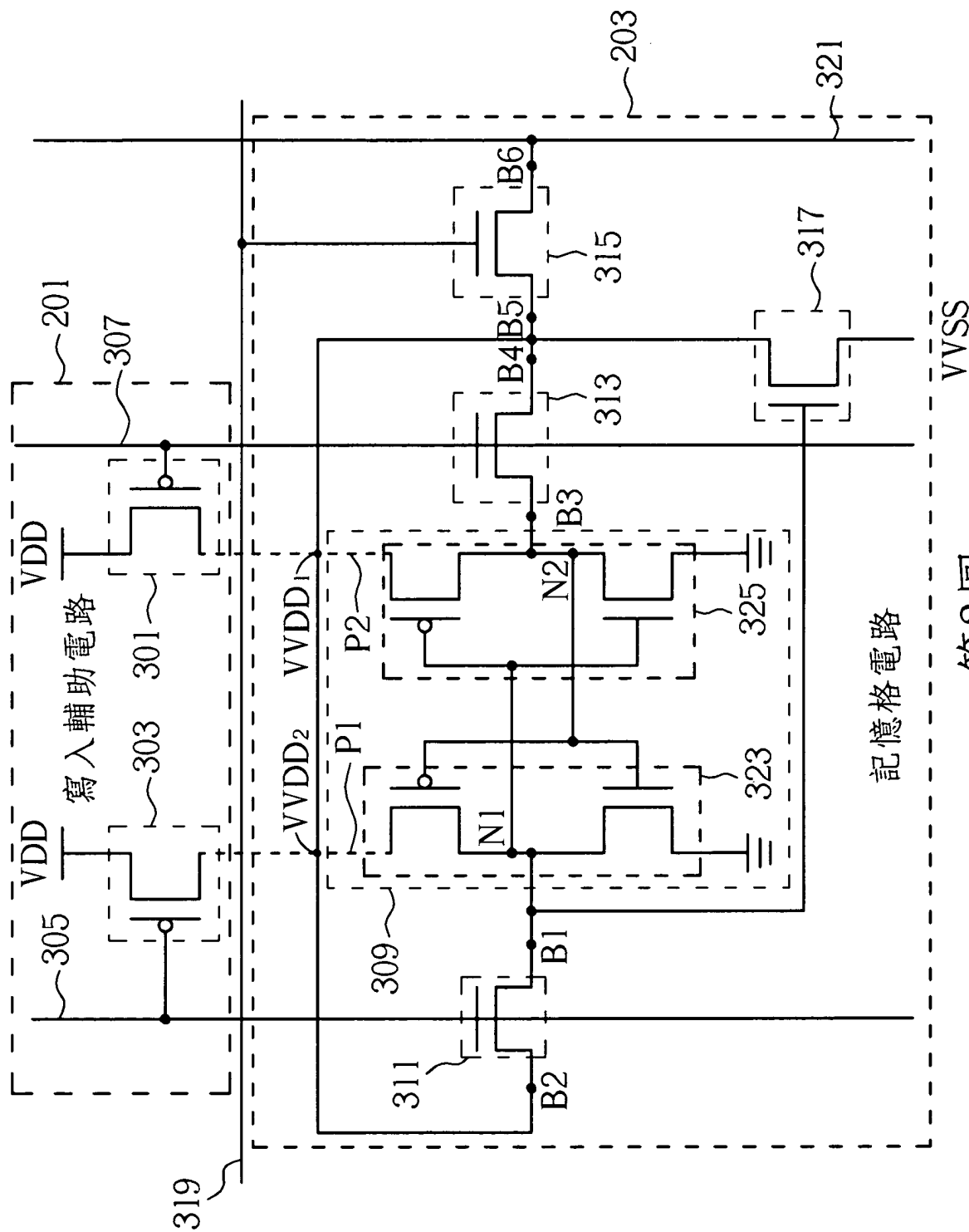


第1圖

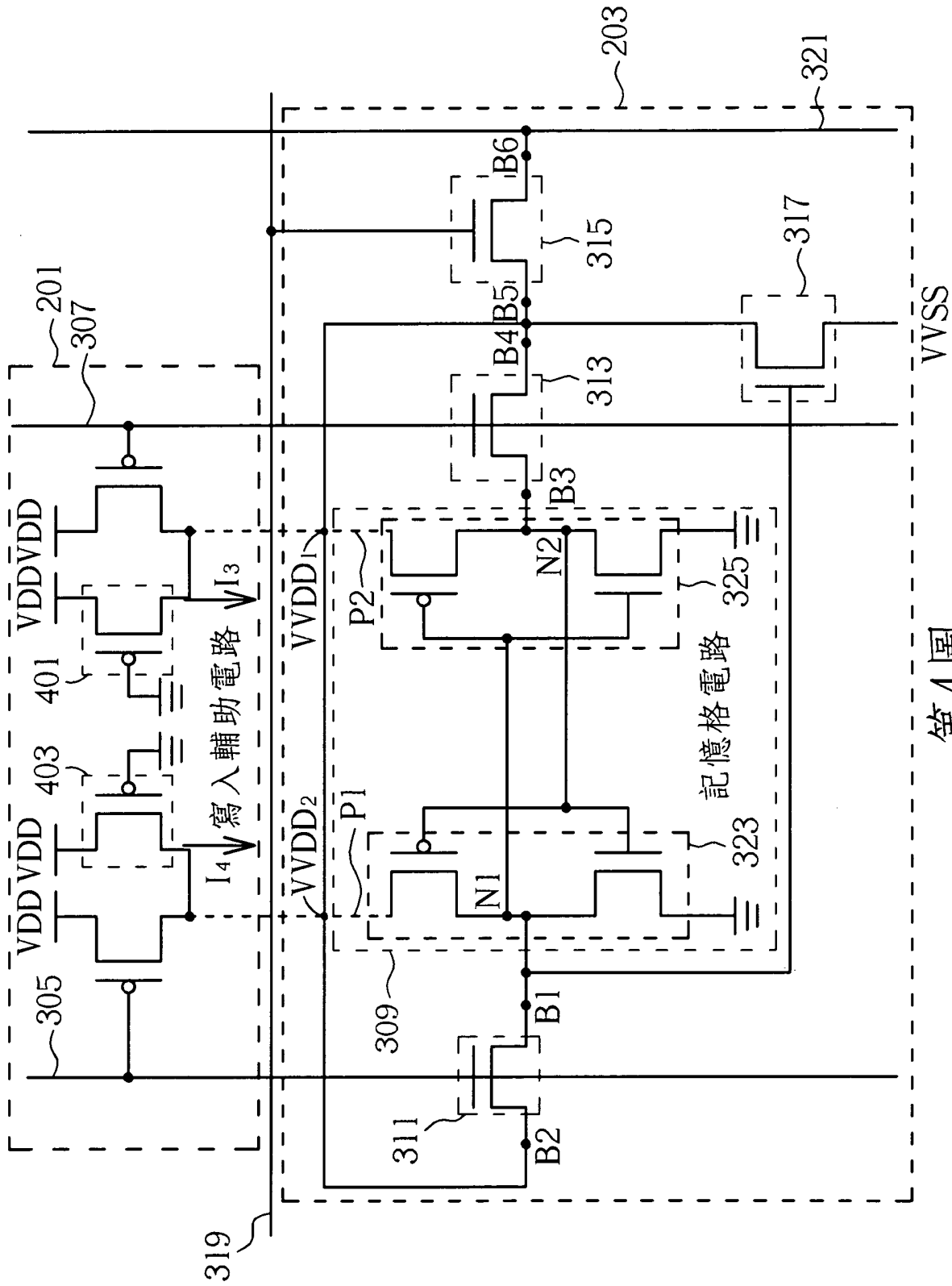


第2圖



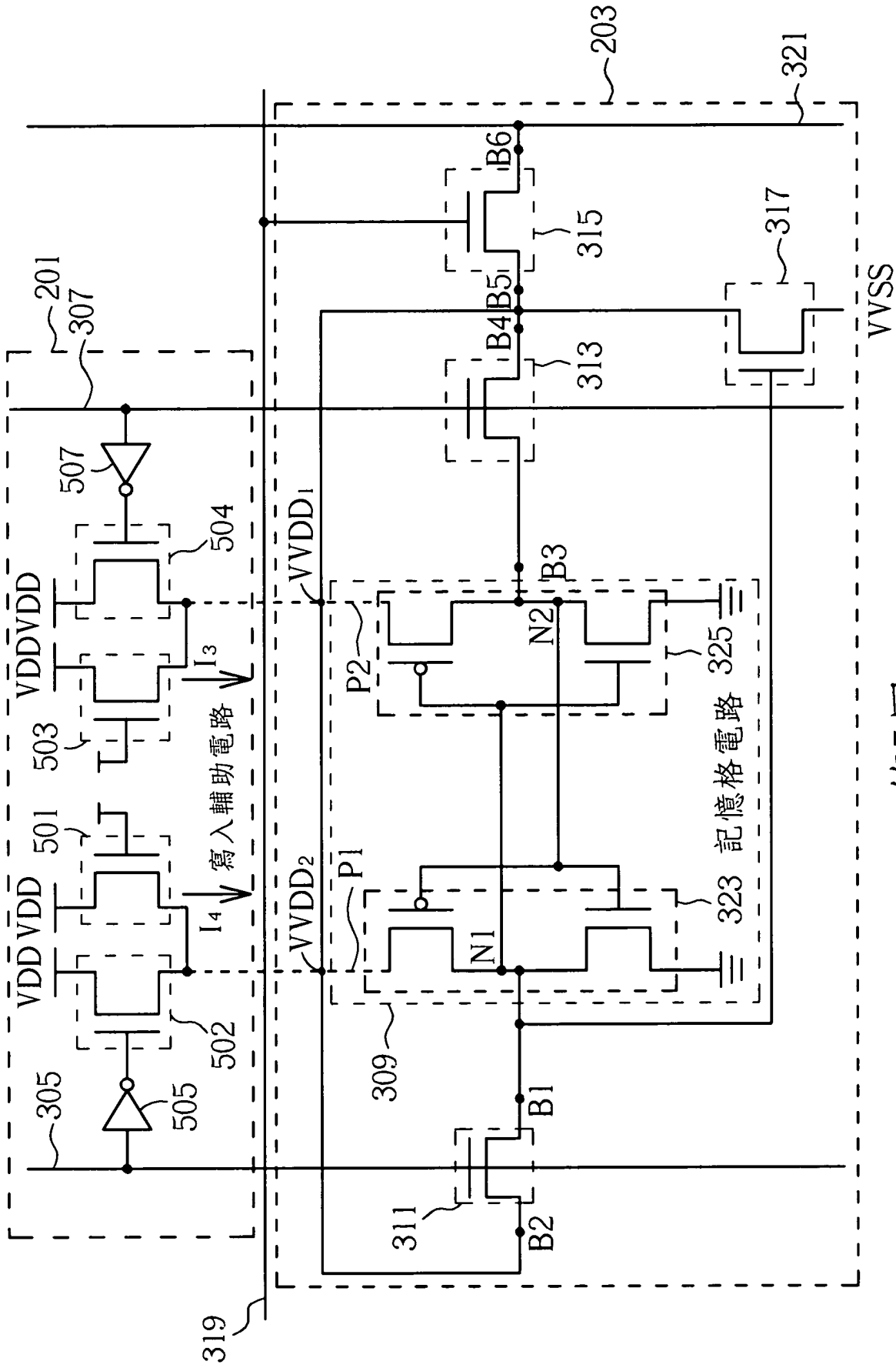


記憶格電路 第3圖

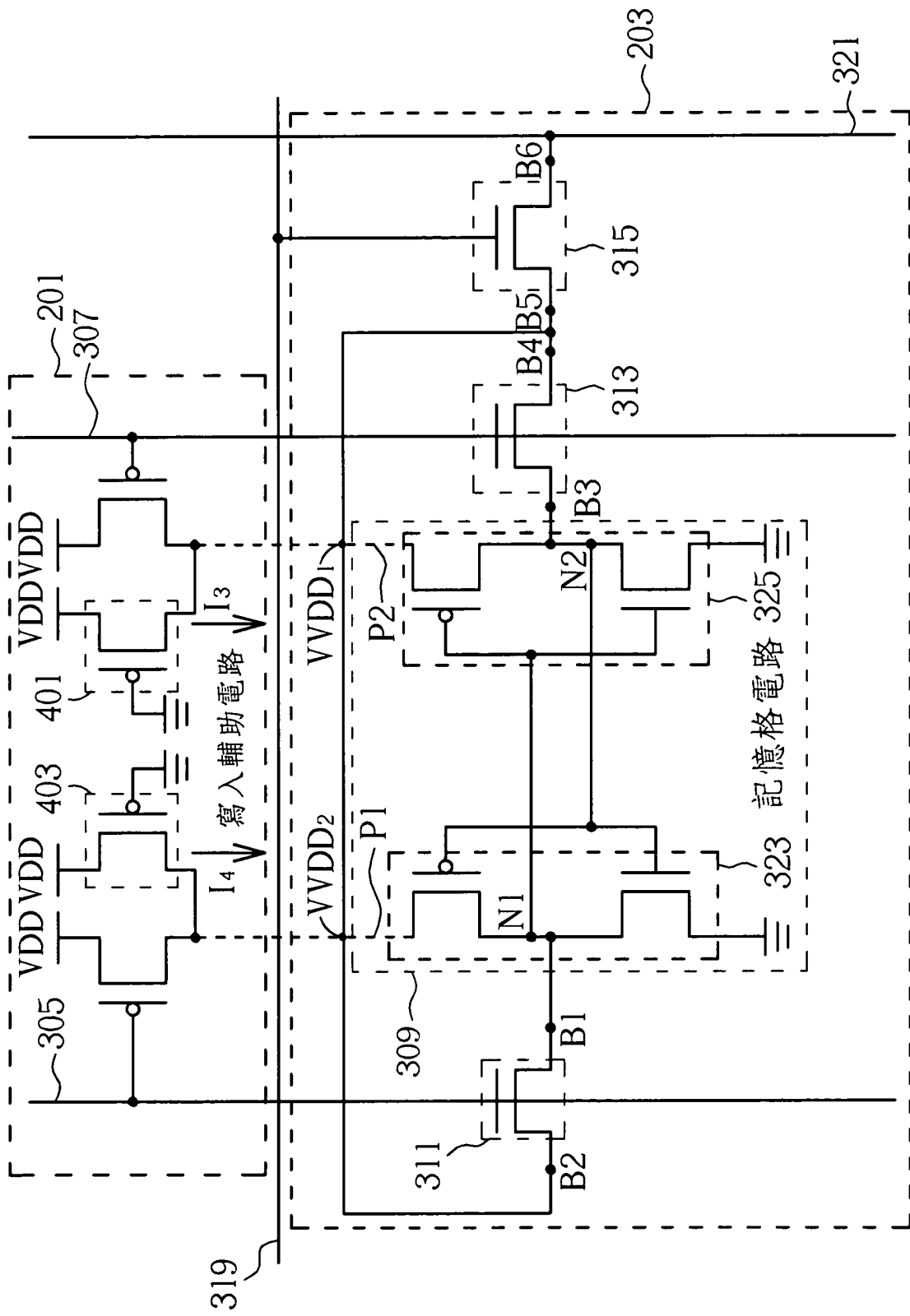


第4圖



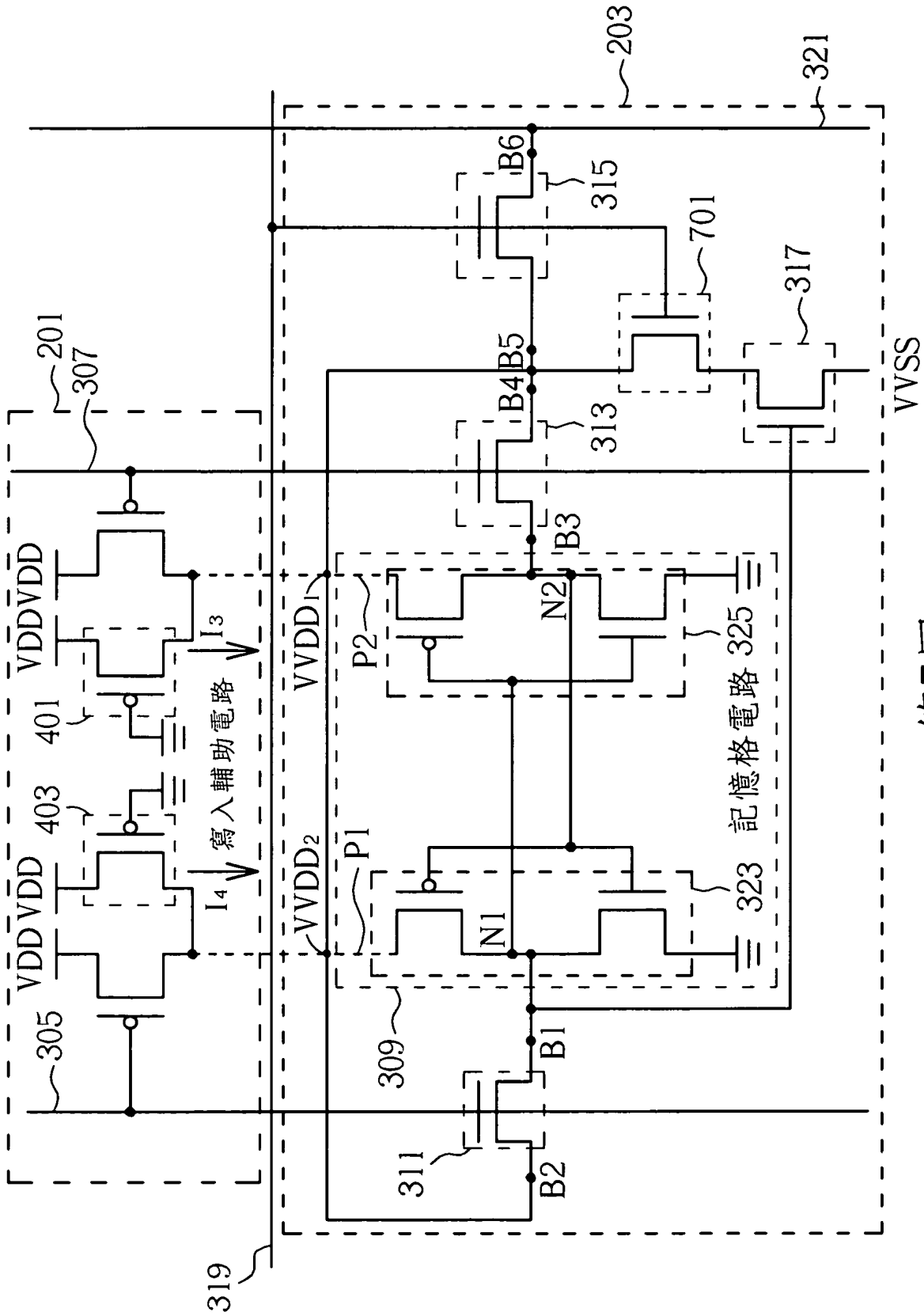


第5圖



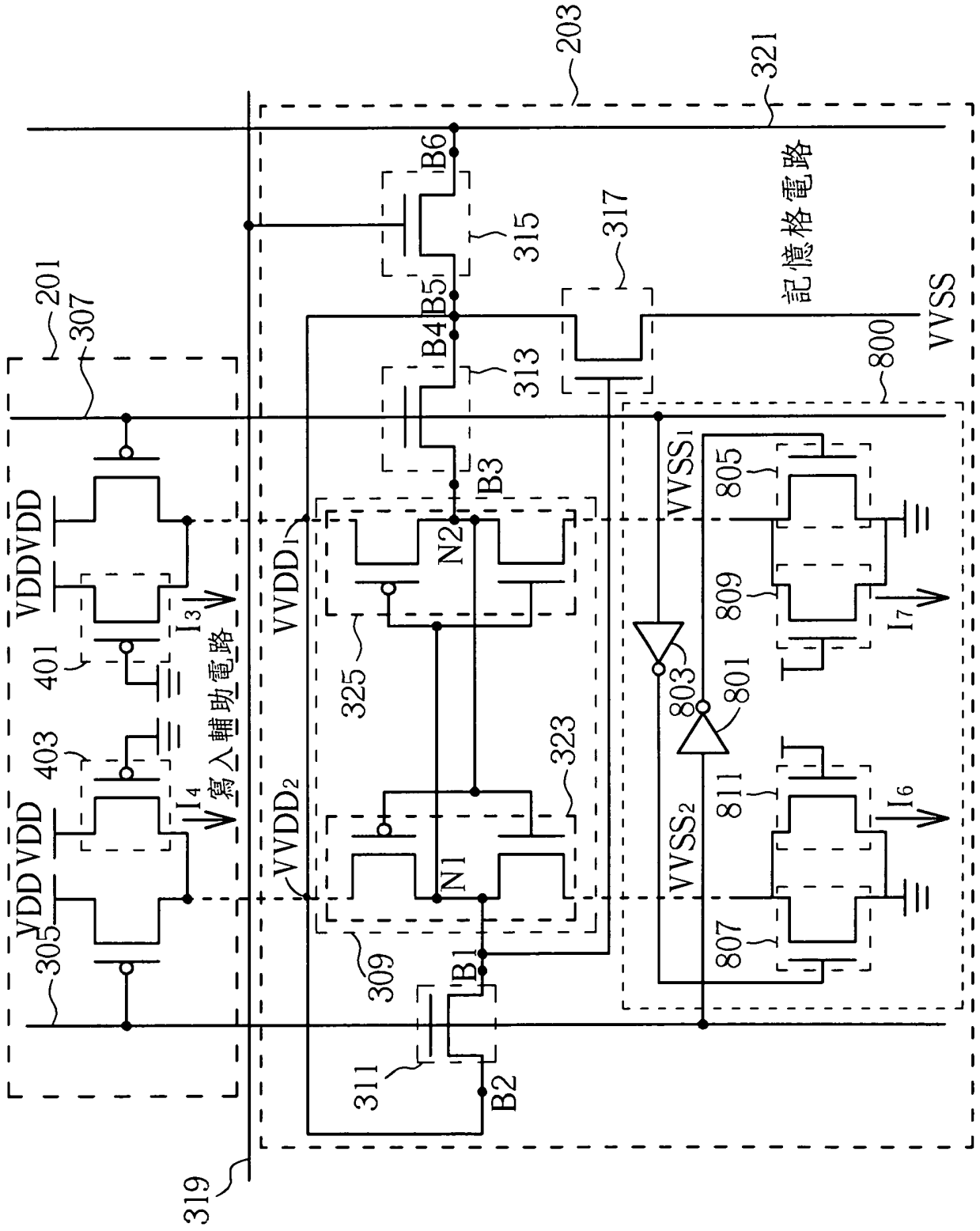
第6圖

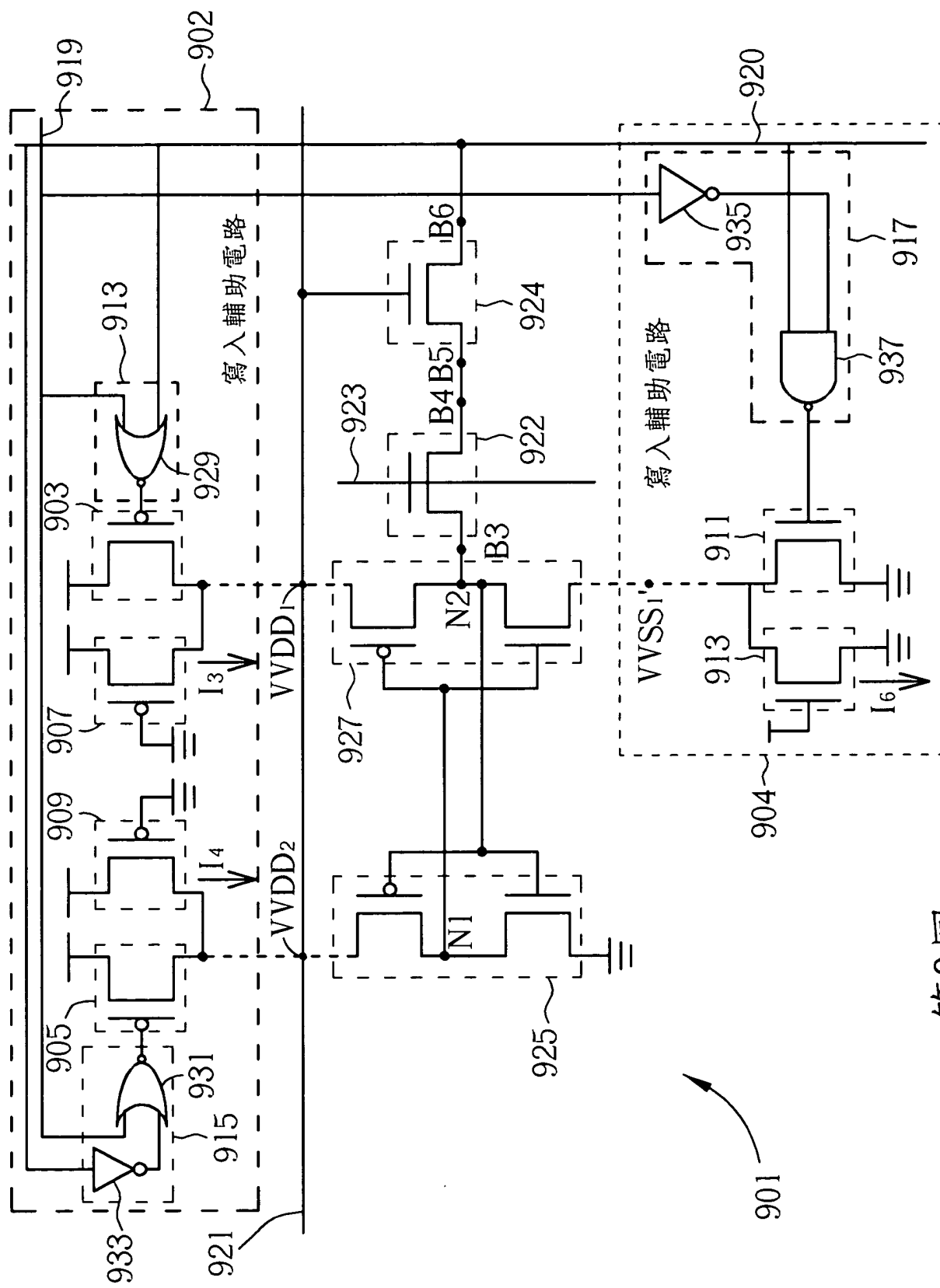




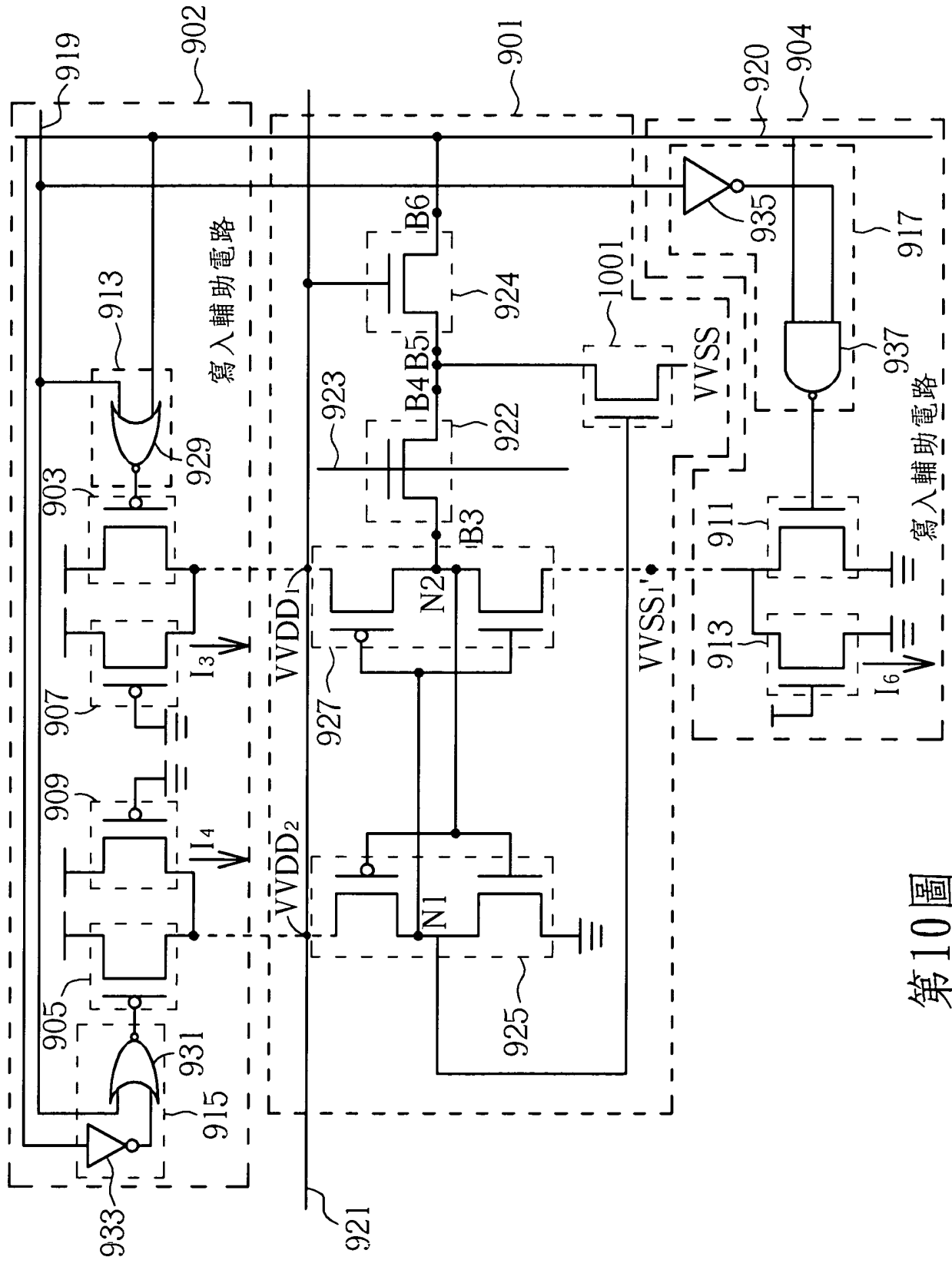
第7圖

第8圖





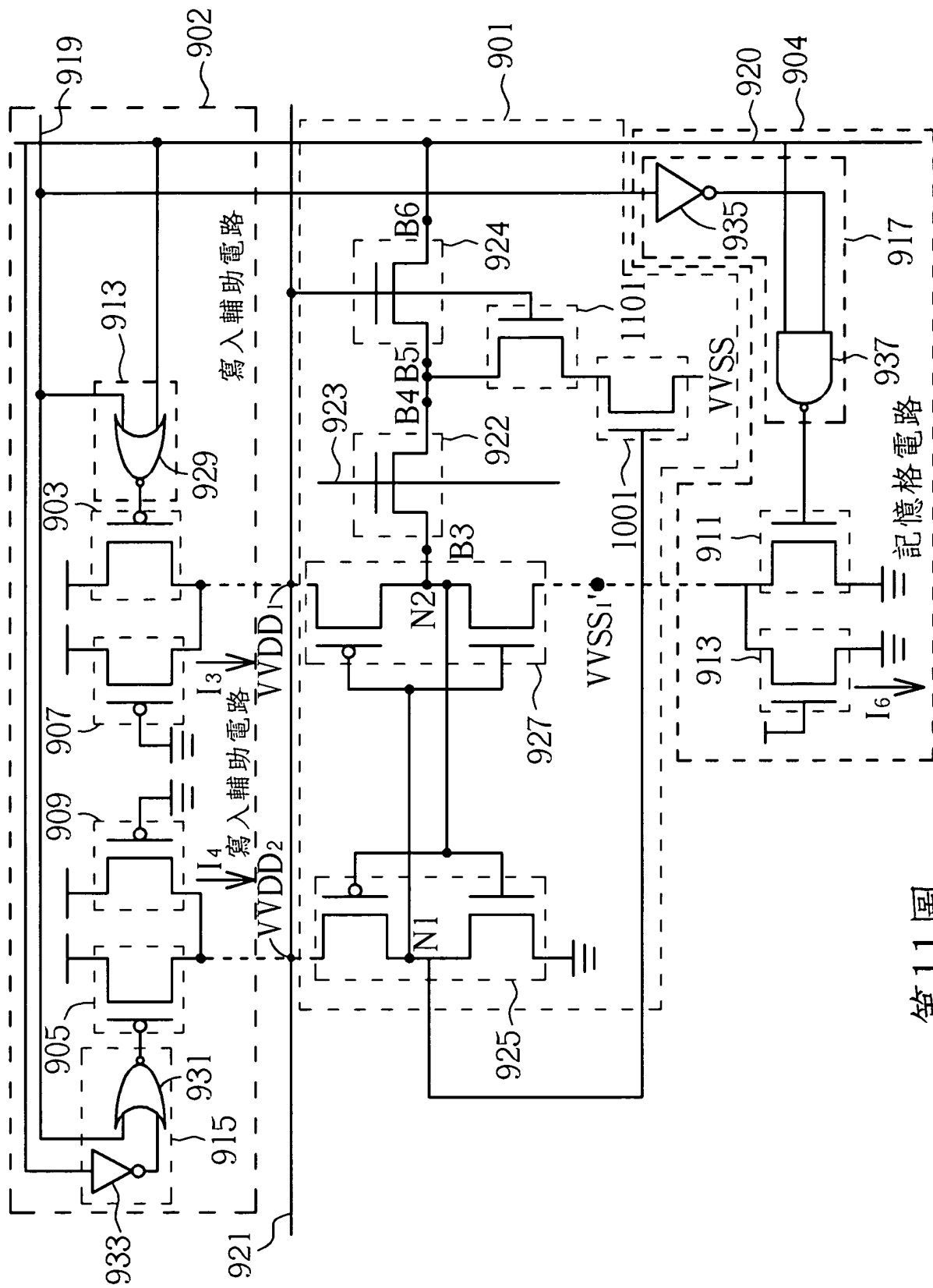
第9圖



第10圖







第11圖