



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I423426 B

(45)公告日：中華民國 103 (2014) 年 01 月 11 日

(21)申請案號：099140070

(22)申請日：中華民國 99 (2010) 年 11 月 19 日

(51)Int. Cl. : H01L27/092 (2006.01)

H01L21/8238(2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：莊紹勳 CHUNG, STEVE. S (TW)；謝易叡 HSIEH, E. R. (TW)

(74)代理人：蘇翔

(56)參考文獻：

US 2010/0276662A1

"Silicon-on-Insulator Technology: Materials to VLSI, 1991, 茂昌圖書
IEEE T-ED, 42 (8), p.1481, 1995.

審查人員：趙天生

申請專利範圍項數：10 項 圖式數：6 共 0 頁

(54)名稱

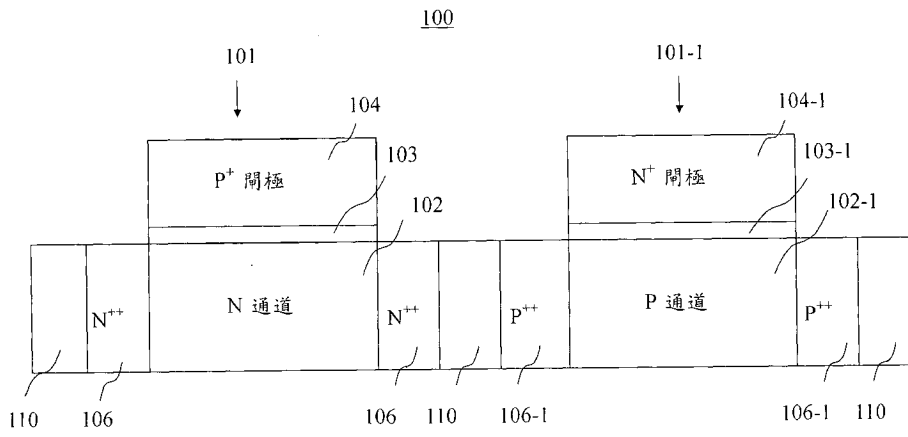
使用無源極和汲極接面場效電晶體之基本互補式邏輯閘之構造及其製造方法

A STRUCTURE AND PROCESS OF BASIC COMPLEMENTARY LOGIC GATE MADE BY
JUNCTIONLESS TRANSISTORS

(57)摘要

本發明提出一種使用無源極、汲極接面之場效電晶體之基本互補式邏輯閘之構造及其製造方法，於半導體晶圓(wafer)上，形成無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道電晶體，在電晶體間以導電之連接結構互相連接，形成基本互補式邏輯閘(如 inverter,NAND,NOR 等邏輯閘)。

The present invention discloses a structure and process of basic complementary logic gate made by junctionless transistors. A junctionless N channel transistor and a junctionless P channel transistor are formed on a semiconductor wafer, a conducting contact structure is used to connect the transistor to form a basic complementary logic gate such as inverter, NAND, NOR, etc.



第 1 圖

- 101 . . . N 通道電晶體
- 101-1 . . . P 通道電晶體
- 102 . . . N 通道
- 102-1 . . . P 通道
- 103、103-1 . . . 閘極絕緣層
- 104 . . . P+ 閘極導電層
- 104-1 . . . N+ 閘極導電層
- 106 . . . N++ 摻雜區
- 106-1 . . . P++ 摻雜區
- 110 . . . 導電之連接結構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99/40070 H01L 27/092 (2006.01)

※申請日： 99.11.19 ※IPC 分類： H01L 21/8238 (2006.01)

一、發明名稱：(中文/英文)

使用無源極和汲極接面場效電晶體之基本互補式邏輯閘之構造及其製造方法

A STRUCTURE AND PROCESS OF BASIC COMPLEMENTARY LOGIC GATE MADE BY JUNCTIONLESS TRANSISTORS

二、中文發明摘要：

本發明提出一種使用無源極、汲極接面之場效電晶體之基本互補式邏輯閘之構造及其製造方法，於半導體晶圓(wafer)上，形成無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道電晶體，在電晶體間以導電之連接結構互相連接，形成基本互補式邏輯閘(如 inverter, NAND, NOR 等邏輯閘)。

三、英文發明摘要：

The present invention discloses a structure and process of basic complementary logic gate made by junctionless transistors. A junctionless N channel transistor and a junctionless P channel transistor are formed on a semiconductor wafer, a conducting contact structure is used to connect the transistor to form a basic complementary logic gate such as inverter, NAND, NOR, etc.

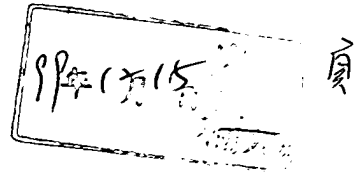
四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

101	N 通道電晶體	101-1	P 通道電晶體
102	N 通道	102-1	P 通道
103、103-1	閘極絕緣層	104	P+閘極導電層
104-1	N+閘極導電層	106	N++摻雜區
106-1	P++摻雜區	110	導電之連接結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種使用無源極、汲極接面之場效電晶體之基本互補式邏輯閘之構造及其製造方法，特別是一種新的邏輯設計基本單元可取代目前 CMOS 電路使用之邏輯元件(如 inverter, NAND, NOR 等邏輯閘構成的積體電路。)

【先前技術】

無源、汲極接面電晶體—即有別於傳統的場效電晶體由閘極、源極接面和汲極接面所構成，無源極接面、汲極接面場效電晶體則是只有閘極但無源極和汲極接面的傳統擴散 pn 接面，如此可更簡單地控制通道有效長度，並且製程相對簡單，有利於場效電晶體進一步微縮。

目前的無源、汲極接面電晶體之技術尚處於元件驗證階段(device level)，在電路設計應用層面(circuit level)相對匱乏。

授予 Sarunya Bangsaruntip 等人之美國專利第 7,534,675 B2 號提出一種製造奈米線場效電晶體之技術，在 SOI 層上沉積奈米線作通道，再於奈米線上製作閘極及金屬半導體合金等，但僅限於場效電晶體階段，未提及如何用於電路設計。授予 Sarunya Bangsaruntip 等人之另一美國專利第 7,795,677B2 號提出一種改良前述第 7,534,675 B2 之製程，亦未提及如何用於電路設計。

故有一種需求，如何利用無源極接面、汲極接面之場效電晶體實現電晶體電路結構及邏輯單元。

本發明即針對此一需求，提出一種針對無源、汲極接面電晶體，可製作並實現之電晶體電路結構及邏輯單元。

【發明內容】

本發明之目的在提供一種無源極、汲極接面場效電晶體之

基本互補式邏輯閘，以製作面積更小、速度更快、更容易製作的基本邏輯設計單元。

本發明之次一目的在提供一種無源極、汲極接面場效電晶體之基本互補式邏輯閘，以降低消耗功率、提升操作速率、縮小單元面積。

本發明之另一目的在提供一種使用無源極、汲極接面場效電晶體之基本互補式邏輯閘，以應用於 VLSI 20 奈米節點及其以後之技術。

本發明之第一觀點教導一種使用無源極和汲極接面場效電晶體的基本互補式邏輯閘結構，包含：半導體晶圓(wafer)，例如半導體 III-IV 族材料所形成之晶圓、半導體矽形成之晶圓、半導體鍺形成之晶圓、半導體矽化物形成之晶圓、半導體應變材料形成之晶圓，於其上形成緊鄰之無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道電晶體，電晶體可為奈米線通道電晶體、SOI 上之奈米線通道電晶體、SOI 上之雙面閘極或三面閘極電晶體；電晶體間以導電之連接結構互相連接，形成基本互補式邏輯閘，導電之連接結構為金屬半導體化合物、多晶態半導體或金屬。

本發明之第二觀點教導一種使用無源極和汲極接面場效電晶體的基本互補式邏輯閘之製造方法，包括反向器(inverter)，非及閘(NAND)，非或閘(NOR)等邏輯閘，包含下列步驟：於半導體晶圓上形成 N 摻雜區及 P 摻雜區作場效電晶體之通道區；於半導體晶圓上覆一層閘極絕緣層；於閘極絕緣層上形成導電層；形成緊鄰之無源極和汲極之 N 通道電晶體及無源極和汲極之 P 通道電晶體；於閘極以外之 N 摻雜區形成 N⁺⁺摻雜，P 摻雜區形成 P⁺⁺摻雜；在電晶體間以連接結構互相連接，形成基本互補式邏輯閘。

【實施方式】

本發明之以上及其他目的及優點參考以下之參照圖示及最佳實施例之說明而易於完全瞭解。

請參考第 1 圖，第 1 圖係顯示依據本發明較佳實施例使用無源極、汲極接面場效電晶體的反向器之剖面圖。緊鄰之無源極和汲極接面之 N 通道電晶體 101 及無源極和汲極接面之 P 通道電晶體 101-1，N 通道電晶體 101 具有 N 通道 102、閘極絕緣層 103 及 P+閘極導電層 104、閘極以外之 N++摻雜區 106；P 通道電晶體 101-1 具有 P 通道 102-1、閘極絕緣層 103-1 及 N+閘極導電層 104-1、閘極以外之 P++摻雜區 106-1。電晶體間以導電之連接結構 110 互相連接，形成基本互補式邏輯閘。

請參考第 2 圖(A)，第 2 圖(A)係顯示依據本發明較佳實施例使用無源極、汲極接面奈米線通道場效電晶體的反向器之俯視圖。奈米線 N 通道場效電晶體 201 具有奈米線 N 通道 202(見第 2 圖(B))、閘極絕緣層 203 及 P+閘極導電層 204、閘極以外之 N++摻雜區 206；奈米線 P 通道電晶體 201-1 具有奈米線 P 通道 202-1、閘極絕緣層 203-1 及 N+閘極導電層 204-1、閘極以外之 P++摻雜區 206-1。電晶體間以導電之連接結構 210 互相連接，形成基本互補式邏輯閘。

請參考第 3 圖，第 3 圖係顯示依據本發明較佳實施例使用無源極、汲極接面 SOI(或 UBT SOI)場效電晶體的反向器之剖面圖。SOI 晶圓 301 上有絕緣層 302，絕緣層上之半導體層即形成緊鄰之無源極和汲極接面之 N 通道電晶體 101 及無源極和汲極接面之 P 通道電晶體 101-1，N 通道電晶體 101 具有 N 通道 102、閘極絕緣層 103 及 P+閘極導電層 104、閘極以外之 N++摻雜區 106；P 通道電晶體 101-1 具有 P 通道 102-1、閘極絕緣層 103-1 及 N+閘極導電層 104-1、閘極以外之 P++摻雜區 106-1。閘極側邊有絕緣邊牆 307，閘極上有連接結構 110。電晶體間以導電之連接結構 110 互相連接，形成基本互補式邏輯閘。

請參考第 4 圖，第 4 圖(A)係顯示依據本發明較佳實施例使用無源極、汲極接面雙面閘極場效電晶體的反向器之俯視圖

及雙面閘極之剖面圖。N 通道 202、P 通道 202-1、P+閘極導電層 204 及兩端之連接結構 210 皆與第 2 圖同，且閘極有導電之連接結構 410，但 P 通道電晶體閘極(參考第 4 圖(B)之雙面閘極之剖面圖)除頂面之 N+閘極導電層 404-1、閘極絕緣層 403-1 外，另有底面之 N+閘極導電層 404-2、閘極絕緣層 403-2，圖中厚絕緣層 405 不足以形成閘極。

請參考第 5 圖，第 5 圖係顯示依據本發明較佳實施例使用無源極、汲極接面雙面閘極場效電晶體的反向器之俯視圖及三面閘極之剖面圖。N 通道 202、P 通道 202-1 及兩端之連接結構 510 皆與第 4 圖同，且閘極有導電之連接結構 510，但 P 通道電晶體閘極 202-1(參考第 5 圖(B)三面閘極之剖面圖)除頂面之 N+閘極導電層 504-1、閘極絕緣層 503-1、底面之 N+閘極導電層 504-2、閘極絕緣層 503-2 之外，另有側面之 N+閘極導電層 503-3、閘極絕緣層 504-3 以形成三面閘極。

請參考第 6 圖，第 6 圖係顯示依據本發明較佳實施例使用兩個 N 通道、兩個 P 通道無源極、汲極接面之互補式邏輯閘電路之透視圖。SOI 晶圓 602 上有絕緣層 603，絕緣層上之半導體層即形成緊鄰之無源極和汲極接面之 N 通道電晶體 601-1、601-2 及無源極和汲極接面之 P 通道電晶體 601-3、601-4。N 通道電晶體 601-1、601-2 具有 N 通道 602-1、602-2、閘極絕緣層 603-1、603-2 及 P+閘極導電層 604-1、604-2、閘極以外之 N++摻雜區 606-1、606-2；P 通道電晶體 601-3、601-4 具有 P 通道 602-3、602-4、閘極絕緣層 603-3、603-4 及 N+閘極導電層 604-3、604-4、閘極以外之 P++摻雜區 606-3、606-4。閘極側邊有絕緣邊牆 607，閘極上有導電之連接結構 610。電晶體間以導電之連接結構 610 互相連接，形成基本互補式邏輯閘。

藉由以上較佳之具體實施例之詳述，係希望能更加清楚描述本創作之特徵與精神，而並非以上述所揭露的較佳具體實例來對本發明之範疇加以限制。相反的，其目的是希望能涵蓋各

種改變及具相等性的安排於本發明所欲申請之專利範疇內。

【圖式簡單說明】

第 1 圖係顯示依據本發明較佳實施例使用無源極、汲極接面場效電晶體的反向器之剖面圖。

第 2 圖(A)係顯示依據本發明較佳實施例使用無源極、汲極接面奈米線通道場效電晶體的反向器之俯視圖；

第 2 圖(B) 係顯示閘極之剖面圖。

第 3 圖係顯示依據本發明較佳實施例使用無源極、汲極接面 SOI(或 UBT SOI)場效電晶體的反向器之剖面圖。

第 4 圖(A)係顯示依據本發明較佳實施例使用無源極、汲極接面雙面閘極場效電晶體的反向器之俯視圖；

第 4 圖(B) 係顯示雙面閘極之剖面圖。

第 5 圖係顯示依據本發明較佳實施例使用無源極、汲極接面三面閘極場效電晶體的反向器之俯視圖及三面閘極之剖面圖。

第 6 圖係顯示依據本發明較佳實施例使用兩個 N 通道、兩個 P 通道無源極、汲極接面之互補式邏輯閘電路之透視圖。

【主要元件符號說明】

100	使用無源極、汲極接面場效電晶體的反向器		
101	N 通道電晶體	101-1	P 通道電晶體
102	N 通道	102-1	P 通道
103、103-1	閘極絕緣層	104	P+閘極導電層
104-1	N+閘極導電層	106	N++摻雜區
106-1	P++摻雜區	110	導電之連接結構
201	N 通道電晶體	201-1	P 通道電晶體
202	N 通道	203	P 通道
204	P+閘極導電層	204-1	N+閘極導電層
206	N++摻雜區	206-1	P++摻雜區
210	導電之連接結構	301	SOI 晶圓
302	絕緣層	307	絕緣邊牆

403-1、403-2 閘極絕緣層 404-1、404-2 P+閘極導電層
405 厚絕緣層 410 導電之連接結構
503-1、503-2、503-3 閘極絕緣層
504-1、504-2、504-3 N+閘極導電層
510 導電之連接結構 601-1、601-2 N通道電晶體
601-3、601-4 P通道電晶體
602-1、602-2 N通道 602-3、602-4 P通道
603-1、603-2、603-3、603-4 閘極絕緣層
604-1、604-2 P+閘極導電層
604-3、604-4 N+閘極導電層
606-1、606-2 N++摻雜區 606-3、606-4 P++摻雜區
607 絕緣邊牆 610 導電之連接結構

七、申請專利範圍：

1. 一種使用無源極和汲極接面場效電晶體的基本互補式邏輯閘結構，至少包含：

半導體晶圓(wafer)上形成緊鄰之無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道電晶體；

電晶體間以導電之連接結構互相連接，形成基本互補式邏輯閘。

2. 一種使用無源極和汲極接面場效電晶體的基本互補式邏輯閘之製造方法，包括反向器(inverter)，非及閘(NAND)，非或閘(NOR)等邏輯閘，至少包含下列步驟：

於半導體晶圓上形成 N 摻雜區及 P 摻雜區作場效電晶體之通道區；

該半導體晶圓上覆一層閘極絕緣層；

於該閘極絕緣層上形成導電層；

形成緊鄰之無源極和汲極之 N 通道電晶體及無源極和汲極之 P 通道電晶體；

於閘極以外之 N 摻雜區形成 N⁺⁺摻雜，P 摻雜區形成 P⁺⁺摻雜；

在電晶體間以連接結構互相連接，形成基本互補式邏輯閘。

3. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該半導體晶圓為半導體 III-IV 族材料所形成之晶圓。

4. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該半導體晶圓為半導體矽形成之晶圓。

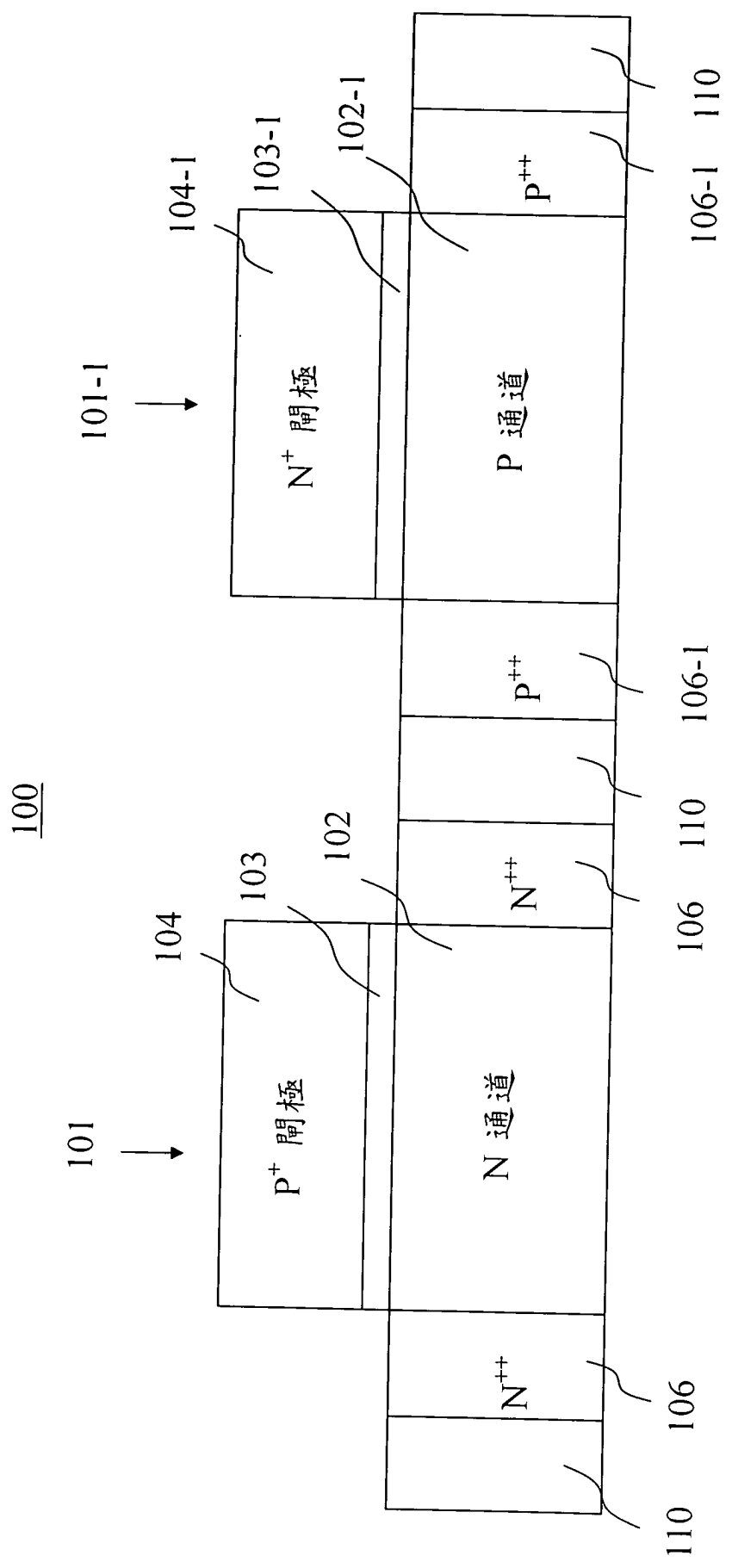
5. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該半導體晶圓為半導體鍺形成之晶圓。

6. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道電晶體為奈米線通道電晶體。

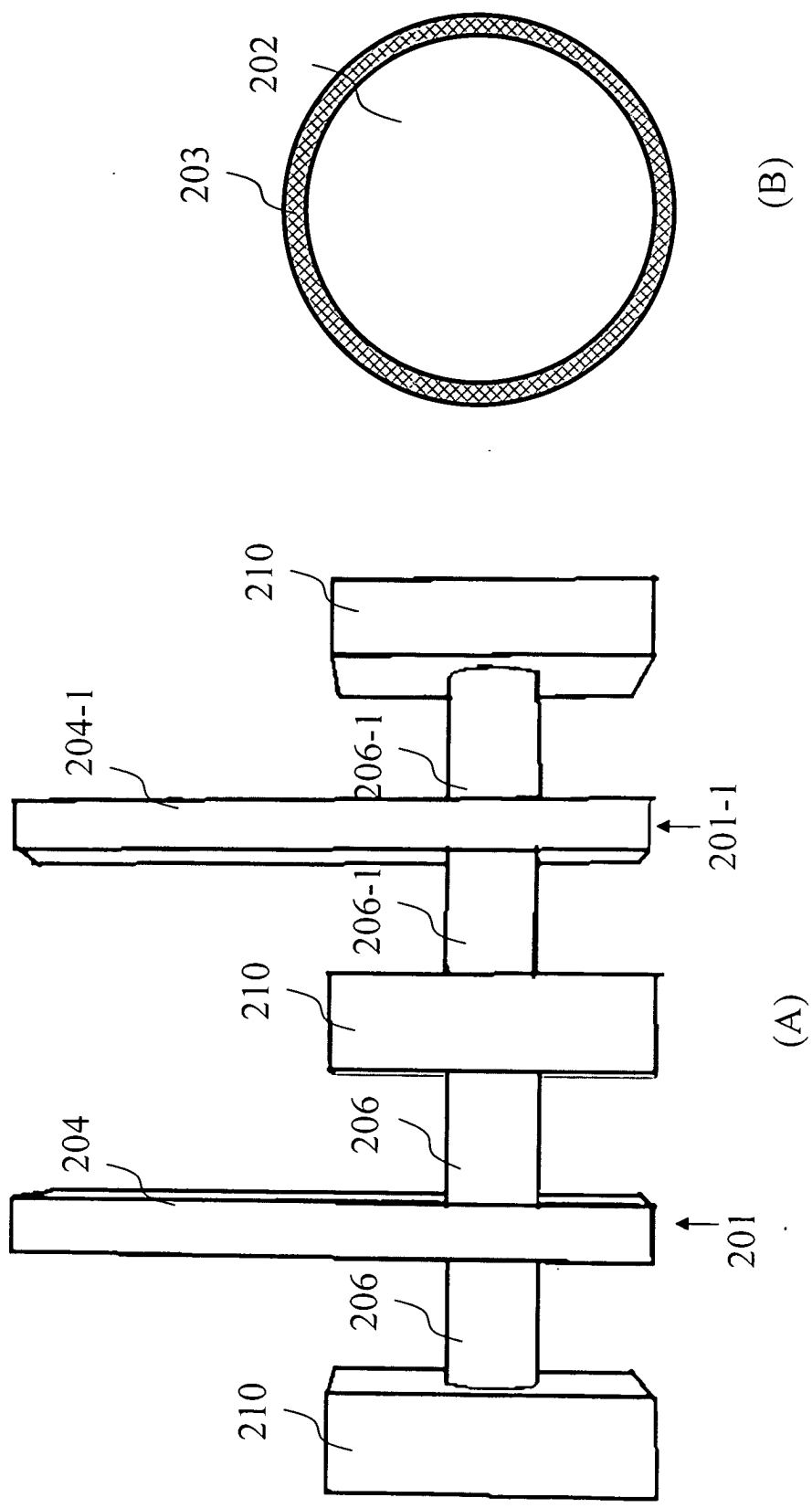
7. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該無源極和汲極接面之 N 通道電晶體及無源極和汲極接面之 P 通道

電晶體為 SOI 上之奈米線通道電晶體。

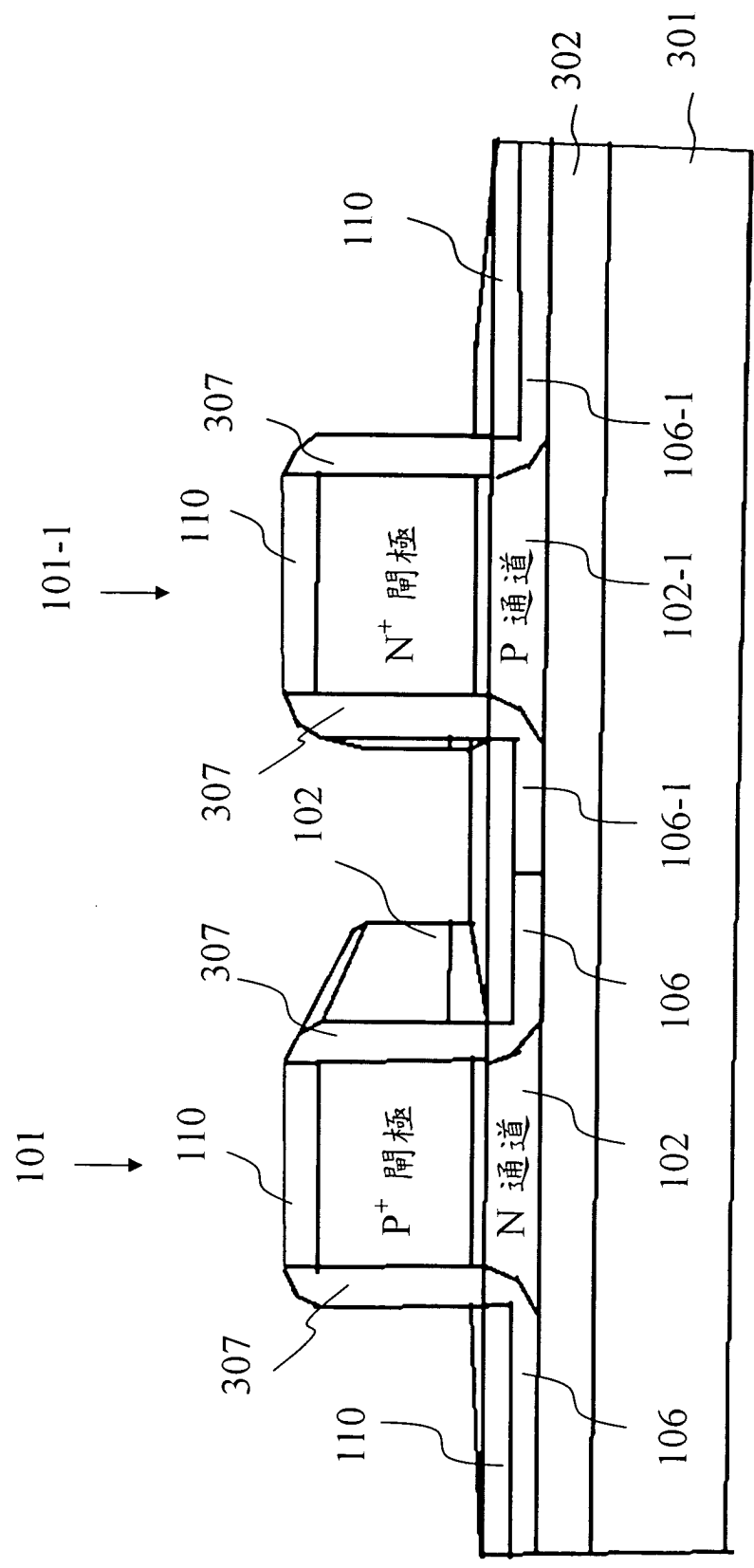
8. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該導電之連接結構為金屬半導體化合物。
9. 如申請專利範圍第 1 或 2 項之結構或製造方法，其中該導電之連接結構為多晶態半導體。
10. 如如申請專利範圍第 1 或 2 項之結構或製造方法，其中該導電之連接結構為金屬。



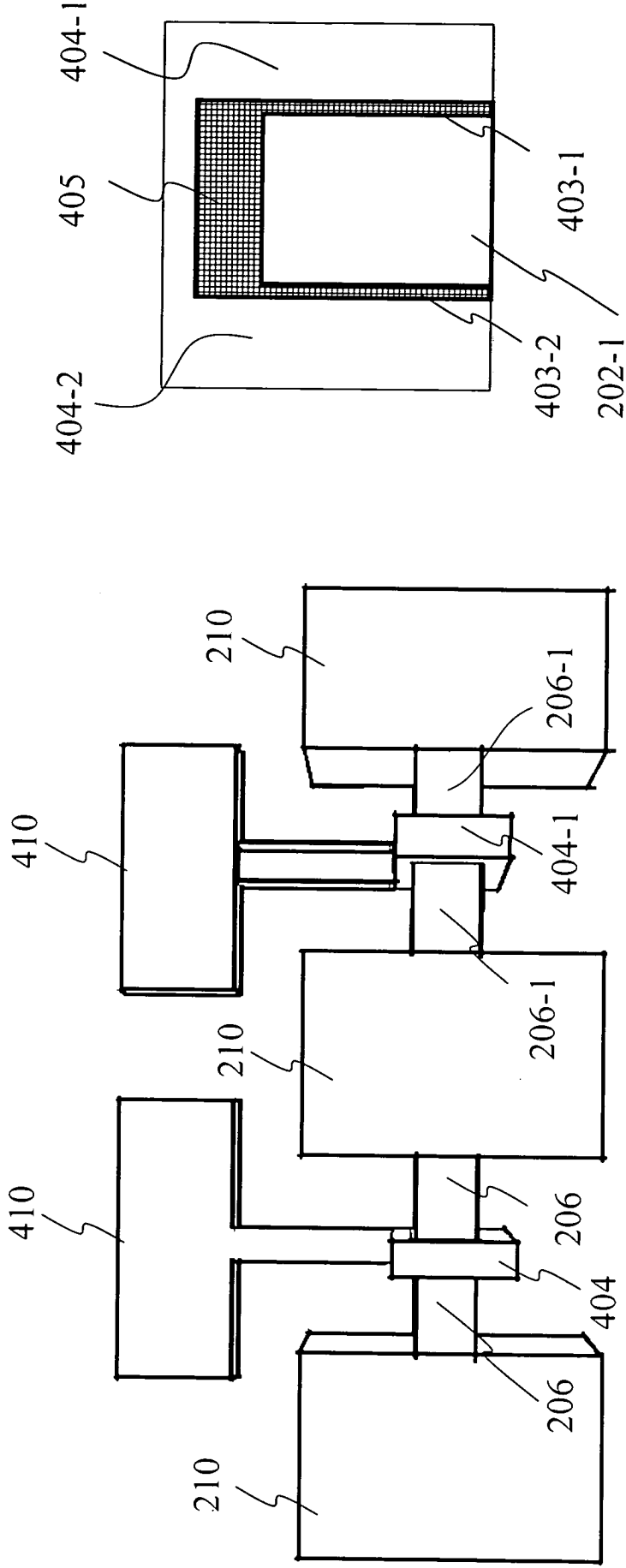
第 1 圖



第 2 圖



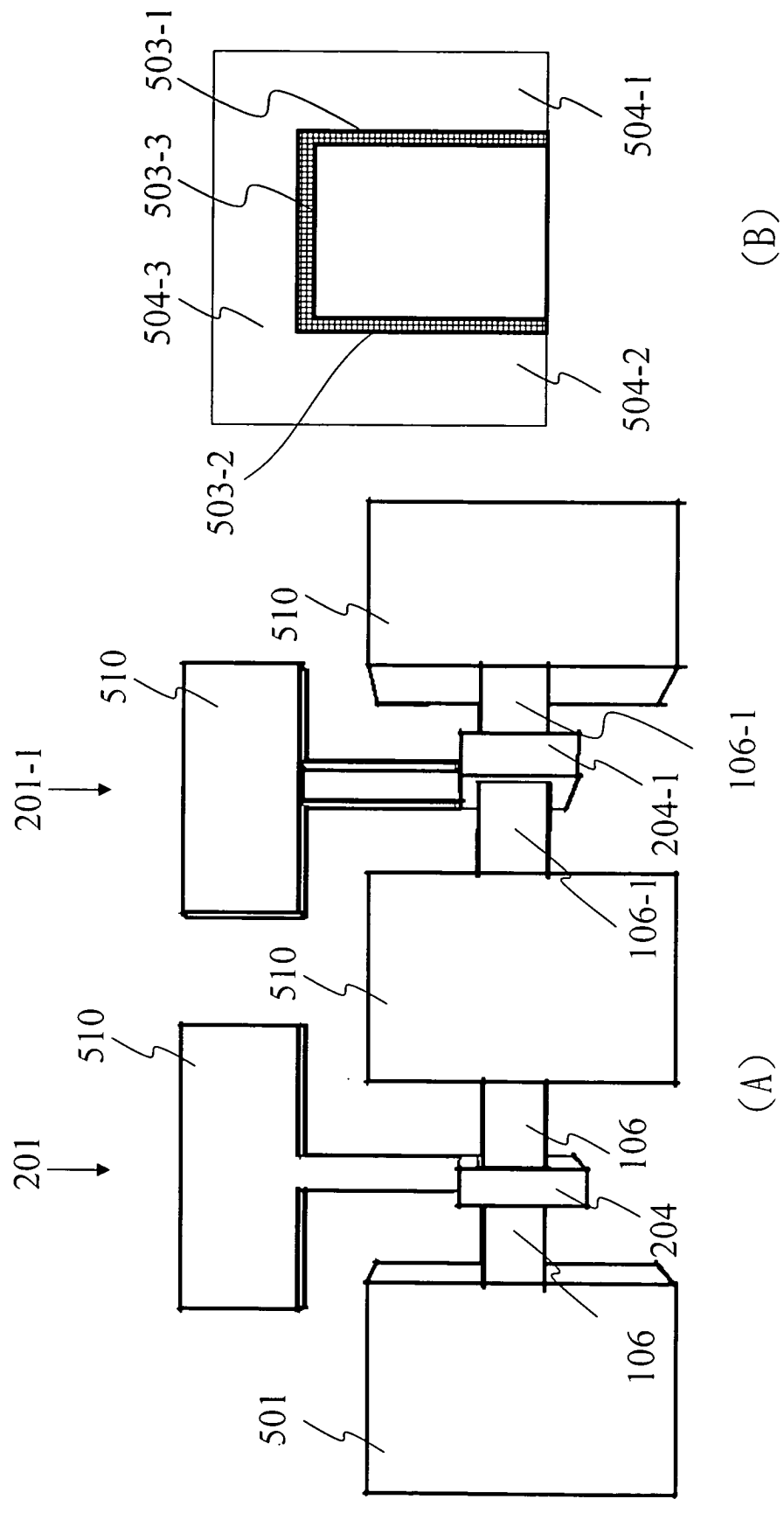
第 3 圖



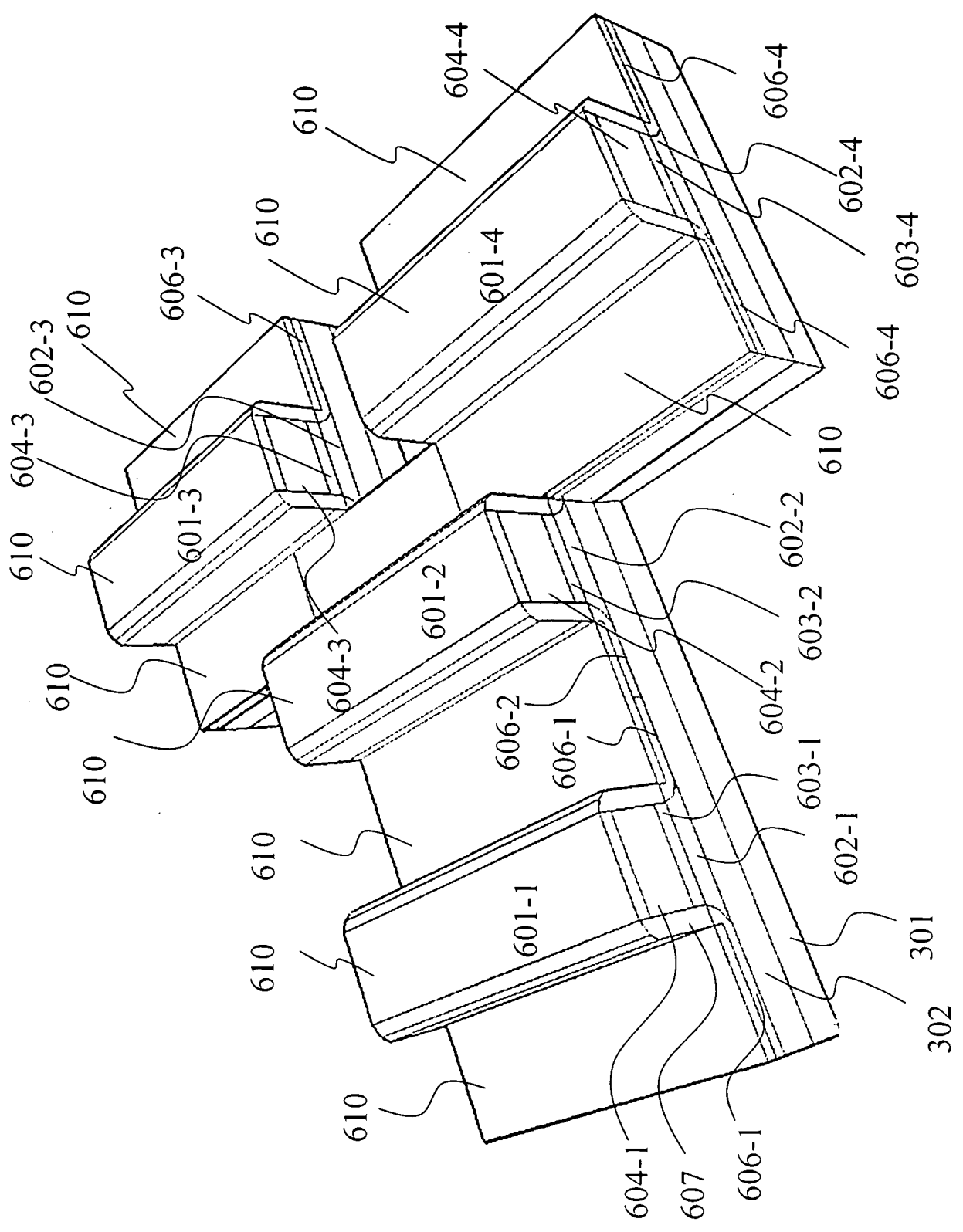
(B)

(A)

第 4 圖



第 5 圖



第 6 圖