



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I421947 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：099139011

(22) 申請日：中華民國 99 (2010) 年 11 月 12 日

(51) Int. Cl. : **H01L21/335 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, YI (TW) ; 張嘉華 CHANG, CHIA HUA (TW) ; 林岳欽 LIN, YUEH CHIN (TW)

(74) 代理人：高玉駿；楊祺雄

(56) 參考文獻：

TW 200903858

TW 200924201

TW 200947703A1

US 2007/0278518A1

US 2008/0203430A1

US 2009/0200576A1

審查人員：王安邦

申請專利範圍項數：6 項 圖式數：6 共 21 頁

(54) 名稱

氮化鎵電晶體的製作方法

A METHOD FOR FABRICATING A GAN THIN FILM TRANSISTOR

(57) 摘要

本發明提供一種氮化鎵電晶體的製作方法，包含一準備步驟、一開口形成步驟、一離子佈植步驟、一介電層形成步驟、一源/汲極沉積步驟，及一閘極沉積步驟，首先準備一含 N 型氮化鎵系半導體材料的半導體磊晶層，於該半導體磊晶層上形成一定義出一開口的遮覆層，接著對該半導體磊晶層進行 P 型離子佈植，於該半導體磊晶層形成一摻雜區，再於該半導體磊晶層表面沉積一層由高介電常數材料構成的介電層，之後於該半導體磊晶層表面對應該摻雜區兩側形成一源極及一汲極，再於對應該摻雜區上方的介電層表面形成一閘極，即可完成該氮化鎵電晶體的製作。

This invention provides a method for fabricating a GaN thin film transistor, including a preparing step, an open-area forming step, an implantation step, a dielectric-layer forming step, a S/D depositing step and a gate depositing step. First, preparing a semiconductor epitaxial layer comprising N-based GaN semiconductor material, then forming a mask layer on said semiconductor epitaxial layer and define an open-area on said mask layer, then proceed a p-type ion-implant process through the open-area into said semiconductor epitaxial layer forming a doped-area. After that, depositing a dielectric layer on said semiconductor epitaxial layer then depositing an S/D layer and a gate layer on said dielectric layer.

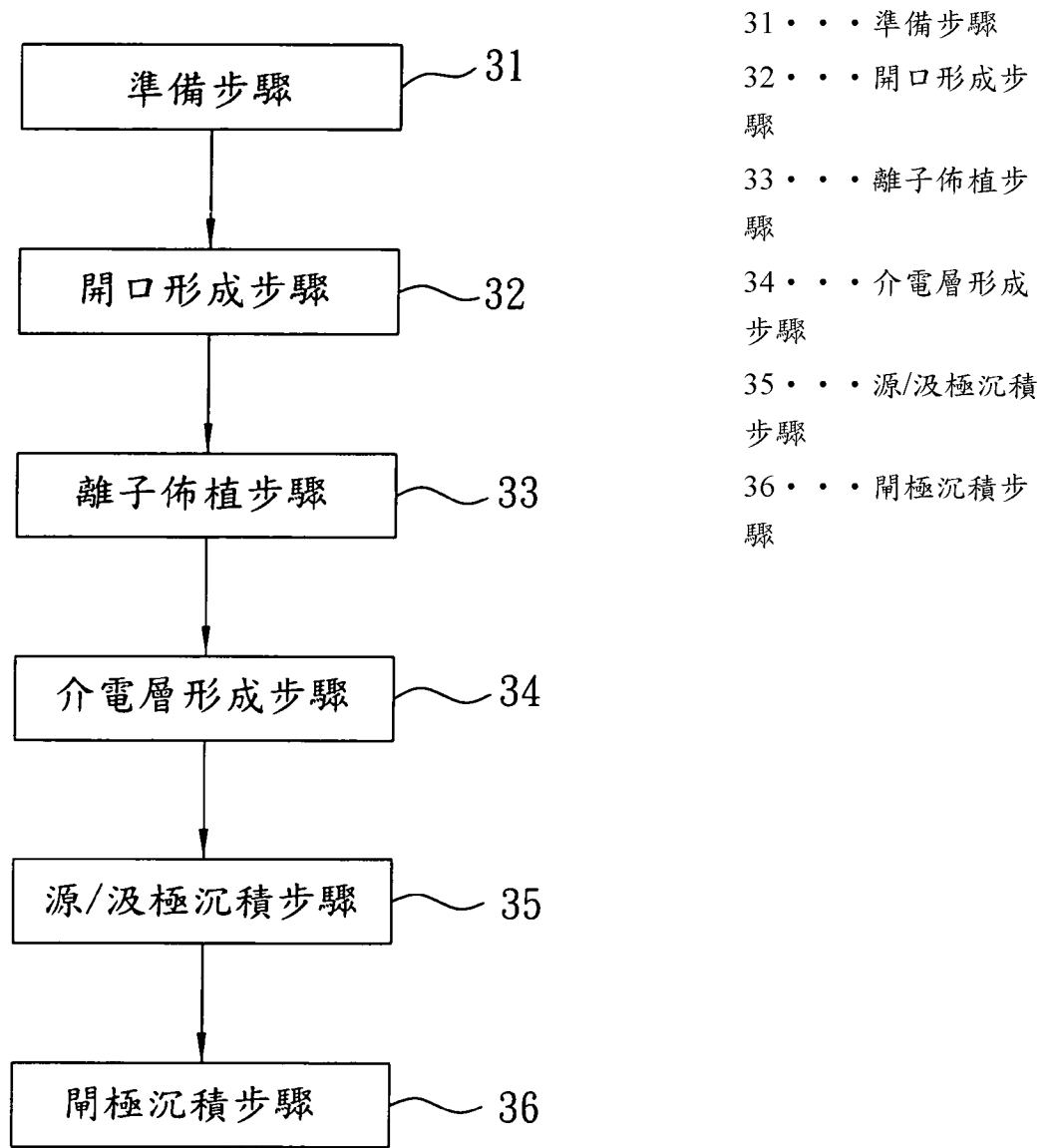


圖3

# 發明專利說明書

102年10月15日修正本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099139011

※申請日：99.11.15

※IPC 分類：H01L 21/335(2006.01)

公告本

## 一、發明名稱：(中文/英文)

氮化鎵電晶體的製作方法 / A method for fabricating a  
GaN thin film transistor

## 二、中文發明摘要：

本發明提供一種氮化鎵電晶體的製作方法，包含一準備步驟、一開口形成步驟、一離子佈植步驟、一介電層形成步驟、一源/汲極沉積步驟，及一閘極沉積步驟，首先準備一含 N 型氮化鎵系半導體材料的半導體磊晶層，於該半導體磊晶層上形成一定義出一開口的遮覆層，接著對該半導體磊晶層進行 P 型離子佈植，於該半導體磊晶層形成一摻雜區，再於該半導體磊晶層表面沉積一層由高介電常數材料構成的介電層，之後於該半導體磊晶層表面對應該摻雜區兩側形成一源極及一汲極，再於對應該摻雜區上方的介電層表面形成一閘極，即可完成該氮化鎵電晶體的製作。

## 三、英文發明摘要：

This invention provides a method for fabricating a GaN thin film transistor, including a preparing step, a open-area forming step, an implantation step, a dielectric-layer forming step, a S/D depositing step and a gate depositing step. First,

preparing a semiconductor epitaxial layer comprising N-based GaN semiconductor material, then forming a mask layer on said semiconductor epitaxial layer and define a open-area on said mask layer, then proceed a p-type ion-implant process through the open-area into said semiconductor epitaxial layer forming a doped-area. After that, depositing a dielectric layer on said semiconductor epitaxial layer then depositing an S/D layer and a gate layer on said dielectric layer.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖 ( 3 )。

(二)本代表圖之元件符號簡單說明：

- 31 …………… 準備步驟
- 32 …………… 開口形成步驟
- 33 …………… 離子佈植步驟
- 34 …………… 介電層形成步驟
- 35 …………… 源/汲極沉積步驟
- 36 …………… 閘極沉積步驟

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種氮化鎵電晶體的製作方法，特別是指一種增強式(Enhancement mode, E-mode)氮化鎵電晶體的製作方法。

### 【先前技術】

參閱圖 1，圖 1 是一傳統氮化鎵電晶體結構，包含一基板 11、一具有依序由該基板 11 表面形成的一第一氮化鎵磊晶膜 121、一氮化鋁鎵磊晶膜 122，與一第二氮化鎵磊晶膜 123 的半導體層 12、一形成在該半導體層 12 頂面的介電層 13、一形成在該介電層 13 頂面的閘極 14，及分別形成在該介電層 13 兩側的一源極 15 及一汲極 16。

而該氮化鎵電晶體由於其結構中的該第一氮化鎵磊晶膜 121 與該氮化鋁鎵磊晶膜 122 會產生大量的極化電荷以形成二維電子氣(2DEG)，使得電晶體需在空泛模式(Depletion mode)操作，在此空泛模式操作的電晶體一般稱為常開式(normal on)電晶體，由於常開式電晶體的臨界電壓(threshold voltage)為負值，因此，在閘極零偏壓時電晶體仍會導通電流，而會形成額外的功率耗損；此外，當前述的氮化鎵電晶體應用於高功率電路系統時，由於高功率電路系統需在極高的偏壓環境下操作，容易產生瞬間脈衝電壓，如電晶體的臨界電壓不夠高，也會導致高功率元件不正常導通，造成元件誤動作而影響系統的穩定度。

為了改善傳統氮化鎵電晶體，使其具有高臨界電壓、

耐高壓、高輸出功率及增強式操作之特性，美國專利第 US7655962 號專利揭露一種在 AlGa<sub>N</sub> 通道下方加入阻障層，利用阻障層的極化電荷空乏通道的電荷，並同時利用深凹陷式閘極結構(deep recessed gate)，使得電晶體在零偏壓時不導通，而成為增強式電晶體；此外，在美國第 2007/0295993 公開號專利，則揭露一種 CF<sub>4</sub> 電漿處理方式，令氟離子進入 AlGa<sub>N</sub> 通道中空乏通道的電荷，使得電晶體在零偏壓時不導通，而成為增強式電晶體；然而，前述的深凹陷式閘極結構須導入表面蝕刻，此方式容易造成電晶體的表面狀態(surface state)密度增加，容易影響電晶體的電流特性及可靠度；而利用 CF<sub>4</sub> 電漿處理方式，雖然可藉由將氟離子導入元件中而提高臨界電壓，然而受限於氟離子的擴散能力，利用 CF<sub>4</sub> 電漿處理方式提昇的臨界電壓範圍最多為+0.9V，仍無法滿足需求。

因此，如何在維持氮化鎵電晶體元件可靠度的條件下，提供一具有高臨界電壓、耐高壓、高輸出功率及增強式操作特性的氮化鎵電晶體則為本技術領域者不斷發展的方向之一。

### 【發明內容】

因此，本發明之目的，即在提供一種製備具有高臨界電壓的增強式氮化鎵電晶體的方法。

於是，本發明一種氮化鎵電晶體的製作方法包含一準備步驟、一開口形成步驟、一離子佈植步驟、一介電層形成步驟、一源/汲極沉積步驟，及一閘極沉積步驟。

該準備步驟是先準備一發光元件，該發光元件具有一基板，及一形成在該基板上之半導體磊晶層，且該半導體磊晶層含有 N 型氮化鎵系半導體材料。

該開口形成步驟是先於該半導體磊晶層表面形成一由絕緣材料構成的第一遮覆層，及一形成於該第一遮覆層表面的第二遮覆層，且該第二遮覆層定義出一令將該第一遮覆層部分表面裸露之開口。

該離子佈植步驟，是以離子佈植方式自該開口向下對該半導體磊晶層進行 P 型離子佈植，於該半導體磊晶層形成一摻雜區，之後將該第一、二遮覆層移除，令該半導體磊晶層露出。

該介電層形成步驟是於該半導體磊晶層上沉積一層由高介電常數材料構成的介電層。

該源/汲極沉積步驟是以微影蝕刻方式將該介電層對應該摻雜區兩側的結構移除至該半導體磊晶層裸露出，接著於該裸露出的半導體磊晶層沉積金屬，於該摻雜區兩側形成一源極及一汲極。

該閘極沉積步驟是於該介電層的預定表面沉積金屬形成一閘極，即可完成該氮化鎵電晶體的製作。

本發明之功效在於：利用離子佈植方式直接於該半導體磊晶層中形成一 P 型摻雜區，得到一 P-N 接面，而得以提高臨界電壓，並再於該半導體磊晶層的摻雜區上形成介電層，即可得到一同時具有高臨界電壓及低漏電流的增強式氮化鎵電晶體。



## 【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一個較佳實施例的詳細說明中，將可清楚的呈現。

參閱圖 2，本發明一種氮化鎵電晶體的製作方法的較佳實施例，是可用以製作如圖 2 所示的氮化鎵電晶體。

該氮化鎵電晶體包含一基板 21、一半導體磊晶層 22、一介電層 23，及一電極單元 24。

該基板 21 可選自透明或不透明的絕緣材料構成，例如藍寶石 (sapphire)、矽 (silicon)，或碳化矽 (silicon carbide)，由於該基板 21 及該半導體磊晶層 22 的材料選擇為此技術領域者所周知，且非為本發明之重點，因此不再多加贅述。

於本實施例中，該基板 21 是以藍寶石構成，該半導體磊晶層 22 是由 N-型氮化鎵系半導體材料構成，具有一由該基板 21 表面依序向上形成的一第一氮化鎵 (GaN) 磊晶膜 221、一氮化鋁鎵 (AlGaN) 磊晶膜 222、一第二氮化鎵磊 (GaN) 晶膜 223，及一自該第二氮化鎵磊晶膜 223 頂面的預定區域向下形成的 p 型摻雜區 224。

該介電層 23 形成在該第二氮化鎵磊晶膜 223 頂面的預定區域並遮覆該 p 型摻雜區 224，由高介電常數材料構成，可使該氮化鋁鎵磊晶膜 222 的載子及電荷增加，而提升閘極 243 偏壓 (正值)，適用於本發明該較佳實施例的高介電常數材料為  $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{CeO}_2$ ， $\text{HfAlO}$ ， $\text{TiO}_2$ ，

ZrO<sub>2</sub>。

該電極單元 24 由導電材料構成，具有形成在該氮化鎵磊晶膜 223 頂面，並位於該介電層 23 兩側的一源極 241、一汲極 242，及一形成在該介電層 23 遠離該摻雜區 224 的表面的閘極 243。

由於氮化鎵材料本身即具有以電子為多數載子的 n 型特性，因此透過該 P-型摻雜區 224 與該第二氮化鎵磊晶膜 223 的 p-n 接面(p-n junction)所形成的內建電壓即可用以提升該氮化鎵電晶體的臨界電壓，並再利用形成於該摻雜區 224 上的介電層 23，可再進一步提升該氮化鎵電晶體的臨界電壓並降低其漏電流，而得到一具有高臨界電壓，並可同時改善電晶體的汲極輸出電流(drain output current)，及轉移電導(transconductance)等特性，而可更適用於次世代高效能高壓驅動及控制電路系統的增強式氮化鎵電晶體。

上述的氮化鎵電晶體，在配合以下本發明氮化鎵電晶體的製作方法的較佳實施例說明，當可更清楚明白。

參閱圖 3，本發明氮化鎵電晶體的製作方法的較佳實施例，是包含以下六個步驟。

配合參閱圖 4，首先，進行一準備步驟 31，準備一發光元件 2a。

該準備步驟 31 是先準備一具有一基板 21，及一形成在該基板 21 上之半導體磊晶層 22 的發光元件 2a。

詳細地說，該發光元件 2a 即為一般之氮化鎵系電晶體，於本實施例中，該基板 21 是以藍寶石構成，該半導體

磊晶層 22 是具有自該基板 21 表面依序形成的一第一氮化鎵磊晶膜 221、一氮化鋁鎵磊晶膜 222，及一第二氮化鎵磊晶膜 223 的三膜層結構。

接著進行一開口形成步驟 32，於該半導體磊晶層 22 上形成一被定義出一開口 226 的第一遮覆層 225。

該步驟 32 是先於該第二氮化鎵磊晶膜 223 的表面以電漿輔助化學氣相沉積(PECVD)方式於該第二氮化鎵磊晶膜 223 的表面形成一由二氧化矽、氮化矽、氧化鋁等絕緣材料構成的第一遮覆層 225，接著於該第一遮覆層 225 表面塗佈一由光阻材料構成的第二遮覆層 225a，該光阻材料可選自正型光阻或負型光阻，由於該光阻材料的種類選擇為本技術領域所周知且非為本技術重點，因此不再多加贅述，接著，以微影方式將該第二遮覆層 225a 的預定結構移除，令該第一遮覆層 225 部份表面露出，定義出一開口 226。

值得一提的是，該第一遮覆層 225 是用以控制後續離子佈植的深度，當該第一遮覆層 225 厚度太厚，則離子無法進入該半導體磊晶層 22 中，達成摻雜之效果；反之，當該第一遮覆層 225 厚度不足，則佈植離子將穿過欲佈植的區域，而無法形成 PN 接面，較佳地，該第一遮覆層 225 的厚度不小於 50nm，更佳地，該第一遮覆層 225 的厚度介於 50~150nm 之間。

續配合參閱圖 4，接著進行一離子佈植步驟 33，於該半導體磊晶層 22 形成一 p 型摻雜區 224。

該步驟 33 是以離子佈植方式經由該開口 226 向下對該

第二氮化鎵磊晶膜 223 進行 P 型離子佈植，於該第二氮化鎵磊晶膜 223 中形成一 p 型摻雜區 224，再將該殘留的第二遮覆層 225a 及該第一遮覆層 225 移除令該第二氮化鎵磊晶膜 223 露出。

具體的說，該步驟 33 的佈植離子是選自例如鎂離子、硼離子等可形成 p-型氮化鎵接面的離子，自該開口 226 向下對該第二氮化鎵磊晶膜 223 進行 P 型離子佈植。

值得一提的是，當該形成的 p 型摻雜區 224 深度過深時，會影響該第二氮化鎵磊晶膜 223/氮化鋁鎵磊晶膜 222 形成二維電子氣(2DEG)通道的能力，而當 p 型摻雜區 224 深度過淺，則其提升導通電壓(turn-on voltage)的效能不足，較佳地，該 p 型摻雜區 224 的深度不大於該第二氮化鎵磊晶膜 223 厚度的二分之一。

配合參閱圖 5，進行一介電層形成步驟 34，於該半導體磊晶層 22 上形成一介電層 23。

接著再進行一源/汲極沉積步驟 35，於該半導體磊晶層 22 上形成一源極 241 及一汲極 242。

續參閱圖 5，詳細地說，該步驟 35 是先於該介電層 23 上形成一由光阻材料構成的光阻層 100，以微影蝕刻方式將該介電層 23 對應該 p 型摻雜區 224 兩側的結構移除至該第二氮化鎵磊晶膜 223 表面裸露出，接著於該裸露出的半導體磊晶層 22 上沉積金屬 24a，之後再將該殘留的光阻層 100 及對應沉積在該光阻層上的金屬 24a 移除，於該 p 型摻雜區 224 兩側形成一源極 241 及一汲極 242。

配合參閱圖 6，最後進行一閘極沉積步驟 36，於該介電層 23 上形成一閘極 243。

詳細地說，該步驟 36 是先於該介電層 23 及該源極 241、汲極 242 表面形成一光阻層 200，再以微影方式將該光阻層 200 對應該 p 型摻雜區 224 的預定結構移除至該介電層 23 露出，接著於該露出的介電層 23 上沉積金屬 24a，最後再將殘留的該光阻層 200 及沉積在該光阻層 200 上的金屬 24a 移除，於該介電層 23 形成一閘極 243，即可完成該氮化鎵電晶體 2 的製作。

此外，值得一提的是，本發明氮化鎵電晶體的製作方法的該較佳實施例可更包含一實施在該離子佈植步驟 33 之前的電漿處理步驟，先利用四氟化碳(CF<sub>4</sub>)電漿，自該開口 226 將氟離子導入該氮化鋁鎵磊晶膜 222 中，可更進一步提昇該氮化鎵電晶體 2 的電流輸出，而增加該氮化鎵電晶體 2 的導通電壓。

綜上所述，本發明利用離子佈植方式直接於該具有 n 型特性的氮化鎵磊晶膜中形成一 p 型摻雜區，而得到 p-n 接面，透過該 p-n 接面形成的內建電壓，提升該氮化鎵電晶體的臨界電壓，使其能在增強模式下操作，製程簡單、容易控制，不像一般須利用額外形成一 p 型磊晶層以形成 p-n 接面，因此不會有磊晶接面缺陷的問題產生；也不會像習知因為使用蝕刻掘深製程，而對元件表面造成損害，增加缺陷密度的問題，或是以電漿處理方式無法調整至較高位準的臨界電壓的缺點；同時，本發明再輔以高介電常數材料

構成的介電層，進一步提升臨界電壓，並降低電晶體的漏電流，而有助於減少元件待機時的功率耗損、降低元件應用至電路的複雜度，而可得到一更適用於次世代高效能高壓驅動及控制電路系統的增強式氮化鎵電晶體，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例與具體例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

### 【圖式簡單說明】

圖 1 是一示意圖，說明習知氮化鎵電晶體；

圖 2 是一示意圖，說明由氮化鎵電晶體的製作方法的該較佳實施例製得的氮化鎵電晶體；

圖 3 是一流程圖，說明本發明氮化鎵電晶體的製作方法的較佳實施例；

圖 4 是一流程示意圖，說明本發明該較佳實施例的該步驟 31~33；

圖 5 是一流程示意圖，說明本發明該較佳實施例的步驟 34~35；及

圖 6 是一流程示意圖，說明本發明該較佳實施例的步驟 36。

## 【主要元件符號說明】

100	光阻層	226	開口
200	光阻層	23	介電層
2	氮化鎵電晶體	24	電極單元
2a	發光單元	241	源極
21	基板	242	汲極
22	半導體磊晶層	243	閘極
221	第一氮化鎵磊晶膜	31	準備步驟
222	氮化鋁鎵磊晶膜	32	開口形成步驟
223	第二氮化鎵磊晶膜	33	離子佈植步驟
224	p 型摻雜區	34	介電層形成步驟
225	第一遮覆層	35	源/汲極沉積步驟
225a	第二遮覆層	36	閘極沉積步驟

## 七、申請專利範圍：

### 1. 一種氮化鎵電晶體的製作方法，包含：

一準備步驟，準備一發光元件，該發光元件具有一基板，及一形成在該基板上之半導體磊晶層，且該半導體磊晶層含有 N 型氮化鎵系半導體材料；

一開口形成步驟，先於該半導體磊晶層表面形成一由絕緣材料構成的第一遮覆層，及一形成於該第一遮覆層表面的第二遮覆層，且該第二遮覆層定義出一令該第一遮覆層部分表面裸露之開口；

一離子佈植步驟，以離子佈植方式自該開口向下對該半導體磊晶層進行 P 型離子佈植，於該半導體磊晶層形成一摻雜區，之後將該第一、二遮覆層移除，令該半導體磊晶層露出；

一介電層形成步驟，於該半導體磊晶層上沉積一層由高介電常數材料構成的介電層；

一源/汲極沉積步驟，以微影蝕刻方式將該介電層對應該摻雜區兩側的結構移除至該半導體磊晶層裸露出，接著於該裸露出的半導體磊晶層沉積金屬，於該摻雜區兩側形成一源極及一汲極；及

一閘極沉積步驟，於該介電層的預定表面沉積金屬形成一閘極，即可完成該氮化鎵電晶體的製作。

### 2. 依據申請專利範圍第 1 項所述之氮化鎵電晶體的製作方法，其中，該半導體磊晶層具有由該基板依序向上形成的一第一氮化鎵磊晶膜、一氮化鋁鎵磊晶膜，及一第二



氮化鎵磊晶膜。

3. 依據申請專利範圍第 2 項所述之氮化鎵電晶體的製作方法，其中，該離子佈植步驟形成之摻雜區的深度不大於該第二氮化鎵磊晶膜厚度的二分之一。
4. 依據申請專利範圍第 3 項所述之氮化鎵電晶體的製作方法，更包含一實施在該離子佈植步驟之前的電漿處理步驟，是先以電漿處理方式令氟離子經由該開口進入該氮化鋁鎵磊晶膜中。
5. 依據申請專利範圍第 1 項所述之氮化鎵電晶體的製作方法，其中，該第一遮覆層選自二氧化矽、氮化矽，厚度介於 50~150nm 之間。
6. 依據申請專利範圍第 1 項所述之氮化鎵電晶體的製作方法，其中，該介電層是選自  $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{CeO}_2$ ， $\text{HfAlO}$ ， $\text{TiO}_2$ ， $\text{ZrO}_2$  為材料。

八、圖式：

102年10月25日修正替換本

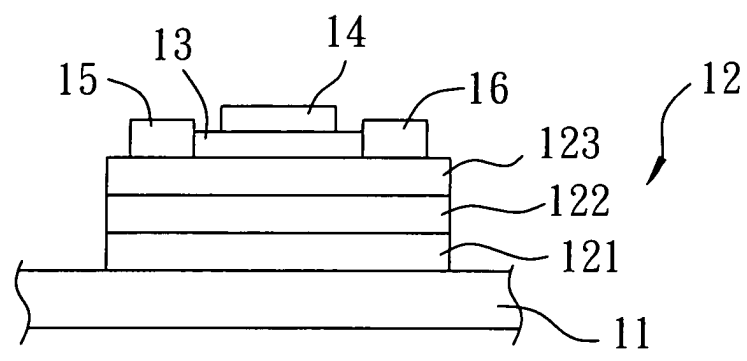


圖1

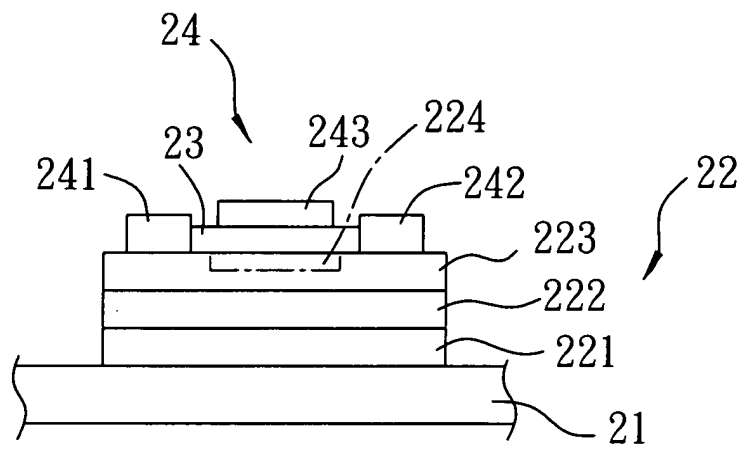


圖2

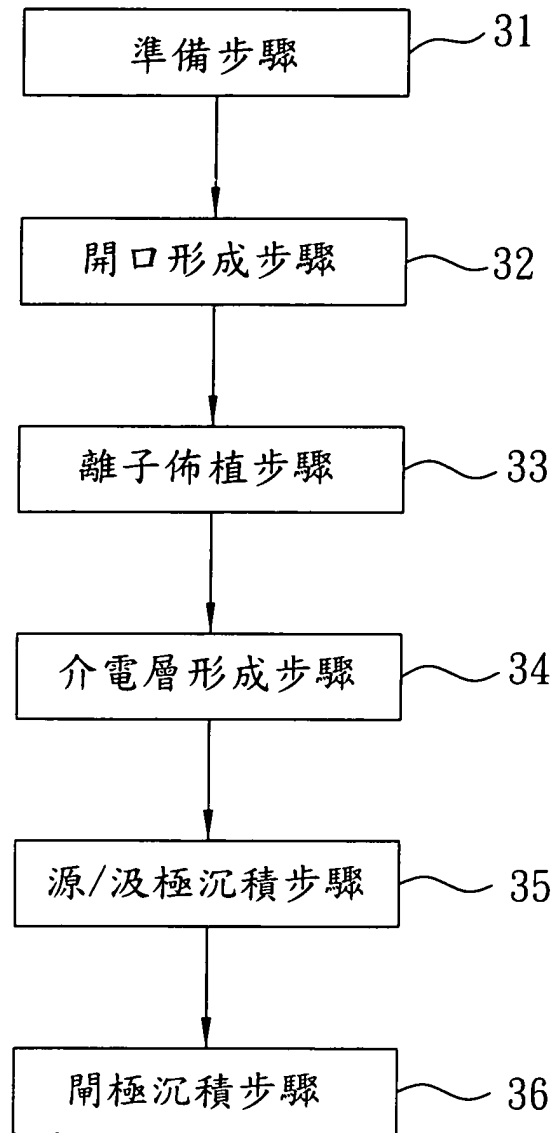


圖3

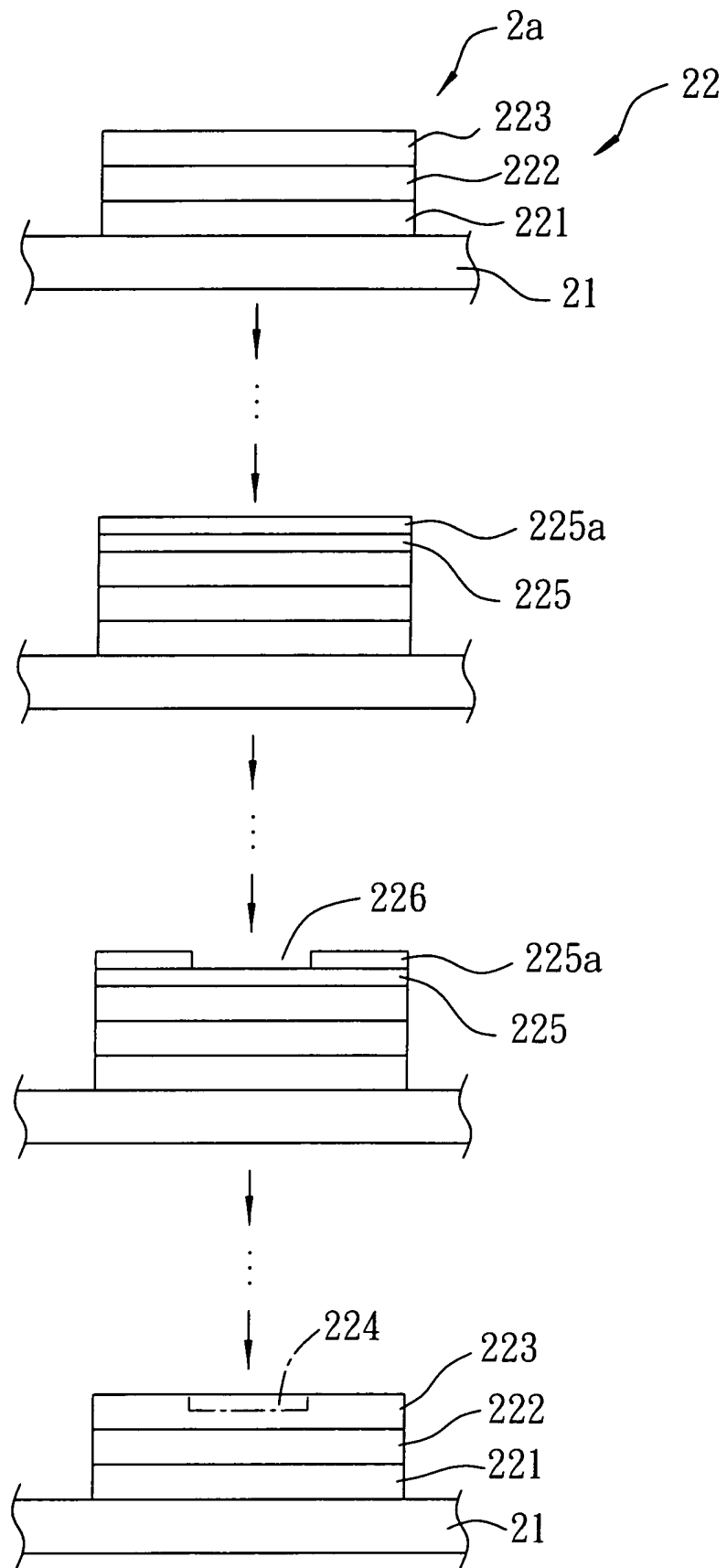


圖4

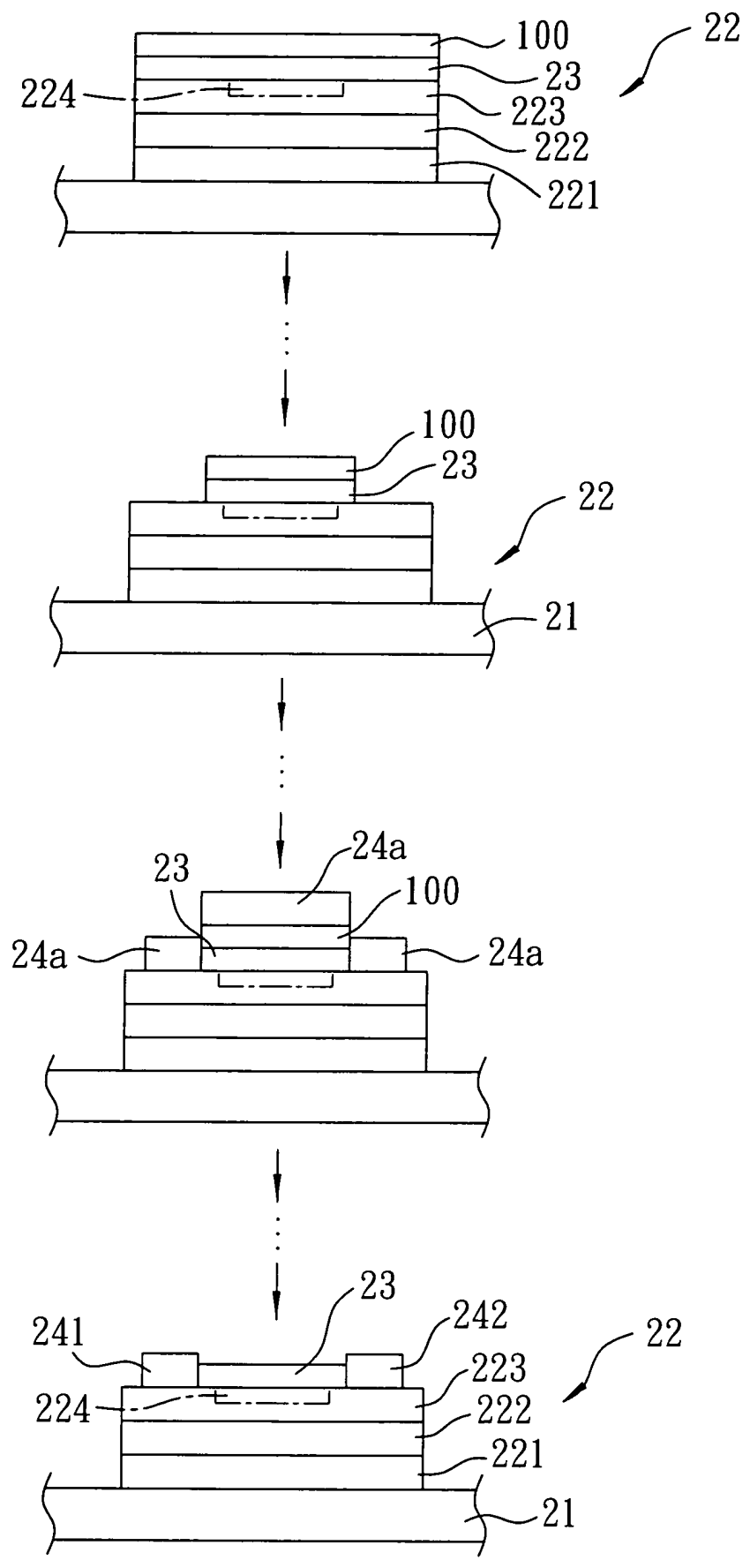


圖5

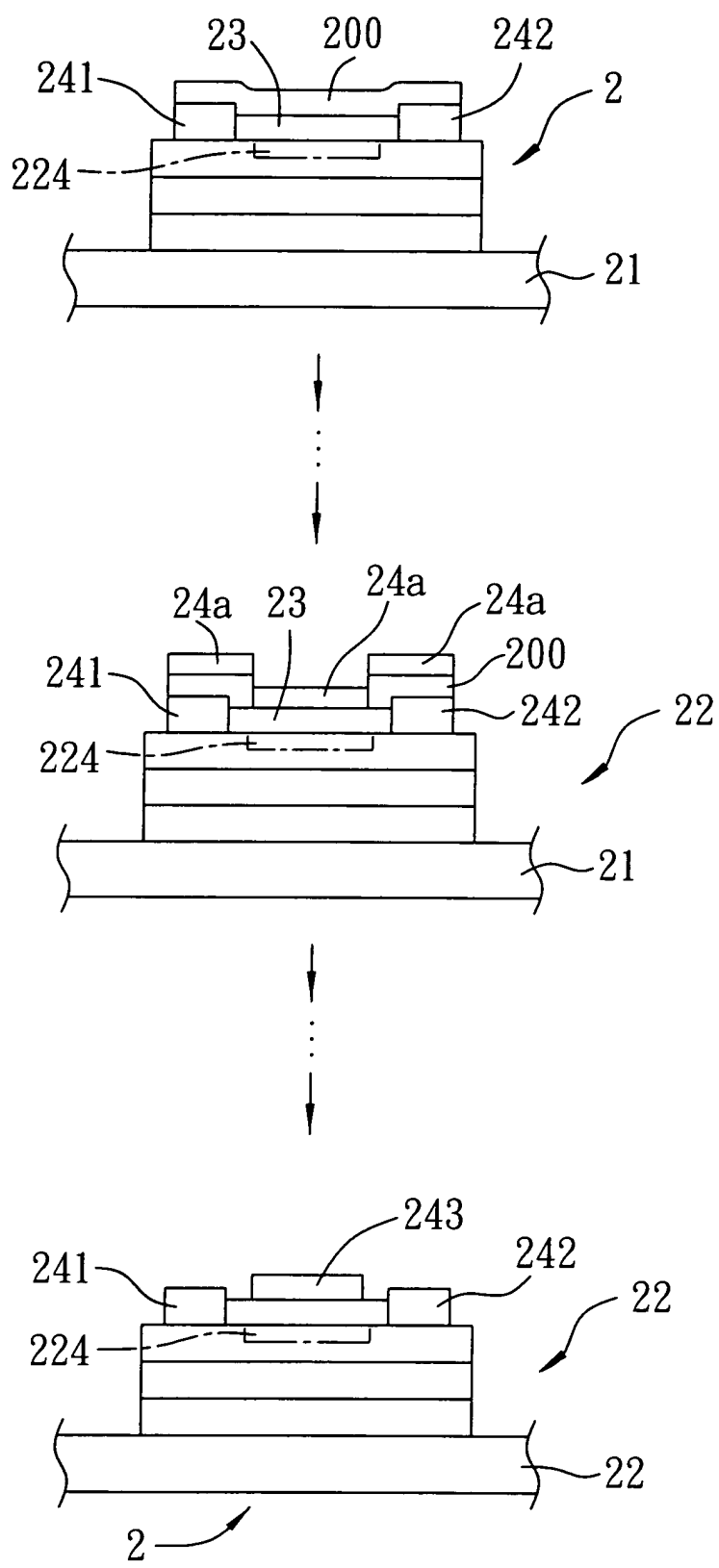


圖6