



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I420824 B

(45) 公告日：中華民國 102 (2013) 年 12 月 21 日

(21) 申請案號：100106337

(22) 申請日：中華民國 100 (2011) 年 02 月 25 日

(51) Int. Cl. : H03M1/08 (2006.01)

H03M1/12 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：薛文弘 HSIEH, WEN HUNG (TW) ; 洪崇智 HUNG, CHUNG CHIH (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 200843363A

US 7379005B2

審查人員：陳臆聰

申請專利範圍項數：7 項 圖式數：3 共 0 頁

(54) 名稱

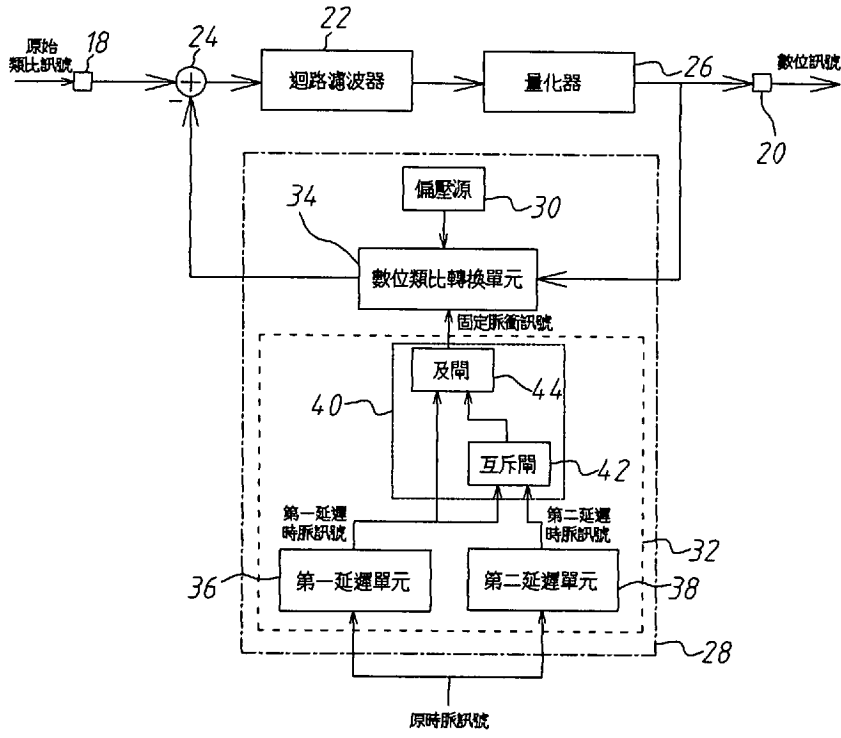
類比數位轉換裝置

ANALOG-TO-DIGITAL CONVERSION DEVICE

(57) 摘要

本發明係揭露一種類比數位轉換裝置，包含一迴路濾波器，其係接收一轉換類比訊號，並將其濾波後，輸出一濾波類比訊號至連接輸出端之一量化器，以進行數位取樣，進而從輸出端輸出一數位訊號。輸出端與一接收原始類比訊號之輸入端連接一非同步數位類比轉換器，此轉換器接收數位訊號與一原時脈訊號，並先調整原時脈訊號為一固定脈衝訊號，以消除原時脈訊號之時脈抖動，再根據脈衝訊號轉換數位訊號為一迴授類比訊號，以與原始類比訊號形成轉換類比訊號，供迴路濾波器接收，如此便可在輸出之數位訊號中，消除由時脈抖動產生之雜訊影響。

An analog-to-digital conversion device is disclosed. The conversion device comprises a loop filter, which receives and filters a conversion analog signal, so as to output a filter analog signal to a quantizer. The quantizer digitally samples the filter analog signal to output a digital signal through an output terminal. An asynchronous digital-to-analog converter is coupled to the output terminal and an input terminal receiving an original analog signal. The converter receives the digital signal and an original clock signal and regulates the clock signal as a constant pulse signal to eliminate the clock jitter of the original clock signal. Then, the converter converts the digital signal into a feedback analog signal by the pulse signal. The feedback analog signal and the original analog signal form the conversion analog signal received by the loop filter. As a result, the noise induced by the clock jitter is eliminated in the outputted digital signal.



- 18 . . . 輸入端
- 20 . . . 輸出端
- 22 . . . 迴路濾波器
- 24 . . . 加法器
- 26 . . . 量化器
- 28 . . . 非同步數位類比轉換器
- 30 . . . 偏壓源
- 32 . . . 固定脈衝寬度產生器
- 34 . . . 數位類比轉換單元
- 36 . . . 第一延遲單元
- 38 . . . 第二延遲單元
- 40 . . . 邏輯組合單元
- 42 . . . 互斥閘
- 44 . . . 及閘

第 2 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106337

※申請日：100.2.25

※IPC 分類：

H03M 1/08 (2006.01)
H03M 1/12 (2006.01)

一、發明名稱：(中文/英文)

類比數位轉換裝置 / analog-to-digital conversion device

二、中文發明摘要：

本發明係揭露一種類比數位轉換裝置，包含一迴路濾波器，其係接收一轉換類比訊號，並將其濾波後，輸出一濾波類比訊號至連接輸出端之一量化器，以進行數位取樣，進而從輸出端輸出一數位訊號。輸出端與一接收原始類比訊號之輸入端連接一非同步數位類比轉換器，此轉換器接收數位訊號與一原時脈訊號，並先調整原時脈訊號為一固定脈衝訊號，以消除原時脈訊號之時脈抖動，再根據脈衝訊號轉換數位訊號為一迴授類比訊號，以與原始類比訊號形成轉換類比訊號，供迴路濾波器接收，如此便可在輸出之數位訊號中，消除由時脈抖動產生之雜訊影響。

三、英文發明摘要：

An analog-to-digital conversion device is disclosed. The conversion device comprises a loop filter, which receives and filters a conversion analog signal, so as to output a filter analog signal to a quantizer. The quantizer digitally samples the filter analog signal to output a digital signal through an output terminal. An asynchronous digital-to-analog converter is coupled to the output terminal and an input terminal receiving an original analog signal. The converter receives the digital signal and an original clock signal and regulates the clock signal as a constant pulse signal to eliminate the clock jitter of the original clock signal. Then, the converter converts the digital signal into a feedback analog signal by the pulse signal. The feedback analog signal and the original analog signal form the conversion analog signal received by the loop filter. As a result, the noise induced by the clock jitter is eliminated in the outputted digital signal.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

18 輸入端	20 輸出端
22 迴路濾波器	24 加法器
26 量化器	28 非同步數位類比轉換器
30 偏壓源	32 固定脈衝寬度產生器
34 數位類比轉換單元	36 第一延遲單元
38 第二延遲單元	40 邏輯組合單元
42 互斥閘	44 及閘

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種轉換裝置，特別是關於一種類比數位轉換裝置。

【先前技術】

類比數位轉換器 (Analog-to-Digital Converter; ADC) 可將類比訊號轉成數位訊息，並且利用電容器保存，再交由微電腦控制器處理。類比數位轉換器主要有：逐次比較型 (successive-approximation)、雙斜率型 (dual-slope)、並列比較型或快閃型 (parallel compare or flash)、以及差和型 (Delta-sigma) 等四種類型。類比數位轉換器經常用於通訊、儀器和測量以及電腦系統中，可方便數位訊號處理和資訊的儲存。

對於差和型類比數位轉換器而言，是採用過取樣 (over sampling) 的方式，並配合數位濾波器以產生數位訊號輸出，此種轉換器不需要高精密零件，即具有較高的解析度。目前習知技術上之差和型類比數位轉換器如第 1 圖所示，其主要由迴路濾波器 10、量化器 12 與同步數位類比轉換器 14 組成的回授電路所構成。其中同步數位類比轉換器 14 位於回授的路徑上，並接收非理想之時脈產生元件 16 所產生的時脈訊號，以供量化器 12 進行訊號取樣暨轉換動作。然而因為時脈產生元件 16，如石英震盪器或鎖相迴路時脈產生器，本身之非理想因素（特別是在積體電路內）將造成時脈波形抖動。因此，藉由時脈產生元件 16 而進行之類比數位轉換必定受到時脈波形抖動而產生雜訊。

因此，本發明係在針對上述之困擾，提出一種類比數位轉換裝置，以解決習知所產生的問題。

【發明內容】

本發明之主要目的，在於提供一種類比數位轉換裝置，其係利用一非同步數位類比轉換器，提供不具時脈抖動 (clock jitter) 之一固定脈衝訊號，以免除數位輸出之雜訊影響，進而應用於高速類比數位轉換技術中。

為達上述目的，本發明提供一種類比數位轉換裝置，其係連接一輸入端與一輸出端，輸入端接收一原始類比訊號。類比數位轉換裝置利用一迴路濾波器接收一轉換類比訊號，並將其濾波後，輸出一濾波類比訊號。迴路濾波器與輸出端連接一量化器，量化器接收濾波類比訊號，以進行數位取樣，從輸出端輸出一數位訊號。迴路濾波器、輸入端與輸出端連接一非同步數位類比轉換器，並藉此接收數位訊號與一原時脈訊號，非同步數位類比轉換器先調整原時脈訊號為一固定脈衝訊號，以消除原時脈訊號之時脈抖動，再根據固定脈衝訊號轉換該數位訊號為一迴授類比訊號，以與原始類比訊號形成轉換類比訊號，供迴路濾波器接收。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

以下如第 2 圖所示，本發明之類比數位轉換裝置連接一輸入端 18 與一輸出端 20，輸入端 18 接收一原始類比訊號。本發明包含一迴路濾波器 22，如連續時間式迴路濾波器 (continuous-time loop filter) 或混合連續暨離散時間式迴路濾波器 (hybrid continuous discrete-time loop filter)，其係連接一加法器 24 與一作為量化器 26 之振幅量化器，且加法器 24 連接輸入端 18，量化器 26 連接輸出端 20。迴路濾波器 22 從加法器 24 接收一轉換類比訊號，

並將其濾波後，輸出一濾波類比訊號。量化器 26 則接收濾波類比訊號，以進行數位取樣，從輸出端 20 輸出一數位訊號。加法器 24、量化器 26 與輸出端 20 皆連接一非同步數位類比轉換器 28，其係接收上述之數位訊號與一原時脈訊號，非同步數位類比轉換器 28 先調整原時脈訊號為一固定脈衝訊號，以消除原時脈訊號之時脈抖動 (clock jitter)，再根據固定脈衝訊號轉換數位訊號為一迴授類比訊號，以於加法器 24 中與原始類比訊號相加，形成轉換類比訊號，供迴路濾波器 22 接收。

非同步數位類比轉換器 28 更包含一偏壓源 30、一固定脈衝寬度產生器 32 與一數位類比轉換單元 34，固定脈衝寬度產生器 32 接收原時脈訊號，並將其調整為固定脈衝訊號，以消除原時脈訊號之時脈抖動。偏壓源 30、固定脈衝寬度產生器 32、加法器 24、輸出端 20 與量化器 26 皆連接數位類比轉換單元 34，其係接收固定脈衝訊號，以依據偏壓源 30 提供之電訊號與固定脈衝訊號，將數位訊號轉換為迴授類比訊號，其中當偏壓源 30 為電流源時，迴授類比訊號為電流類比訊號，偏壓源 30 為電壓源時，迴授類比訊號為電壓類比訊號。

固定脈衝寬度產生器 32 更包含一第一、第二延遲單元 36、38 與一邏輯組合單元 40，第一延遲單元 36 接收原時脈訊號，以延遲第一時段後，輸出一第一延遲時脈訊號，第二延遲單元 38 亦接收原時脈訊號，以延遲長於第一時段之第二時段後，輸出一第二延遲時脈訊號。第一、第二延遲單元 36、38 與數位類比轉換單元 34 連接邏輯組合單元 40，其係接收第一、第二延遲時脈訊號，並進行運算後，輸出固定脈衝訊號。其中邏輯組合單元 40 係以一互斥 (XOR) 閘 42 與一及 (AND) 閘 44 所組成，互斥閘 42

連接第一、第二延遲單元 36、38，以接收第一、第二延遲時脈訊號，並進行運算後，輸出一平衡時脈訊號。及閘 44 連接第一延遲單元 36、互斥閘 42 與數位類比轉換單元 34，並接收第一延遲時脈訊號與平衡時脈訊號，以將其相加後，輸出不具時脈抖動之固定脈衝訊號，此訊號可免除數位輸出之雜訊影響，使整個轉換裝置應用於高速類比數位轉換技術中。

以下請同時參閱第 3 圖，首先介紹固定脈衝寬度產生器 32 的運作過程。第一、第二延遲單元 36、38 先接收原時脈訊號，以分別延遲第一時段 Δt_1 與第一時段 Δt_2 ，輸出第一、第二延遲時脈訊號，其中第一時段 Δt_2 長於第一時段 Δt_1 。由於，原時脈訊號在上升與下降波形區段皆有時脈抖動現象，即圖中斜線區域，因此第一、第二延遲時脈訊號亦有同樣現象。接著，互斥閘 42 接收第一、第二延遲時脈訊號，並進行運算後，輸出平衡時脈訊號至及閘 44，同時，及閘 44 接收第一延遲時脈訊號，並將其與平衡時脈訊號相加，輸出固定脈衝訊號至數位類比轉換單元 34 中。由於互斥閘 42 與及閘 44 在訊號相加過程中把時脈抖動的現象消除了，因此固定脈衝訊號在訊號上升與下降區段會成穩定波形，且脈衝寬度為 $\Delta t_2 - \Delta t_1$ 。

當輸出端 20 有數位訊號輸出時，數位類比轉換單元 34 即可接收數位訊號與固定脈衝訊號，並依據偏壓源 30 提供之電訊號與固定脈衝訊號，將數位訊號轉換為迴授類比訊號，以傳送至加法器 24 中，同時，加法器 24 接收原始類比訊號，以與迴授類比訊號相加，形成轉換類比訊號，供迴路濾波器 22 接收。迴路濾波器 22 對轉換類比訊號進行濾波，以輸出濾波類比訊號至量化器 26 中。最後量化器 26 對濾波類比訊號進行數位取樣，從輸出端 20 輸出穩定且具高解析度之數位訊號。

綜上所述，本發明提供不具時脈抖動之一固定脈衝訊號，來取代習知的時脈訊號，以免除數位輸出之雜訊影響，達到高解析度之數位輸出目的。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之類比數位轉換裝置之電路方塊圖。

第 2 圖為本發明之裝置電路方塊圖。

第 3 圖為本發明之原時脈訊號、延遲時脈訊號與固定脈衝訊號之訊號波形圖。

【主要元件符號說明】

10	迴路濾波器	12	量化器
14	同步數位類比轉換器	16	時脈產生元件
18	輸入端	20	輸出端
22	迴路濾波器	24	加法器
26	量化器	28	非同步數位類比轉換器
30	偏壓源	32	固定脈衝寬度產生器
34	數位類比轉換單元	36	第一延遲單元
38	第二延遲單元	40	邏輯組合單元
42	互斥閘	44	及閘

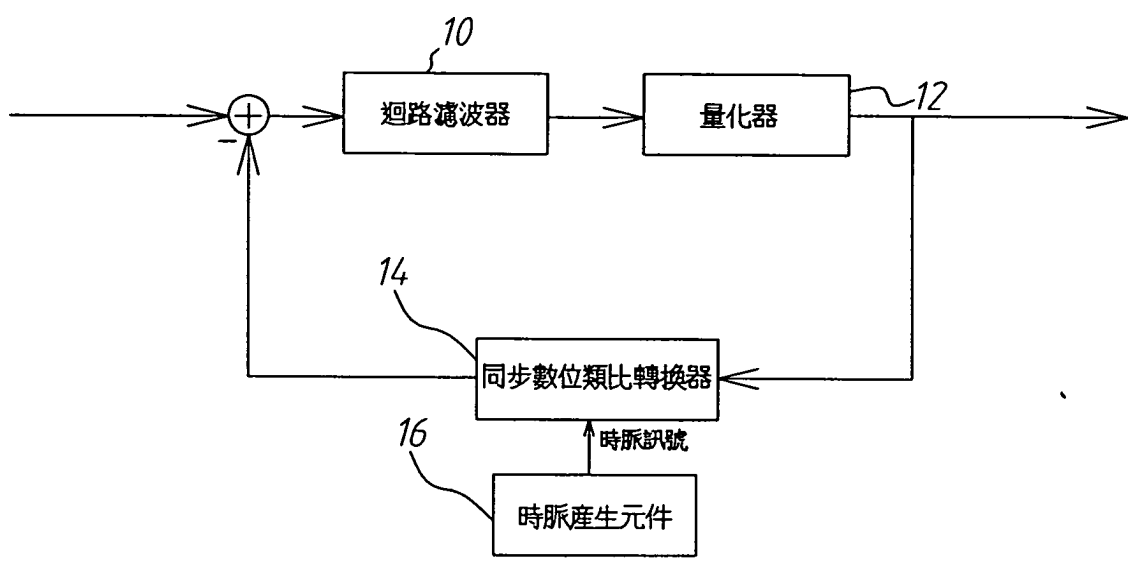
七、申請專利範圍：

1. 一種類比數位轉換裝置，連接一輸入端與一輸出端，該輸入端接收一原始類比訊號，該類比數位轉換裝置包含：
 - 一迴路濾波器，其係接收一轉換類比訊號，並將其濾波後，輸出一濾波類比訊號；
 - 一量化器，連接該迴路濾波器與該輸出端，並接收該濾波類比訊號，以進行數位取樣，從該輸出端輸出一數位訊號；
 - 一偏壓源；
 - 一第一延遲單元與一第二延遲單元，其係接收一原時脈訊號，該第一延遲單元延遲該原時脈訊號之第一時段後，輸出一第一延遲時脈訊號，該第二延遲單元延遲該原時脈訊號之長於該第一時段之第二時段後，輸出一第二延遲時脈訊號；
 - 一邏輯組合單元，連接該第一、第二延遲單元，並接收該第一、第二延遲時脈訊號，並進行運算後，輸出一固定脈衝訊號，以消除該原時脈訊號之時脈抖動；以及
 - 一數位類比轉換單元，連接該偏壓源、該邏輯組合單元、該迴路濾波器、該輸入端、該輸出端與該量化器，並接收該數位訊號與該固定脈衝訊號，以依據該偏壓源提供之電訊號與該固定脈衝訊號，將該數位訊號轉換為一迴授類比訊號，以與該原始類比訊號形成該轉換類比訊號，供該迴路濾波器接收。
2. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該迴路濾波器為連續時間式迴路濾波器（continuous-time loop filter）或混合連續暨離散

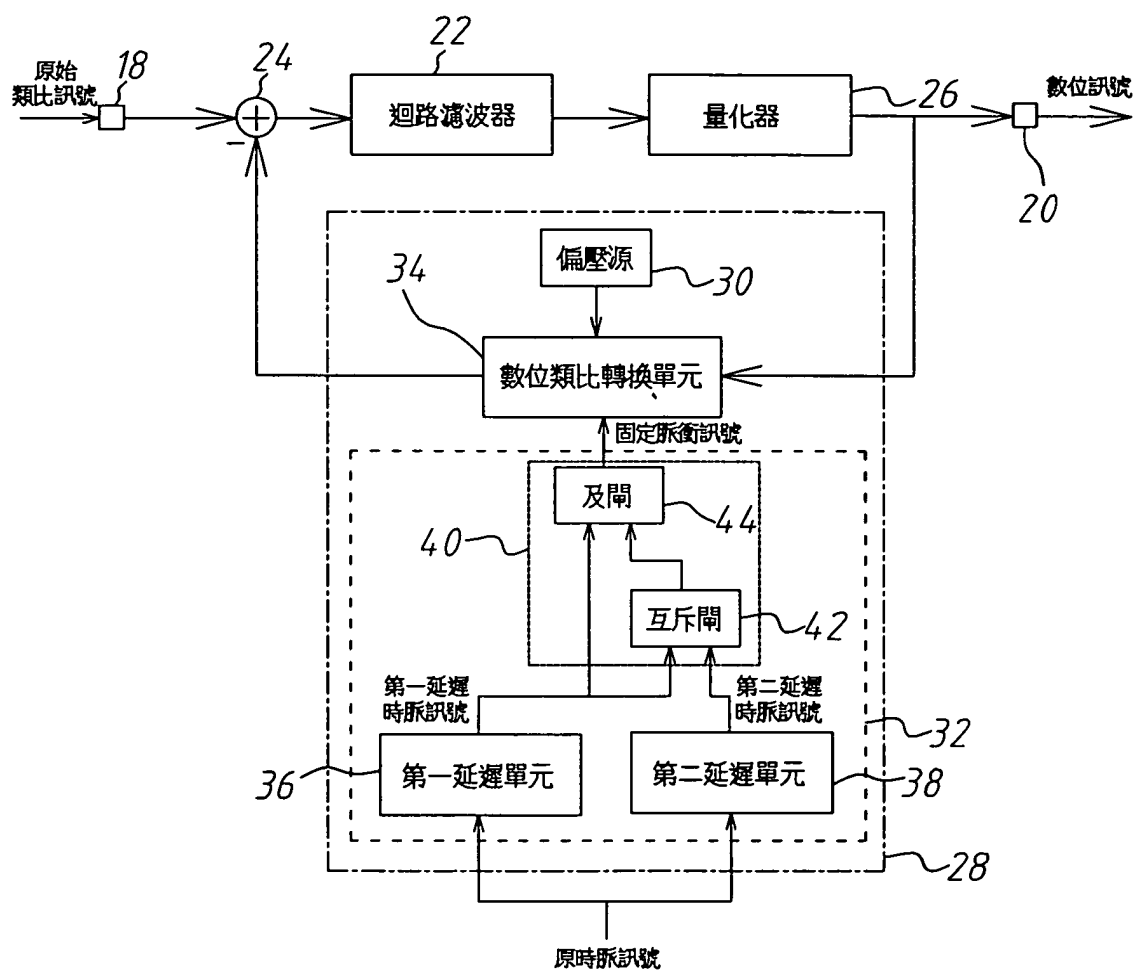
時間式迴路濾波器 (hybrid continuous discrete-time loop filter)。

3. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該量化器為振幅量化器。
4. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該偏壓源為電流源時，該迴授類比訊號為電流類比訊號。
5. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該偏壓源為電壓源時，該迴授類比訊號為電壓類比訊號。
6. 如申請專利範圍第 1 項所述之類比數位轉換裝置，其中該邏輯閘組合單元更包含：
 - 一互斥 (XOR) 閘，連接該第一、第二延遲單元，以接收該第一、第二延遲時脈訊號，並進行運算後，輸出一平衡時脈訊號；以及
 - 一及 (AND) 閘，連接該第一延遲單元、該互斥閘與該數位類比轉換單元，並接收該第一延遲時脈訊號與該平衡時脈訊號，以將其相加後，輸出該固定脈衝訊號。
7. 如申請專利範圍第 1 項所述之類比數位轉換裝置，更包含一加法器，其係連接該輸入端、該迴路濾波器與該非同步數位類比轉換器，以接收該迴授類比訊號與該原始類比訊號，並將其相加，輸出該轉換類比訊號，供該迴路濾波器接收。

八、圖式：



第 1 圖



第 2 圖

第 3 圖

