



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I420664 B

(45) 公告日：中華民國 102 (2013) 年 12 月 21 日

(21) 申請案號：099124686

(22) 申請日：中華民國 99 (2010) 年 07 月 27 日

(51) Int. Cl. : H01L29/778 (2006.01)

H01L21/335 (2006.01)

H01L21/28 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；張嘉華 CHANG, CHIA HUA (TW)；林岳欽

LIN, YUEH CHIN (TW)

(74) 代理人：林坤成；謝金原

(56) 參考文獻：

EP 1612866A2

X. Hu et al., "Enhancement Mode AlGaIn/GaN HFET with selectively grown pn junction gate," Electronics Letters, Vol. 36, p. 753

(2000).

審查人員：林士淵

申請專利範圍項數：10 項 圖式數：9 共 0 頁

(54) 名稱

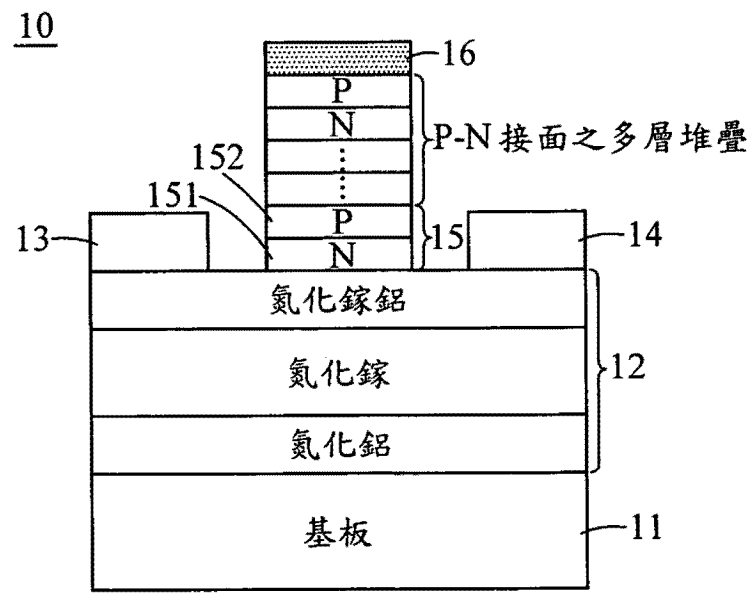
增強式高電子移動率電晶體及其製造方法

ENHANCEMENT-MODE HIGH-ELECTRON-MOBILITY TRANSISTOR AND THE  
MANUFACTURING METHOD THEREOF

(57) 摘要

本發明揭示一種增強式高電子移動率電晶體及其製造方法，其包括：一緩衝層，磊晶於一基板上；一源級及汲級，形成於該緩衝層上；複數個 P-N 接面，其係由多層堆疊之 P-N 接面形成於該緩衝層上、及該源級與汲級之間；及一閘極，形成於該等 P-N 接面之堆疊上；其中該 P-N 接面係由一 P 型及一 N 型半導體層所構成。

This invention discloses an enhancement-mode high-electron-mobility transistor and the manufacturing method thereof. The transistor comprises: an epitaxial buffer layer on a substrate, a source and a drain formed in the buffer layer, a plurality of P-N junctions multiple stacked between the source and drain on the buffer layer, and a gate formed on the multiple-stacked P-N junctions, wherein a PN junction is composed of a P-type and an N-type semiconductor layer.



- 10 . . . 電晶體
- 11 . . . 基板
- 12 . . . 緩衝層
- 13 . . . 源級
- 14 . . . 汲級
- 15 . . . P-N 接面
- 151 . . . P-N 接面之 N 型區
- 152 . . . P-N 接面之 P 型區
- 16 . . . 閘極

圖 一

## 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99 124686

※申請日：

99. 7. 27

※IPC 分類：

H01L 29/178 :2006.01

H01L 21/35 :2006.01

H01L 21/28 :2006.01

一、發明名稱：(中文/英文)

增強式高電子移動率電晶體及其製造方法

Enhancement-Mode High-Electron-Mobility Transistor

And the Manufacturing Method Thereof

二、中文發明摘要：

本發明揭示一種增強式高電子移動率電晶體及其製造方法，其包括：一緩衝層，磊晶於一基板上；一源級及汲級，形成於該緩衝層上；複數個 P-N 接面，其係由多層堆疊之 P-N 接面形成於該緩衝層上、及該源級與汲級之間；及一閘極，形成於該等 P-N 接面之堆疊上；其中該 P-N 接面係由一 P 型及一 N 型半導體層所構成。

三、英文發明摘要：

This invention discloses an enhancement-mode high-electron-mobility transistor and the manufacturing method thereof. The transistor comprises: an epitaxial buffer layer on a substrate, a source and a drain formed in the buffer layer, a plurality of P-N junctions multiple stacked between the source and drain on the buffer layer, and a gate formed on the multiple-stacked P-N junctions, wherein a PN junction is composed of a P-type and an N-type semiconductor layer.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

- 10 電晶體
- 11 基板
- 12 緩衝層
- 13 源級
- 14 汲級
- 15 P-N 接面
- 151 P-N 接面之 N 型區
- 152 P-N 接面之 P 型區
- 16 閘極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於增強式高電子移動率電晶體 (High-Electron-Mobility Transistor, HEMT) 技術，特別是指一種以 P-N 接面多層堆疊提高臨限電壓的增強式高電子移動率電晶體及其製造方法。

### 【先前技術】

氮化鎵高電子移動率電晶體由於具有高輸出功率、高崩潰電壓、耐高溫等特性，近年來已被應用於高功率元件中。然而由於其結構中之氮化鎵/氮化鋁鎵具大量之極化電荷，而形成二維電子氣 (Two-Dimensional Electron Gas, 2DEG)，使得此類電晶體通常操作在空乏式 (Depletion Mode)，而屬於常開式 (Normally On) 電晶體，其臨限電壓 (Threshold Voltage,  $V_T$ ) 為負值。因此，此類電晶體即使在閘極偏壓為零的情況下，電晶體仍會導通電流，形成額外之功率損耗，也易導致高功率元件之不正常導通而引發電路之誤動作。

目前由於環保意識抬頭，使電動車受到高度重視，而高功率之高電子移動率電晶體更為電動車之功率電路中不可或缺之電子元件。由於車用電路通常需在高偏壓下操作，此類環境容易伴隨瞬間脈衝電壓，使電晶體在非預期情況下導通，影響車輛之安全性。雖然已有習知技術提出以深凹陷式閘極結構 (Deeply Recessed Gate) 或四氟化碳

(CF<sub>4</sub>)電漿處理方式製作增強式(Enhancement Mode)的氮化鎵高電子移動率電晶體，而為常關式(Normally Off)的操作特性，然而其臨限電壓至多只可提升至+0.9V，仍不足以滿足實際應用電路上的需求。此外，深凹陷式閘極結構須導入表面蝕刻製程，而四氟化碳電漿處理方式亦需利用電漿將氟離子導入元件中，此兩種方式皆容易造成電晶體之表面狀態 (Surface State)密度增加，影響電晶體之效能及可靠度。

### 【發明內容】

為解決上述習知技術的缺失，本發明之一目的係欲改善既有習知技術之深凹陷式閘極結構或四氟化碳電漿處理方式製作增強式氮化鎵電晶體效能不佳的問題。

本發明之另一目的係欲大幅提高增強式高電子移動率電晶體之臨限電壓。

為達成上述之目的，在本發明的一方面揭示一種增強式高電子移動率電晶體，包括：一緩衝層，磊晶於一基板上；一源級及一汲級，形成於該緩衝層上；複數個 P-N 接面，其係由多層堆疊之 P-N 接面形成於該緩衝層上、及該源級與汲級之間；及一閘極，形成於該等 P-N 接面之堆疊上；其中該 P-N 接面係由一 P 型及一 N 型半導體層所構成。

在本發明的另一方面揭示一種增強式高電子移動率電晶體的製造方法，其包括下列步驟：提供一具有一緩衝層之基板；形成複數個 P-N 接面，多層堆疊於該緩衝層上；去除於預定的閘極區域之外的 P-N 接面堆疊；形成一源級

及一汲級，於該緩衝層上、及分別於該預定閘極區域的兩側；及形成一閘極於該等 P-N 接面堆疊之上。

### 【實施方式】

為使 貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後：

請參照圖一，為根據本發明之具有多重 PN 接面之增強式高電子移動率電晶體的一實施例之結構剖面示意圖。如圖所示，本實施例之增強式高電子移動率電晶體 10 在結構上包括：一基板 11、一緩衝層 12、一源級 13 及汲級 14、複數個 P-N 接面 15 之多層堆疊、及一閘極 16。該基板 11 用以支持建構於其上之半導體元件，其材料並沒有特殊的限定，可以是砷化鎵(GaAs)、氮化鎵(GaN)、矽(Si)、碳化矽(SiC)、藍寶石(Sapphire)、或其他半導體材料。一多層結構的緩衝層 12 磊晶於該基板 11 上，各層由上而下依序為氮化鎵鋁(AlGaN)/氮化鎵/氮化鋁(AlN)；其最上層的氮化鎵鋁層及氮化鎵層間形成有井區(Well)，以提供半導體元件及場效電晶體通道(Channel)的建構區；該緩衝層亦可適度地緩和該基板及元件建構區之間的材料結晶不匹配，而影響元件的製造或特性；緩衝層 12 的材料亦可以是砷化鎵、氮化鎵、氮化鋁、氮化鎵鋁、及上述材料之組合。一源級 13 及汲級 14 分別形成於該緩衝層 12 上及該電晶體通道的兩側，其材料為金屬，可以是鈦(Ti)、鋁(Al)、鎢(W)、鎳(Ni)、或金(Au)，但並不限於此。

為了有效提高增強式高電子移動率電晶體的臨限電

壓，本實施例於電晶體通道所在的該緩衝層 12 上，成長 P-N 型接面 15，下層為 N 型 151 且上層為 P 型 152 半導體；其材料可以是砷化鎵、氮化鎵、氮化鋁、或氮化鎵鋁，並以磊晶或化學氣相沉積的製程形成，但不以此為限，亦可採用其他的半導體材料及製程。由於單一個 P-N 接面之內建電壓約為 0.7V，當與習知的場效電晶體整合，可使電晶體導通所需之臨限電壓提升約 0.7V。在某些特定應用的電路中，為了避免電晶體遭受不正常之開啟，本實施例之電晶體將多層堆疊 M 個 P-N 接面 15 於該緩衝層上，則電晶體的臨限電壓將可提高 0.7V 的整數倍，或是說提高  $0.7 \times M$  V。例如，若一電晶體的臨限電壓希望為 50V，則其結構設計為 72 個 P-N 接面多層堆疊於該緩衝層上，臨限電壓可提高約 50V；而 M 值的選用，端視實際需要而定，並沒有一定的限定。最後，一閘極 16 形成於該等 P-N 接面之堆疊上，而達成一高臨限電壓的高電子移動率電晶體；該閘極 16 的材料可為鉑(Pt)、鋁、鈦(Ti)、金、氮化鎢( $WN_x$ )、或上述材料之組合；其中該源級 13 或汲級 14 係與該 P-N 接面 15 之堆疊相隔離。

根據本發明的另一實施例，提供一種增強式高電子移動率電晶體的製造方法，其步驟流程請參照圖二。首先，步驟 21 提供一具有緩衝層之基板，該基板的材料並沒有特殊的限定，可以是砷化鎵、氮化鎵、矽、碳化矽、藍寶石、或其他半導體材料；該緩衝層的材料可以是砷化鎵、氮化鎵、氮化鋁、氮化鎵鋁、及上述材料多層之組合，例如：由上而下依序為一氮化鎵鋁/氮化鎵/氮化鋁、或氮化鎵/氮



化鎵鋁/氮化鋁/氮化鎵/氮化鋁。其次，步驟 23 形成複數個 P-N 接面，多層堆疊於該緩衝層上，其中該單一個 P-N 型接面之下層為 N 型且上層為 P 型半導體；其材料可以是砷化鎵、氮化鎵、氮化鋁、或氮化鎵鋁，並以磊晶或化學氣相沉積的製程形成，但不以此為限，亦可採用其他的半導體材料及製程。再其次，步驟 25 將閘極的預定區域之外的 P-N 接面堆疊去除，可採用光微影蝕刻 (Photolithography) 或其他的半導體製程技術。又其次，步驟 27 則於該緩衝層上、及分別於該預定閘極區域的兩側形成一源級及汲級，其材料為金屬，可以是鈦、鋁、鎢、鎳、或金，但並不限於此。最後，步驟 29 於該等 P-N 接面堆疊之上形成一閘極，而完成一高臨限電壓的高電子移動率電晶體，其材料可為鉑、鋁、鈦、金、氮化鎢、或上述材料之組合；其中該源級或汲級係與該 P-N 接面之堆疊相隔離。

本發明的另一方面，亦可與習知的空乏式或增強式場效電晶體進行整合，進一步提升電晶體之臨限電壓，以下舉一例子說明。首先以圖三所示意的氮化鎵鋁 122/氮化鎵 121 的磊晶基板 11，利用光微影蝕刻技術，以光阻 18 定義出閘極區域，接著進行四氟化碳電漿處理，如圖四所示，使氟離子進入氮化鋁鎵 122 的通道層中，以空乏通道中的電荷，使電晶體成為增強式場效電晶體。接著將光阻 18 移除，並成長 P-N 接面 15 之多層堆疊，如圖五所示；如此可以利用氟離子空乏通道中的電荷的優點，及結合多層堆疊 P-N 接面提升電晶體臨限電壓的功效。接著將電晶體閘極區域以外的 P-N 接面多層堆疊去除，保留閘極下方之 P-N

接面多層堆疊，用以控制臨限電壓，如圖六所示。接著製作電晶體的源級 13 及汲級 14，如圖七所示。接著以光微影蝕刻技術之光阻層定義出閘極區域，蒸鍍金屬層作為閘極 16 電極及該等 P-N 接面之歐姆接觸，如圖八所示。最後，以金屬剝離(Lift-off)技術，利用丙酮佐以超音波震盪的方式，將多餘之光阻剝落，完成具多層堆疊 PN 接面之增強式場效電晶體結構，如圖九所示。

唯以上所述者，僅為本發明之較佳實施例，當不能以之限制本發明的範圍。即大凡依本發明申請專利範圍所做之均等變化及修飾，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍，故都應視為本發明的進一步實施狀況。

**【圖式簡單說明】**

圖一 根據本發明之增強式高電子移動率電晶體的一實施例之結構剖面示意圖。

圖二 根據本發明另一實施例之增強式高電子移動率電晶體製造方法的示意流程圖。

圖三至九 根據本發明實施例應用於與習知的場效電晶體整合之元件結構流程示意圖。

**【主要元件符號說明】**

- 10 電晶體
- 11 基板
- 12 緩衝層
- 121 緩衝層之氮化鎵
- 122 緩衝層之氮化鎵鋁
- 13 源級
- 14 汲級
- 15 P-N 接面
- 151 P-N 接面之 N 型區
- 152 P-N 接面之 P 型區
- 16 閘極
- 18 光阻

## 七、申請專利範圍：

1. 一種增強式高電子移動率電晶體的製造方法，其包括下列步驟：

提供一具有一緩衝層之基板；

形成複數個 P-N 接面，多層堆疊於該緩衝層上；

去除於預定的閘極區域之外的 P-N 接面堆疊；

形成一源級及一汲級，於該緩衝層上、及分別於該預定閘極區域的兩側；及

形成一閘極於該等 P-N 接面堆疊之上。

2. 如請求項 1 所述之製造方法，其中該源級或汲級係與該 P-N 接面之堆疊相隔離。
3. 如請求項 1 所述之製造方法，其中該基板之材料選自砷化鎵、氮化鎵、矽、碳化矽、及藍寶石。
4. 如請求項 1 所述之製造方法，其中該緩衝層之結構係由多層的材料層所構成。
5. 如請求項 4 所述之製造方法，其中該緩衝層的材料選自砷化鎵、氮化鎵、氮化鋁、氮化鎵鋁、及上述材料之組合。
6. 如請求項 4 所述之製造方法，其中該緩衝層的結構由上而下依序為氮化鎵鋁/氮化鎵/氮化鋁、或氮化鎵/氮化鎵鋁/氮化鋁/氮化鎵/氮化鋁。
7. 如請求項 1 所述之製造方法，其中該源級或汲級的材料選自鈦、鋁、鎢、鎳、及金。
8. 如請求項 1 所述之製造方法，其中該 P-N 接面係由一 P

102年10月4日修正  
對線頁(本)

102年10月4日修正替換頁

型及一 N 型半導體層所構成。

9. 如請求項 1 所述之製造方法，其中該 P-N 接面的材料選自砷化鎵、氮化鎵、氮化鋁、及氮化鎵鋁。
10. 如請求項 1 所述之製造方法，其中該閘極的材料選自鉑、鋁、鈦、金、氮化鎢、及上述材料之組合。

八、圖式：

99年8月4日 蔣修正

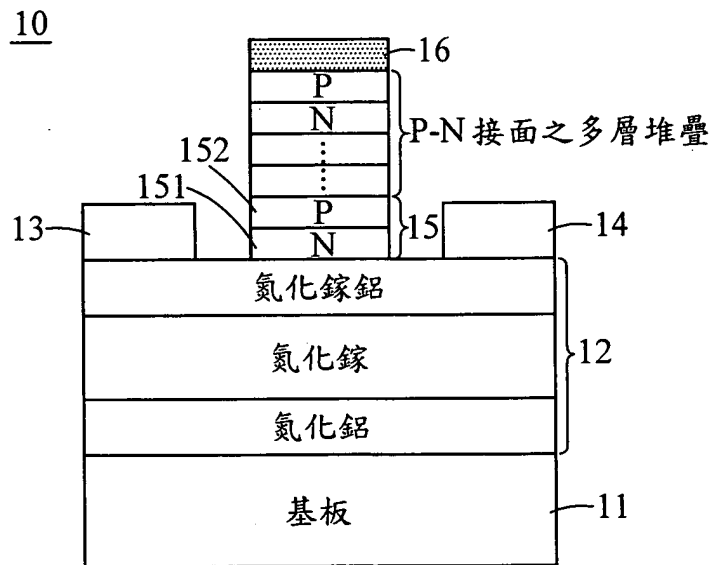


圖 一

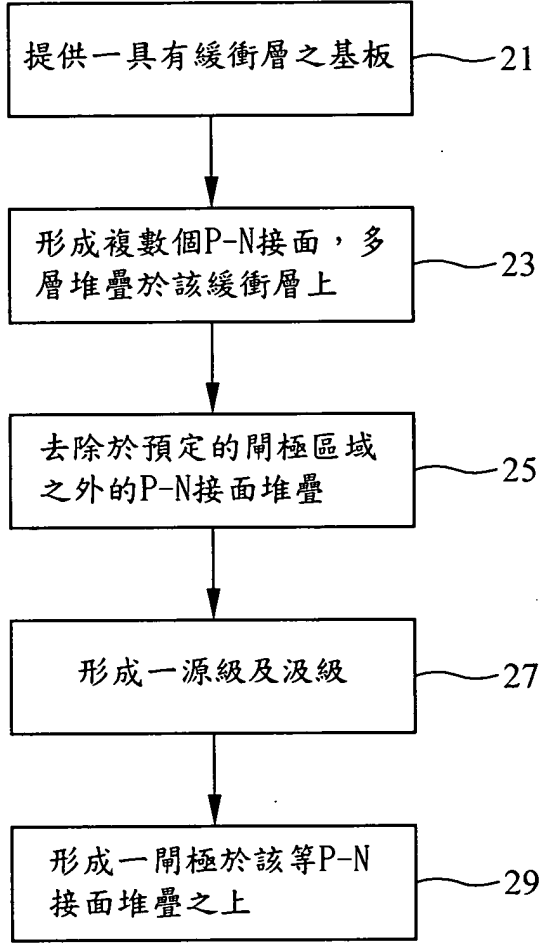


圖 二

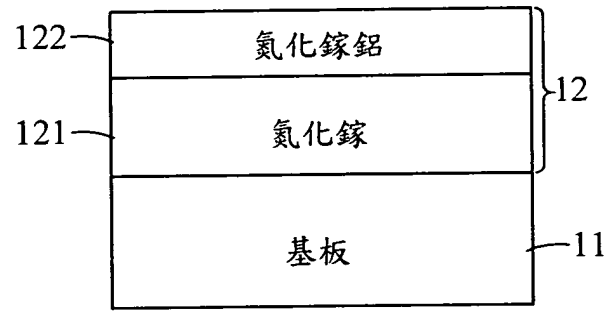


圖 三

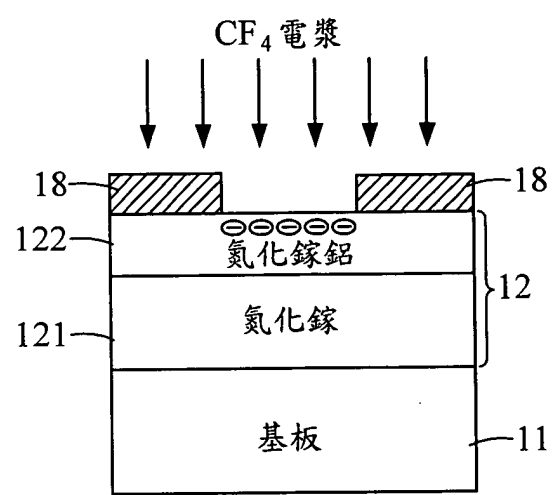


圖 四



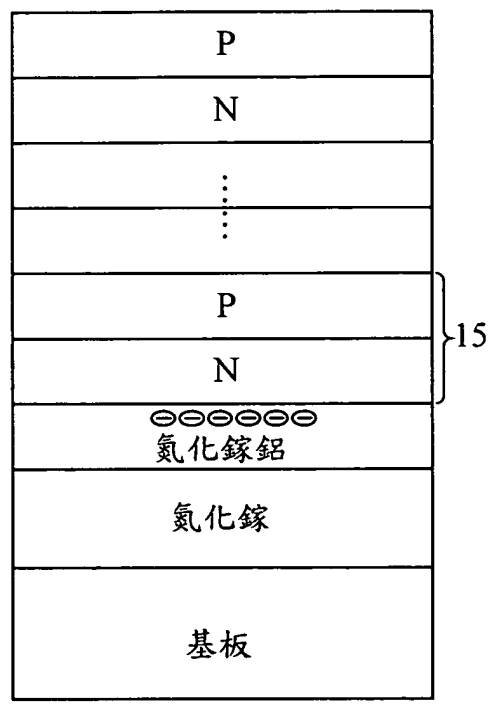


圖 五

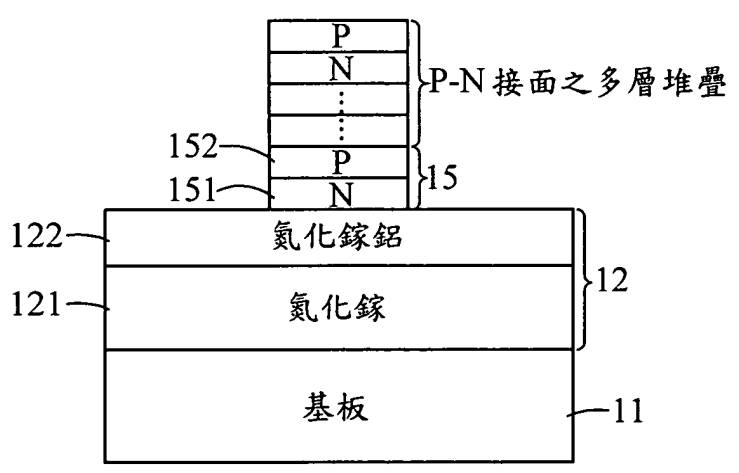


圖 六

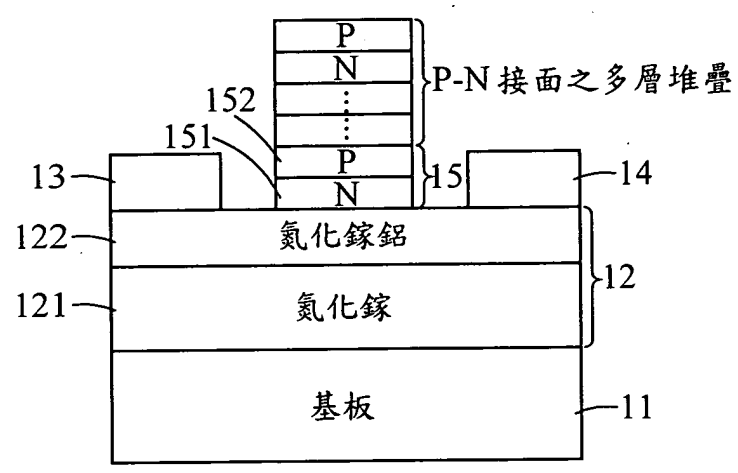


圖 七

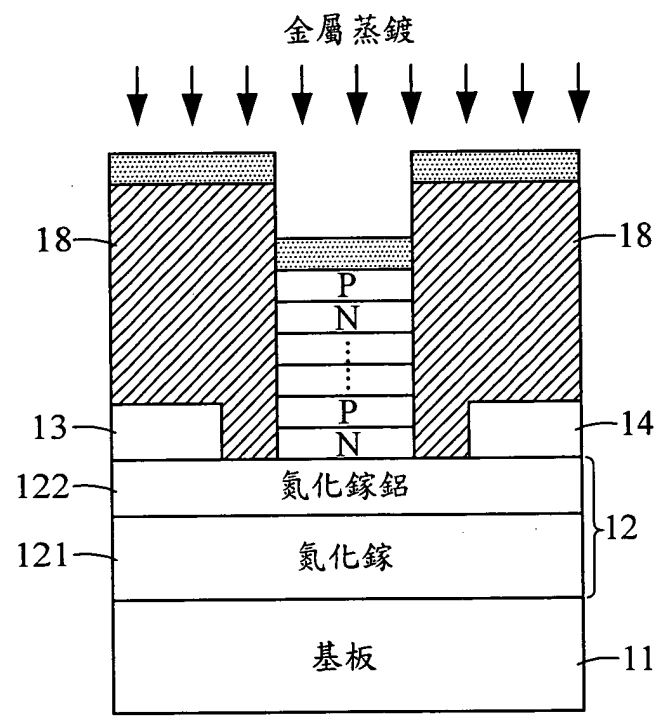
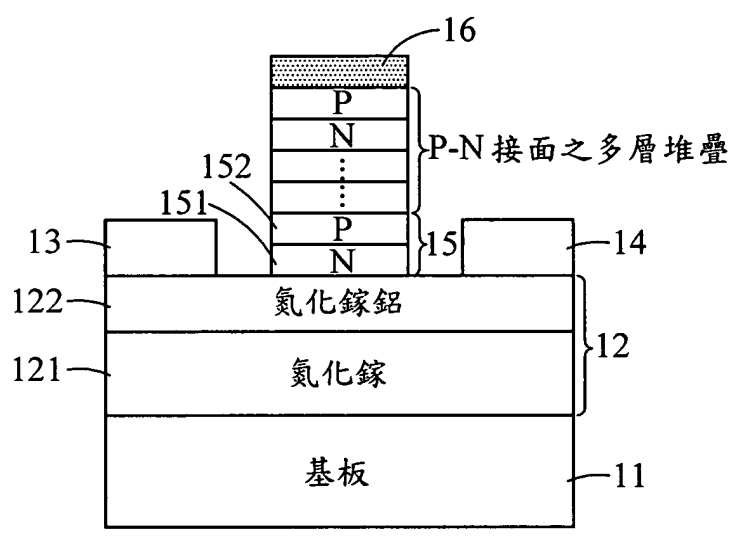


圖 八



圖九