



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I419173 B

(45) 公告日：中華民國 102 (2013) 年 12 月 11 日

(21) 申請案號：098125793

(22) 申請日：中華民國 98 (2009) 年 07 月 31 日

(51) Int. Cl. : G11C7/04 (2006.01)

G11C7/22 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：楊仕琪 (TW)；楊皓義 (TW)；莊景德 (TW)；黃威 (US)

(74) 代理人：林火泉

(56) 參考文獻：

TW 200805374

TW 200842873

EP 1204121A2

EP 1374248B1

US 2007/0025162A1

Zhang, et al., 「A 3-GHz 70-Mb SRAM in 65-nm CMOS Technology with Integrated Column-Based Dynamic Power Supply」, IEEE Journal of Solid State Circuits, vol. 41, pp.146-151, Jan. 2006。

審查人員：蔡夙勇

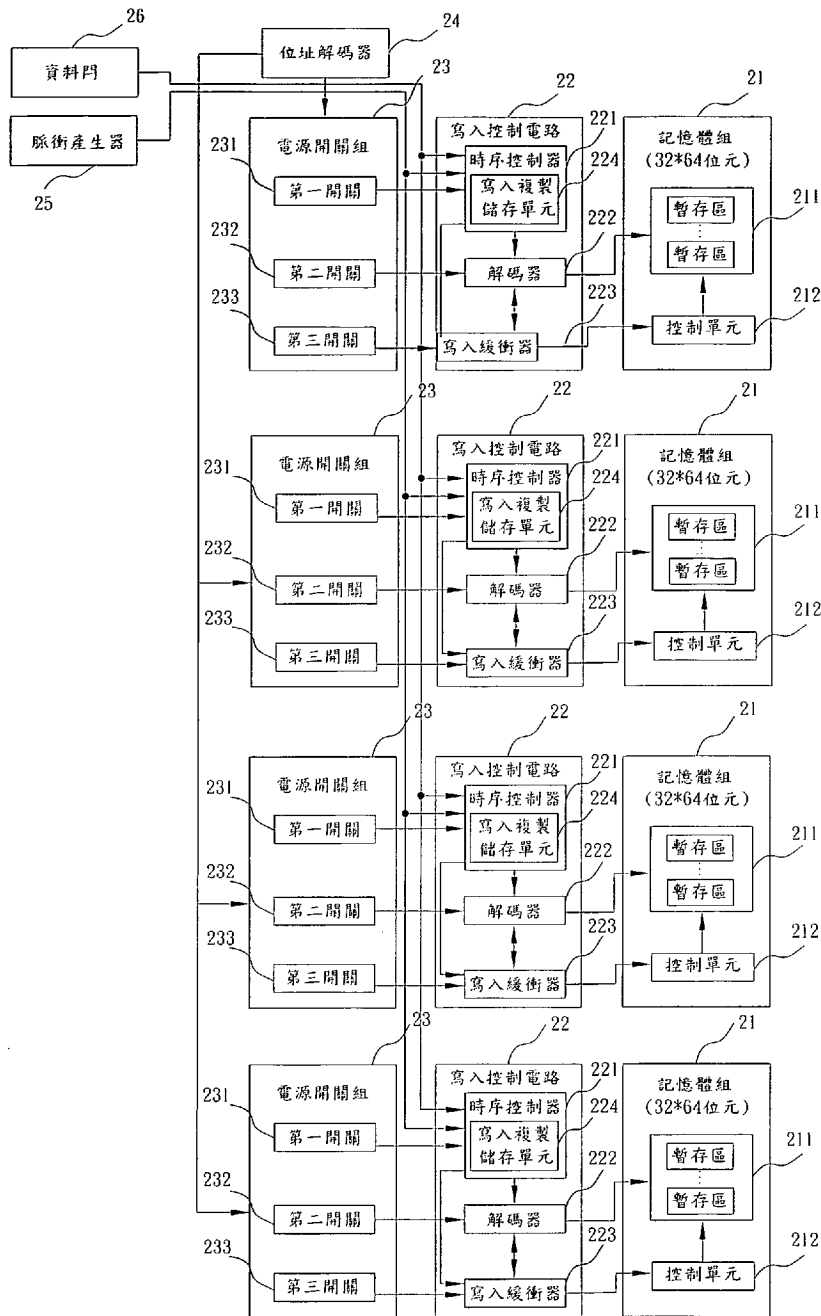
申請專利範圍項數：9 項 圖式數：5 共 0 頁

(54) 名稱

靜態隨機存取記憶體裝置

(57) 摘要

本發明係揭露一種靜態隨機存取記憶體裝置，包含複數個記憶體組、複數個寫入控制電路、複數個電源開關組及一位址解碼器，每一寫入控制電路對應連接於每一記憶體組，當位址解碼器接收一寫入資料而產生一控制訊號，並據此開啟其中一電源開關組，使對應之寫入控制電路將一寫入位元資料寫入於對應之記憶體組內，寫入完成後隨之關閉，以減少靜態隨機存取記憶體裝置中的電晶體開啟時間，讓電晶體可進入回復的狀態，因此，可有效減緩晶片(IC)中的靜態隨機存取記憶體受正/負溫度偏壓不穩定性的影響，進而提高存取速度、穩定度及降低功率消耗等優點。



第三圖

- 21 . . . 記憶體組
- 211 . . . 暫存區
- 212 . . . 控制單元
- 22 . . . 寫入控制電路
- 221 . . . 時序控制器
- 222 . . . 解碼器
- 223 . . . 寫入緩衝器
- 224 . . . 寫入複製儲存單元
- 23 . . . 電源開關組
- 231 . . . 第一電源開關
- 232 . . . 第二電源開關
- 233 . . . 第三電源開關
- 24 . . . 位址解碼器
- 25 . . . 電壓脈衝產生器
- 26 . . . 資料門

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： P8125793

※申請日： 88.7.31 ※IPC 分類： G11C 7/04 (2006.01)

G11C 7/22 (2006.01)

一、發明名稱：(中文/英文)

靜態隨機存取記憶體裝置

二、中文發明摘要：

本發明係揭露一種靜態隨機存取記憶體裝置，包含複數個記憶體組、複數個寫入控制電路、複數個電源開關組及一位址解碼器，每一寫入控制電路對應連接於每一記憶體組，當位址解碼器接收一寫入資料而產生一控制訊號，並據此開啟其中一電源開關組，使對應之寫入控制電路將一寫入位元資料寫入於對應之記憶體組內，寫入完成後隨之關閉，以減少靜態隨機存取記憶體裝置中的電晶體開啟時間，讓電晶體可進入回復的狀態，因此，可有效減緩晶片 (IC) 中的靜態隨機存取記憶體受正/負溫度偏壓不穩定性的影響，進而提高存取速度、穩定度及降低功率消耗等優點。

三、英文發明摘要：

## 四、指定代表圖：

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件符號簡單說明：

- 21 記憶體組
- 211 暫存區
- 212 控制單元
- 22 寫入控制電路
- 221 時序控制器
- 222 解碼器
- 223 寫入緩衝器
- 224 寫入複製儲存單元
- 23 電源開關組
- 231 第一電源開關
- 232 第二電源開關
- 233 第三電源開關
- 24 位址解碼器
- 25 電壓脈衝產生器
- 26 資料門

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種靜態隨機存取記憶體裝置，特別是關於一種利用複數個資料傳輸路徑以降低正/負偏壓溫度不穩定性 (PBTI/NBTI) 效應之靜態隨機存取記憶體裝置。

### 【先前技術】

現今各類硬體、通訊、消費性電子產品及微處理器都須要嵌入式記憶體來做儲存，如靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。目前，由奈米製程製作的靜態隨機存取記憶體會受到負偏壓溫度不穩定性 (Negative Bias Temperature Instability, NBTI) 效應，而影響 P 型電晶體效能。而於高 K-金屬閘製程下 (HIGH-K/METAL GATE) 的靜態隨機存取記憶體會受到負偏壓溫度不穩定性效應與正偏壓溫度不穩定性 (Positive Bias Temperature Instability, PBTI) 效應，而影響 N 型電晶體效能，所以靜態隨機存取記憶體不管在奈米製程或高 K-金屬閘製程任一種製程下，都會因負偏壓溫度不穩定性和正偏壓溫度不穩定性等效應，讓電晶體的臨界電壓值隨著使用時間越長而增加、溫度偏壓隨之升高而造成電晶體特性變弱，進而使靜態隨機存取記憶體存取速度變慢，嚴重的影響產品的可靠度。

如第一圖所示，為習知靜態隨機存取記憶體架構，其設計以包含 128\*64bits 的靜態隨機存取記憶體之寫入複製電路架構為主，當時脈訊號 (CLK) 於正緣觸發時，讓一脈衝產生器 10 產生一充電信號予包含 8 個電晶體的寫入複製儲存元 111 之位元線 BL 和 BLB 做充電，於充電期間，寫

入複製儲存元 111 會做初始化動作，其中，寫入複製儲存元 111 係設置於一時序控制電路 11 內。當寫入複製電路要執行寫入動作時，會先透過一資料門將寫入資料儲存於寫入複製儲存元 111 中，時序控制電路 11 會將一解碼器 12、一寫入驅動器 (Write Drivers, WDs) 13 打開，解碼器 12 會自寫入複製儲存元 111 解碼寫入資料，並由 128\*64bits 之儲存陣列 14 的寫字組線緩衝器 (WWL buffer) 通過一連串的邏輯路徑，將解碼後的寫入資料寫入儲存陣列 14 之要存的儲存區中，而寫入驅動器 13 會通過一連串的邏輯路徑而將要存的儲存區打開，因此，儲存陣列 14 中要存的儲存區即可完成寫入動作。寫入複製電路偵測到儲存陣列 14 被成功寫入時，會關閉寫入複製儲存元 111 之作動，寫入驅動器 13 與寫字組線緩衝器也隨之關閉，以降低功率消耗。

然而，靜態隨機存取記憶體之時序控制電路中的寫入複製儲存元 111 在執行寫入動作時，電晶體之臨界電壓值會依據被開啟的時間而增加，會因為正偏壓溫度不穩定性與負偏壓溫度不穩定性的效應而改變，也就是說，隨著使用時間越長，電晶體的溫度偏壓隨之升高而造成效能下降，產生和原先不一致的控制訊號，相對的，寫入驅動器 13 與寫字組線緩衝器 (WWL buffer) 之數量不同，在長久使用時間之後，所以在邏輯路徑中也因為此效應導致傳輸時序不同及延遲，使儲存陣列 14 之存取速度變慢而讓產品效能降低。因此，如何降低積體電路 (IC) 中的靜態隨機存取記憶體受正/負偏壓溫度不穩定性效應之影響是亟待解決的問題。

有鑑於此，本發明提出一種靜態隨機存取記憶體裝置，以改善習知之缺失者。

## 【發明內容】

本發明之主要目的係在提供一種靜態隨機存取記憶體裝置，其係降低正/負偏壓溫度不穩定性效應所造成訊號不匹配與延遲的問題，以提高產品的可靠度 (reliability)。

本發明之另一目的係在提供一種靜態隨機存取記憶體裝置，可以讓時序控制訊號一致，以提高記憶體寫入的成功機率，並縮短傳輸路徑以使電晶體運作時間縮短而提高其效能。

本發明之再一目的係在提供一種靜態隨機存取記憶體裝置，利用機率分散方式執行記憶體寫入動作，可提高存取速度、穩定度及降低功率消耗等優點。

為達到上述之目的，本發明之靜態隨機存取記憶體裝置，包含複數個記憶體組、複數個寫入控制電路、複數個電源開關組及一位址解碼器，每一寫入控制電路對應連接於每一記憶體組，此些寫入控制電路係提供一寫入位元資料，並將其儲存於對應之記憶體組內，此些電源開關組係分別對應連接於每一寫入控制電路之電源端，位址解碼器係接收一寫入資料以產生一控制訊號，並據此開啟其中一電源開關組，使對應之寫入控制電路運作。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

## 【實施方式】

積體電路 (IC) 中的靜態隨機存取記憶體不管在奈米製程或高 K-金屬閘製程任一種製程下，電晶體在運作時都會受正/負偏壓溫度不穩定性的影

響，若長時間運作下，電晶體效能會下降，靜態隨機存取記憶體的可靠度隨之下降。所以本發明係提出一種利用機率分散之方式，將習知 128\*64 位元儲存陣列分成複數個儲存陣列，僅執行有運作之儲存陣列及其對應的時序控制電路與傳輸路徑，以縮短電晶體運作時間，相對的，可有效減緩正/負偏壓溫度不穩定性的影響，當然本發明可應用於任一規格之靜態隨機存取記憶體裝置上。

如第二圖所示，為本發明之靜態隨機存取記憶體裝置之示意圖。靜態隨機存取記憶體裝置包含複數個記憶體組 21、複數個寫入控制電路 22、複數個電源開關組 23 及一位址解碼器 24，其中每一寫入控制電路 22 對應連接於每一記憶體組 21，此些電源開關組 23 係分別對應連接於每一寫入控制電路 22 之電源端，位址解碼器 24 係接收一寫入資料以產生一控制訊號，並據此開啟其中一電源開關組 23，使對應之寫入控制電路 22 運作，讓寫入控制電路 22 將一寫入位元資料儲存於記憶體組 21 內。

如第三圖所示，本發明以一 128\*64 位元儲存陣列的靜態隨機存取記憶體裝置為例，利用機率分散之方式，將每一記憶體組 21 設計為 32\*64 位元陣列，換言之，本發明係將 128\*64 位元儲存陣列分為四組 32\*64 位元陣列之記憶體組 21，而每一記憶體組 21 對應連接於一寫入控制電路 22，而寫入控制電路 22 連接於一電源開關組 23。其中，記憶體組 21 包含複數個暫存區 211 與一控制單元 212，寫入控制電路 22 更包含時序控制器 221、解碼器 222 及寫入緩衝器 223，電源開關組 23 包含第一電源開關 231、第二電源開關 232 及第三電源開關 233，分別對應連接於時序控制器 221、解碼器 222 及寫入緩衝器 223 之電源端，寫入緩衝器 223 連接於控制單元 212。



當位址解碼器 24 輸出一控制訊號時，可控制其中一記憶體組 21 運作，使對應之寫入控制電路 22 的電源開關組 23 開啟。當第一電源開關 231 開啟，使時序控制器 221 開始運作，一電壓脈衝產生器 25 與一資料門 26 對時序控制器 221 之一寫入複製儲存單元 (Write-Replica Memory Cell) 224 進行充電與儲存寫入資料，同時第二電源開關 232 及第三電源開關 233 予以開啟解碼器 222 及寫入緩衝器 223 的電源端，解碼器 222 經由時序控制器 221 之寫入複製儲存單元 224 接收寫入資料，並將其解碼為一寫入位元資料，寫入位元資料係透過記憶體組 21 之一寫字組線 (WWL) (如第四圖所示) 寫入欲儲存之此些暫存區 211 中，寫入緩衝器 223 係依據寫入位元資料欲儲存之此些暫存區 211，而驅動記憶體組 21 之控制單元開啟此些暫存區 211，因此，讓寫入位元資料可以成功地寫入對應之此些暫存區 211 內。當記憶體組 21 寫入完成後，電源開關組 23 會予以關閉對應之寫入控制電路 22 的電源端，以降低功率消耗。

同時請參閱第四圖，為第三圖之 128\*64 位元儲存陣列的靜態隨機存取記憶體裝置之電路圖。靜態隨機存取記憶體之電路中包含複數個電晶體元件以作為控制邏輯路徑，且此些電晶體元件利用二氧化矽製程所製作而成；在此實施例中，僅敘述有關時序控制器 221 與控制單元 212 分別包含複數個電晶體以作為控制邏輯路徑，其中，時序控制器 221 之寫入複製儲存單元包含一交叉耦合對反相器 (cross-coupled inverter pairs)，寫入複製儲存單元 224 由 8 個電晶體所組成。當其中一記憶組 21 運作時，對應之寫入控制電路 22 的電源端會被電源開關組 23 開啟，相對的，其它記憶組 21 及其對應之寫入控制電路 22 的電源端予以關閉，因此，未運作之記憶組 21

及其對應之寫入控制電路中的電晶體元件可以停留在回復 (Recovery) 的狀態，免於正/負溫度不穩定性效應的影響。一開始，寫入控制電路要執行寫入動作時，會先透過資料門 26 將寫入資料儲存於時序控制器 221 之寫入複製儲存單元 224 中，時序控制器 221 會將解碼器 222、記憶組 21 之寫字組線 (WWL) 與寫入驅動器 (Write Drivers, WDs) 13 同時打開，解碼器 222 連接於寫字組線，並自寫入複製儲存單元 224 解碼寫入資料為一寫入位元資料，再由 32\*64 位元之記憶組 21 的寫字組線通過一連串的控制邏輯路徑，將寫入位元資料寫入儲存陣列 14 之欲存的暫存區 211 中，而控制單元 212 與寫字組線是同時驅動的，所以控制單元 212 也會通過一連串的逻辑路徑而將欲存的暫存區 211 打開，因此，記憶組 21 中欲存的暫存區 211 即可完成寫入動作，而寫入完成後，對應之寫入控制電路 22 的電源端隨之關閉，以此類推，每一記憶體組 21 依據位址解碼器 24 控制訊號而依序執行寫入動作。

接續，如第五圖所示，本發明係設計控制單元 212 與寫字組線是同時開啟或關閉，可使時序控制器 221 輸出足夠的寫字組線開啟時間。圖中，寫入窗口 (Write window) 係指寫字組線的脈波 (脈波下降緣) 及控制單元的脈波 (脈波上升緣) 同時動作的持續時間，而寫入窗口寬度是決定寫入動作成功與否。時序控制器 221 可以控制寫入窗口寬度以使資料被寫入成功，且能寫字組線與控制單元的時序訊號同步，因此於零偏壓 (zero-bias) 狀態，不但可降低電晶體受正/負溫度不穩定性的影響，也能讓電晶體快速地進入回復狀態以降低電壓偏移。藉此，本發明可以解決習知的寫入驅動器與寫字組線緩衝器之控制邏輯路徑因正/負溫度不穩定性的影響而導致傳

輸時序不同及延遲，使儲存陣列之存取速度變慢而讓產品效能降低的問題，換言之，習知的寫入驅動器與寫字組線緩衝器因長久使用時間之後，會使寫字組線緩衝器的脈波及寫入驅動器的脈波之間的通過時間點惡化，若寫入窗口比寫入複製儲存元的寫入延遲還短，寫入動作就會失敗，若較大寫入窗口雖然會增加寫入動作的成功率，但也會因正/負溫度不穩定性的影響而導致傳輸時序不同及延遲。

藉由上述可得知，本發明利用機率分散之方式，可有效減緩晶片 (IC) 中的靜態隨機存取記憶體受正/負溫度偏壓不穩定性的影響，讓時序控制訊號一致，以提高記憶體寫入的成功機率，並縮短傳輸路徑以使電晶體運作時間縮短而提高其效能，進而提高存取速度、穩定度及降低功率消耗等優點。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

### 【圖式簡單說明】

第一圖為習知靜態隨機存取記憶體之架構圖。

第二圖為為本發明之靜態隨機存取記憶體裝置之示意圖。

第三圖為本發明之 128\*64 位元儲存陣列的靜態隨機存取記憶體裝置。

第四圖為第三圖之 128\*64 位元儲存陣列的靜態隨機存取記憶體裝置之電路圖。

第五圖為本發明之寫入時序控制訊號之示意圖。

## 【主要元件符號說明】

- 10 脈衝產生器
- 11 時序控制電路
- 111 寫入複製儲存元
- 12 解碼器
- 13 寫入驅動器
- 14 儲存陣列
- 21 記憶體組
- 211 暫存區
- 212 控制單元
- 22 寫入控制電路
- 221 時序控制器
- 222 解碼器
- 223 寫入緩衝器
- 224 寫入複製儲存單元
- 23 電源開關組
- 231 第一電源開關
- 232 第二電源開關
- 233 第三電源開關
- 24 位址解碼器
- 25 電壓脈衝產生器
- 26 資料門

## 七、申請專利範圍：

### 1. 一種靜態隨機存取記憶體裝置，包括：

複數個記憶體組；

複數個寫入控制電路，每一該寫入控制電路對應連接於每一該記憶體組，該些寫入控制電路係提供一寫入位元資料，並將其儲存於對應之該記憶體組內，每一該寫入控制電路更包含一時序控制器、一解碼器及一寫入緩衝器，該時序控制器具有一寫入複製儲存單元 (Write-Replica Memory Cell)，以儲存該寫入資料，該解碼器係經由該時序控制器接收一寫入資料，並將其解碼為該寫入位元資料，該寫入緩衝器係將該解碼器之該寫入位元資料寫入於對應之該記憶體組內；

複數個電源開關組，其係分別對應連接於每一該寫入控制電路之電源端；及

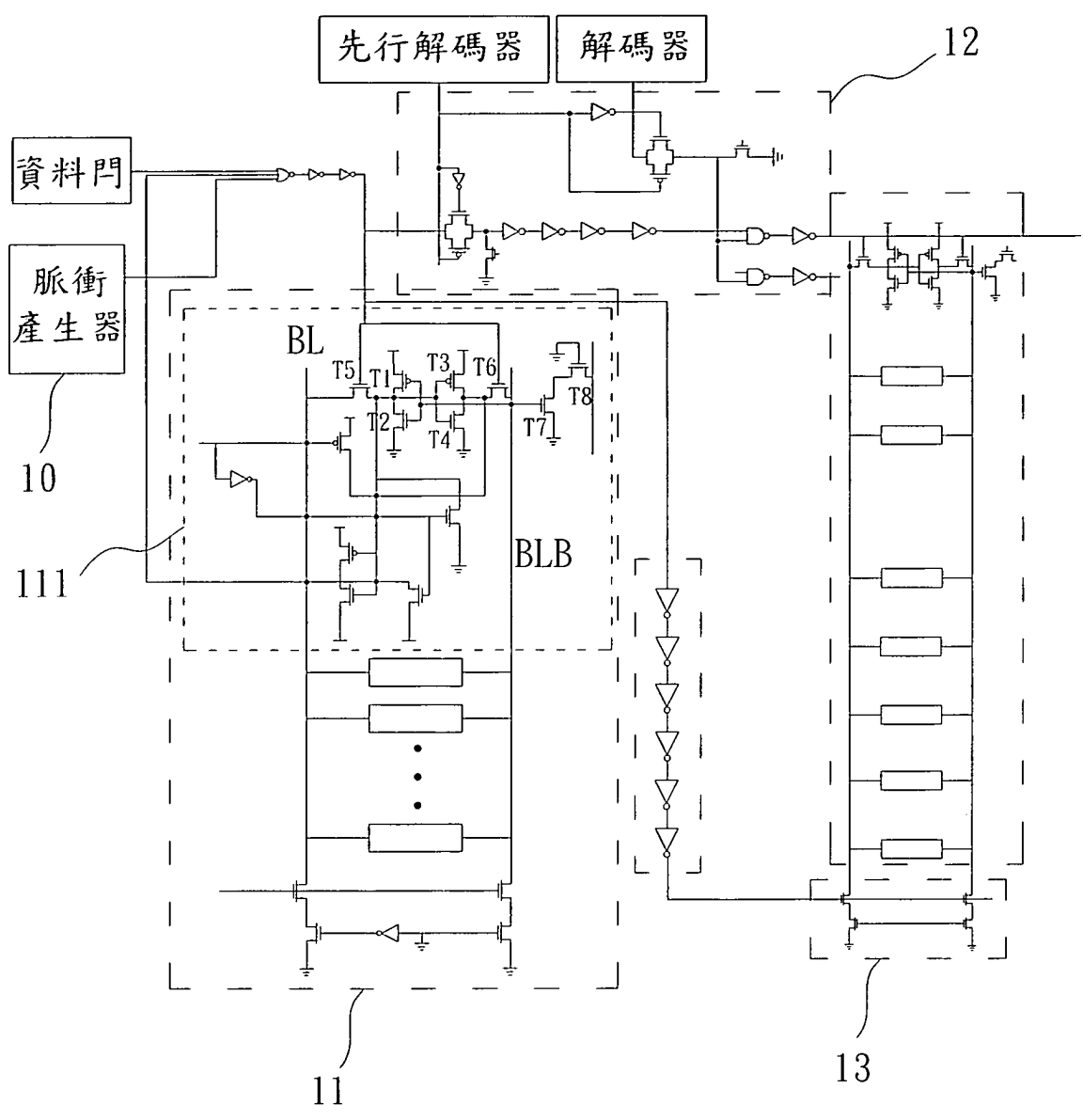
一位址解碼器，係接收一寫入資料以產生一控制訊號，並據此開啟其中一該電源開關組，使對應之該寫入控制電路運作。

### 2. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，更包含一電壓脈衝產生器與一資料門，該電壓脈衝產生器與該資料門依據該位址解碼器之控制訊號進行充電與儲存該寫入資料於該寫入複製儲存單元內。

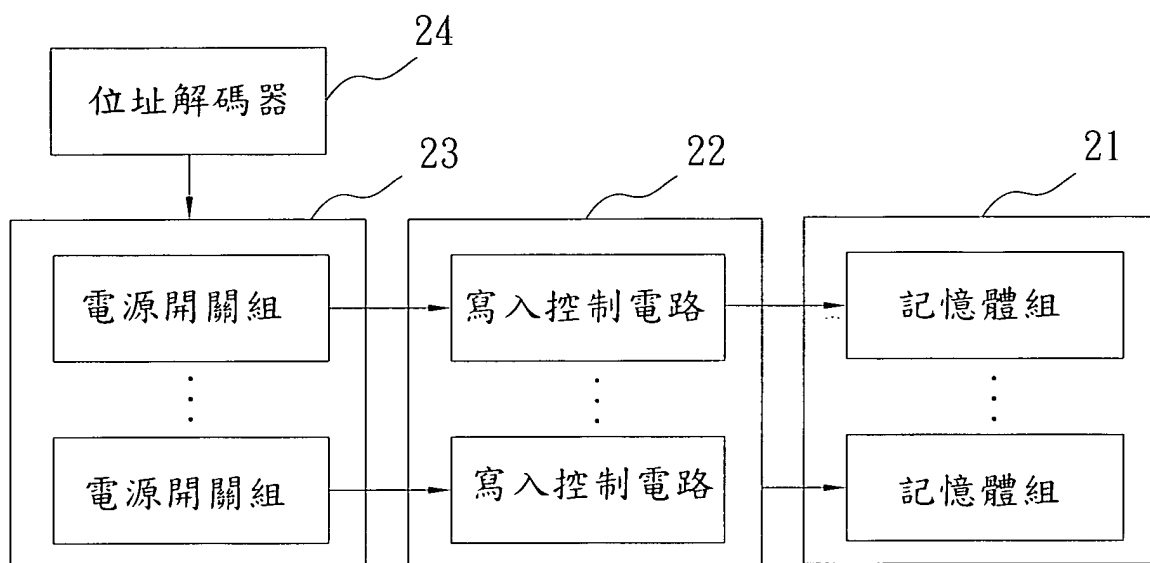
### 3. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，其中每一該電源開關組包含三電源開關，分別連接於該時序控制器、該解碼器及該寫入緩衝器之電源端，該些電源開關係依據該位址解碼器之該控制訊號予以開啟該電源端。

4. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，其中每一該記憶體組包含複數個暫存區、一寫字組線與一控制單元，該寫字組線係連接於該解碼器，並接收該解碼器輸出之該寫入位元資料，該控制單元連接於該寫入緩衝器，該控制單元係根據該寫字組線之寫入訊號以開啟欲儲存之該暫存區，使該寫字組線能將該寫入位元資料寫入對應之該暫存區內。
5. 如申請專利範圍第 4 項所述之靜態隨機存取記憶體裝置，其中該控制單元包含複數個電晶體以作為控制邏輯路徑。
6. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，其中該寫入複製儲存單元包含一交叉耦合對反相器 (cross-coupled inverter pairs)，該寫入複製儲存單元由 8 個電晶體所組成。
7. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，其中該時序控制器包含複數個電晶體以作為控制邏輯路徑。
8. 如申請專利範圍第 5 項或第 6 項或第 7 項所述之靜態隨機存取記憶體裝置，其中該些電晶體係利用二氧化矽製程所製作而成。
9. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體裝置，其中該些記憶體組係藉由一記憶體陣列組合而成。

八、圖式：

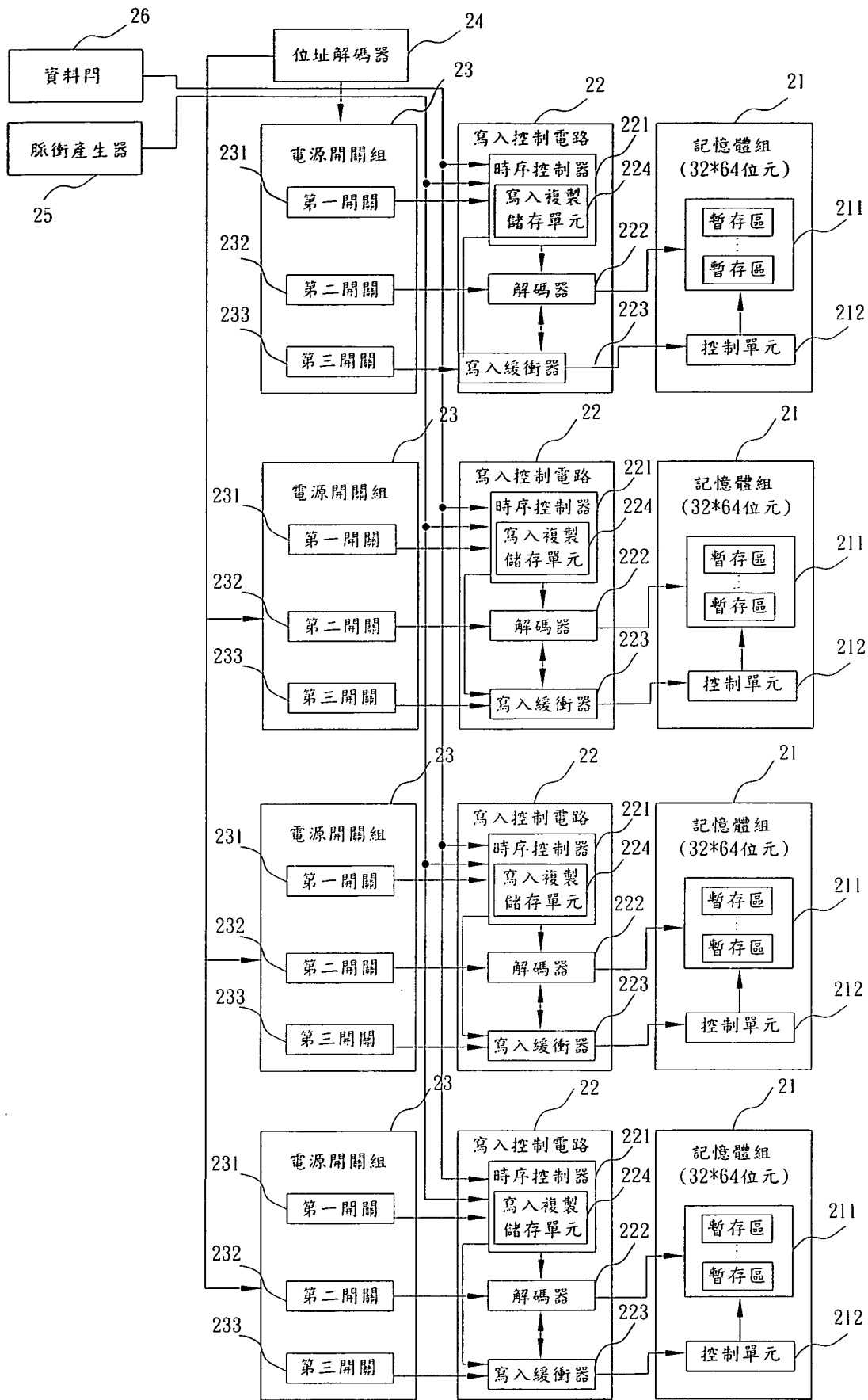


第一圖

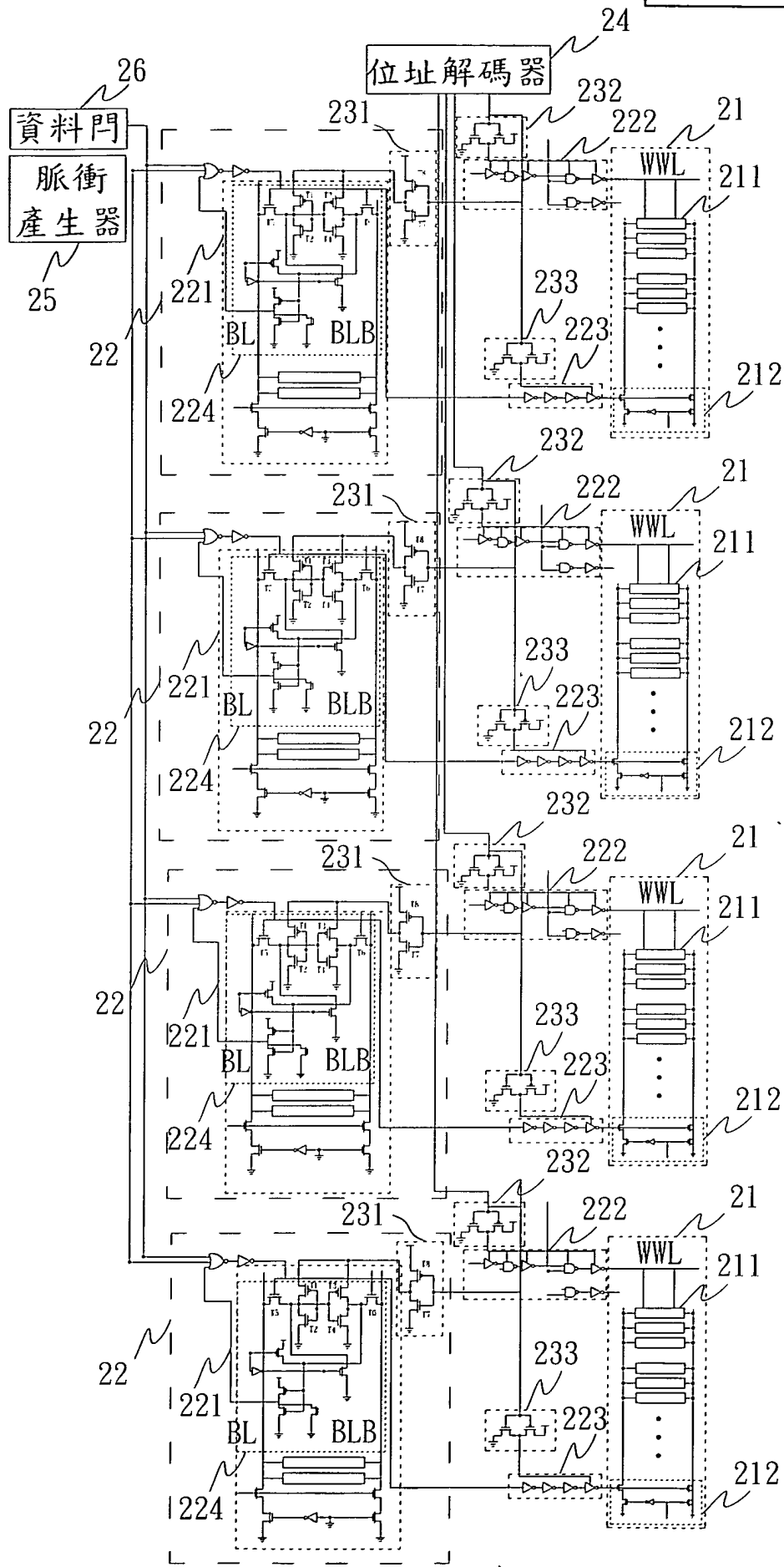


第二圖

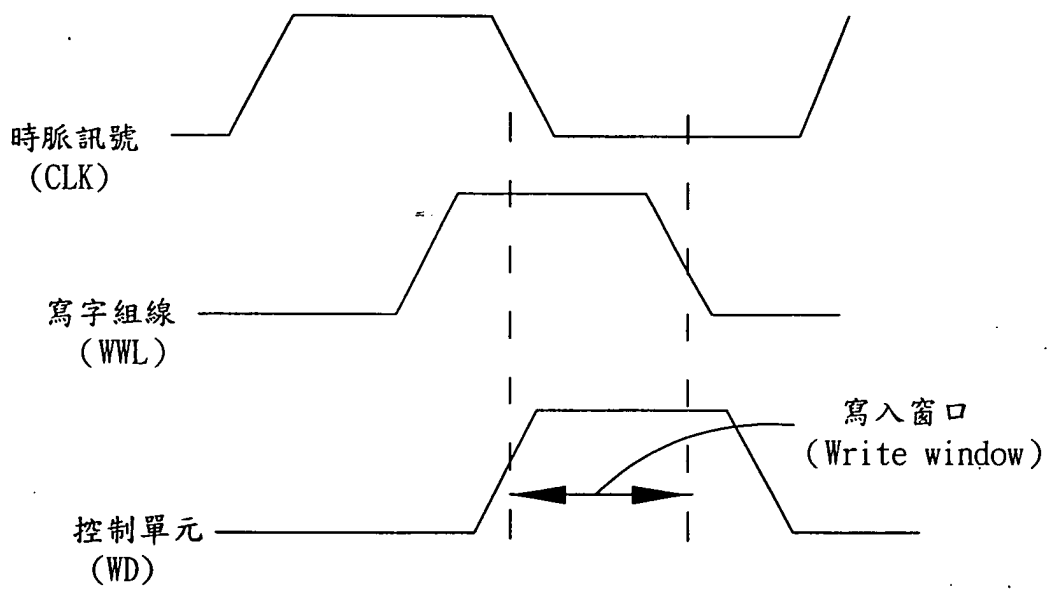




第三圖



第四圖



第五圖