



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I419160 B

(45) 公告日：中華民國 102 (2013) 年 12 月 11 日

(21) 申請案號：098100288

(22) 申請日：中華民國 98 (2009) 年 01 月 07 日

(51) Int. Cl. : G11C11/41 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號(72) 發明人：張牧天 CHANG, MU TIEN (TW) ; 黃柏蒼 HUANG, PO TSANG (TW) ; 黃威  
HWANG, WEI (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

TW I278862

TW I282551

TW I298500

US 6307805B1

US 2007/0279966A1

審查人員：劉聖尉

申請專利範圍項數：1 項 圖式數：1 共 14 頁

(54) 名稱

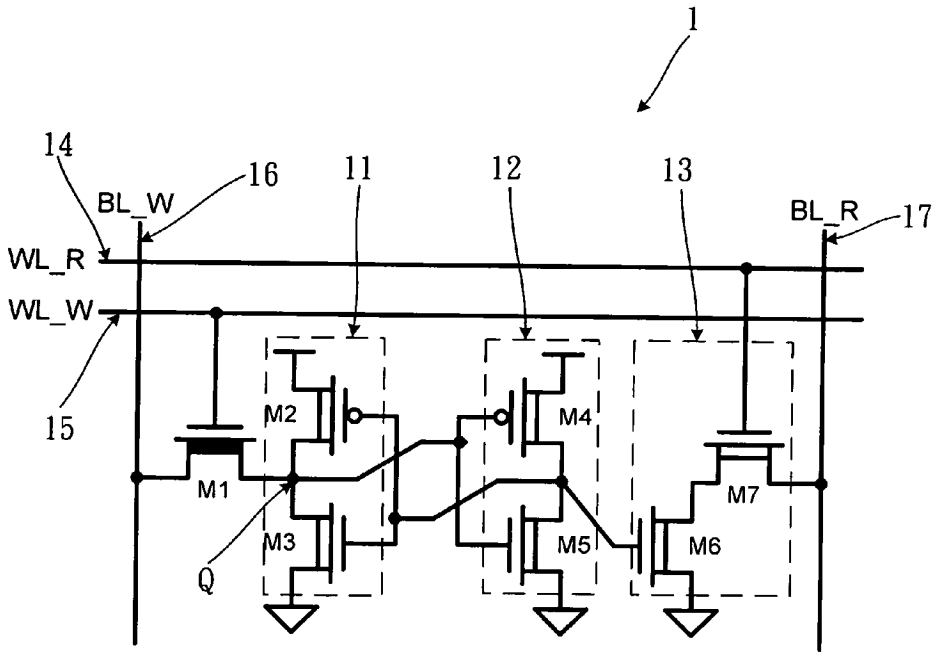
靜態隨機存取記憶體裝置

SRAM CELL APPARATUS

(57) 摘要

本發明揭露一種靜態隨機存取記憶體單元裝置，其包括第一反向器、第二反向器、存取電晶體以及讀取緩衝器。第一反向器與第二反向器分別包括多個第一操作元件與多個第二操作元件，以儲存資料。存取電晶體分別耦接第一反向器與第二反向器，其中第一操作元件與第二操作元件為高門檻電壓操作元件，存取電晶體為低門檻電壓電晶體。讀取緩衝器則用以執行讀取操作。

The invention relates to a SRAM cell apparatus. The SRAM cell apparatus comprises a first inverter, a second inverter, an access transistor and a read buffer. The first inverter and the second inverter include a plurality of first operating elements and a plurality of second operating elements for storing data. The access transistor is coupled to the first inverter and the second inverter, wherein the first operating elements and the second operating elements are high threshold voltage operating elements and the access transistor is low threshold voltage operating transistor. The read buffer is used for performing a read operation.



第 1 圖

- 1 . . . 靜態隨機存取記憶體單元
- 11 . . . 第一反向器
- 12 . . . 第二反向器
- 13 . . . 讀取緩衝器
- 14 . . . 讀取字線
- 15 . . . 寫入字線
- 16 . . . 寫入位線
- 17 . . . 讀取位線
- M1 . . . 存取電晶體
- M2, M3 . . . 第一操作元件
- M4, M5 . . . 第二操作元件
- M6 . . . 第四操作元件
- M7 . . . 第三操作元件
- Q . . . 資料存取節點

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98100288

※申請日：98.1.7.

※IPC分類：G11C 11/41(2006.01)

一、發明名稱：(中文/英文)

靜態隨機存取記憶體裝置/SRAM CELL APPARATUS

二、中文發明摘要：

本發明揭露一種靜態隨機存取記憶體單元裝置，其包括第一反向器、第二反向器、存取電晶體以及讀取緩衝器。第一反向器與第二反向器分別包括多個第一操作元件與多個第二操作元件，以儲存資料。存取電晶體分別耦接第一反向器與第二反向器，其中第一操作元件與第二操作元件為高門檻電壓操作元件，存取電晶體為低門檻電壓電晶體。讀取緩衝器則用以執行讀取操作。

三、英文發明摘要：

The invention relates to a SRAM cell apparatus. The SRAM cell apparatus comprises a first inverter, a second inverter, an access transistor and a read buffer. The first inverter and the second inverter include a plurality of first operating elements and a plurality of second operating elements for storing data. The

access transistor is coupled to the first inverter and the second inverter, wherein the first operating elements and the second operating elements are high threshold voltage operating elements and the access transistor is low threshold voltage operating transistor. The read buffer is used for performing a read operation.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

1	靜態隨機存取記憶體單元
11	第一反向器
12	第二反向器
13	讀取緩衝器
14	讀取字線
15	寫入字線
16	寫入位線
17	讀取位線
M1	存取電晶體
M2, M3	第一操作元件
M4, M5	第二操作元件
M6	第四操作元件
M7	第三操作元件
Q	資料存取節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明有關於一種靜態隨機存取記憶體單元裝置，特別是有關於一種雙門檻電壓雙阜次臨界靜態隨機存取記憶體單元裝置。

### 【先前技術】

靜態隨機存取記憶體 (Static Random Access Memory, SRAM) 係屬於隨機存取記憶體 (RAM) 類的裝置。而靜態隨機存取記憶體是指該記憶體只要能保持通電的狀態，則便可以恆常地繼續保持其所儲存的資訊；相對之下，動態隨機存取記憶體 (DRAM) 所儲存的資料需要週期性地更新，且當電力供應停止時，其所儲存的資料便會消失，與在斷電後還能儲存資料的唯讀記憶體 (Read-Only Memory, ROM) 或快閃記憶體是完全不同的。

故於半導體記憶體裝置中，與前述的動態隨機存取記憶體 (DRAM) 裝置相比，靜態隨機存取記憶體 (SRAM) 裝置可提供功耗更低、運作速度更快之優點。因此，靜態隨機存取記憶體可廣泛用於電腦或其他可攜式裝置中之快取記憶體。

而傳統習知的靜態隨機存取記憶體 (static random access memory, SRAM) 常常包含一個字元線驅動器，用以接收一個來自一解碼器的字元選擇訊號。

字元線驅動器通常包含由具有較小通道長度以及較寬寬度的元件所構成的反相器。這些反相器被用以在寫程式以及讀取操作時，於字元線上調整電壓準位。反相器通常包含一對的 P 型金氧半 (PMOS) 電晶體以及 N 型金氧半 (NMOS) 電晶體，兩者串接於一個供應電壓以及一個互補供應電壓之間，用以相應一輸入訊號，產生一個反相的輸出訊號。而前述靜態隨機存取記憶體目前廣泛地應用於各種單晶片系統中。

惟各種單晶片系統雖可使用於許多特殊應用的領域，例如生醫電子等領域，但因其所使用的單晶片系統講求高可靠度、可以低電壓進行操作、低功耗、以及穩定度佳等高標準的要求；故目前業界中的靜態隨機存取記憶體的設計尚難符合上述要求。

故而，為因應技術之靜態隨機存取記憶體生產需求，尚需發展相關製造的製程技術，並節省製造人力與製造時間等成本，且能有效形成各式的靜態隨機存取記憶體，以達到節能減碳之目的。

### 【發明內容】

本發明的目的在於提供一種靜態隨機存取記憶體單元裝置，以改善現有技術的缺失。

本發明提出的靜態隨機存取記憶體單元裝置，其包括第一反向器、第二反向器、存取電晶體以及讀取緩衝器，其低電壓可以操作至接近臨限電壓 (Near

Threshold Voltage)。第一反向器包括多個第一操作元件。第二反向器耦接第一反向器，且包括多個第二操作元件。存取電晶體分別耦接第一反向器與第二反向器。讀取緩衝器分別耦接第一反向器與第二反向器，其中該些第一操作元件與該些第二操作元件分別具有第一預設門檻電壓，存取電晶體具有第二預設門檻電壓，且第一預設門檻電壓高於第二預設門檻電壓。另，該些第一操作元件與該些第二操作元件為高門檻電壓操作元件，存取電晶體為低門檻電壓電晶體。

本發明所提供的靜態隨機存取記憶體單元裝置，適用於次臨界電壓。即便降低電壓使記憶體單元的穩定度下降，本發明所提供的靜態隨機存取記憶體單元在次臨界電壓仍舊能夠提供穩健的操作。

此外，本發明利用雙門檻電壓(Dual-Vt)的架構達成更高的穩定度。本發明並在用於資料儲存的反向器採用高門檻電壓元件(High-Vt device)以增強資料維持穩定度(Hold stability)，並同時具有減少漏電流(Leakage current)的情況。且因著資料存取節點(Data storage node)與位線(Bitline)的解耦，讀取穩定度有所提升。

本發明在寫入阜採用低門檻電壓元件(Low-Vt device)以增強寫入能力，故而本發明係為單端讀、單端寫的架構，減少多餘位線所造成的功率消耗。在寫入阜的設計上，使用讀取緩衝器(read buffer)以隔絕



寫入位線以及資料儲存反向器，藉以增強資料的讀取穩定度(read stability)。

為達本發明的上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合附圖，作詳細說明如下。

### 【實施方式】

第 1 圖所示為根據本發明一較佳實施例的靜態隨機存取記憶體單元裝置的電路圖。本實施例所提供之靜態隨機存取記憶體單元 1 包括第一反向器 11、第二反向器 12、讀取緩衝器 13、存取電晶體 (Access transistor) M1、讀取字線 (Read wordline) 14、寫入字線 (Write wordline) 15、寫入位線 (Write bitline) 16 以及讀取位線 (Read bitline) 17。

本實施例所提供之靜態隨機存取記憶體單元裝置 1 採用單端讀取、單端寫入的架構而可達到減少位線數目，進而降低因著位線所造成的功率消耗。

上述第一反向器 11 還包括多個第一操作元件 M2 與 M3，第二反向器 12 還包括多個第二操作元件 M4 與 M5，讀取緩衝器 13 包括第三操作元件 M7 與第四操作元件 M6。

在本實施例中，第一反向器 11 的輸出端耦接到第二反向器 12 的輸入端，第二反向器 12 的輸出端耦接到第一反向器 11 的輸入端，用以組成一鎖存器

(Latch)，以儲存資料。

上述第一反向器 11 的第一操作元件 M2 與第二反向器 12 的第二操作元件 M4 為上推(Pull up)元件，第一反向器 11 的第一操作元件 M3 與第二反向器 12 的第二操作元件 M5 為下拉(Pull down)元件。在本實施例中，作為上推元件的第一操作元件 M2 與第二操作元件 M4 為 P 型金氧半電晶體(pMOS)，作為下拉元件的第一操作元件 M3 與第二操作元件 M5 為 N 型金氧半電晶體(nMOS)。第一操作元件 M2 與第二操作元件 M4 之一端分別耦接至 Vdd 電源，第一操作元件 M3 與第二操作元件 M5 之一端分別耦接至 Vcc 電源。

上述存取電晶體 M1 分別耦接第一反向器 11、第二反向器 12、寫入字線 15 以及寫入位線 16。在本實施例中，存取電晶體 M1 的操作是藉由寫入字線 15 上的信號來控制。在本實施例中，存取電晶體 M1 為 nMOS。值得一提的是，上述第一操作元件 M2, M3 與第二操作元件 M4, M5 分別具有第一預設門檻電壓，存取電晶體 M1 具有第二預設門檻電壓，且第一預設門檻電壓高於第二預設門檻電壓。亦即，第一操作元件 M2, M3 與第二操作元件 M4, M5 為高門檻電壓元件，存取電晶體 M1 為低門檻電壓元件。

在本實施例中，在資料維持狀態下，將作為高門檻電壓元件的第一操作元件 M2, M3 與第二操作元件 M4, M5 應用於資料儲存之反向器，可增強資料維持穩

定度且使得所儲存資料較不容易因為雜訊而改變原有的值，使資料存取穩定度有所提升，並且同時減少漏電流的情況。

在本實施例中，在寫入狀態時，將低門檻電壓元件應用於存取電晶體 M1，可以增強寫入能力，亦即可以緩和分壓效應(存取電晶體 M1 與第二操作元件 M3 分壓)所帶來的資料寫入問題，進而增強寫入能力。故而存取電晶體 M1 為低臨界電壓，目的為幫助寫入。

上述讀取緩衝器 13 用以執行一讀取操作。讀取緩衝器 13 分別耦接第一反向器 11 與、第二反向器 12、讀取字線 14 以及讀取位線 17。亦即，第三操作元件 M7 分別耦接第四操作元件 M6、讀取字線 14 以及讀取位線 17，第四操作元件 M7 分別耦接第三操作元件 M7 與第二反向器 12。在本實施例中，讀取緩衝器 13 的操作是藉由讀取字線 14 上的信號來加以控制，故其低電壓可以操作至接近臨限電壓(Near Threshold Voltage)。而該讀取緩衝器可以隔絕鎖存器及讀取位線，避免於讀取時，讀取位線雜訊進入鎖存器中，藉以提高讀取時鎖存器的穩定度。

在本實施例中，第三操作元件 M6 與第四操作元件 M7 為 N 型金氧半電晶體，且第三操作元件 M6 與第四操作元件 M7 分別具有第三預設門檻電壓，且第三預設門檻電壓高於上述第二預設門檻電壓。亦即，在本實施例中，第三操作元件 M6 與第四操作元件 M7 為高門

檻電壓元件。故而前述之 M2 到 M7 為高臨界電壓，可作為降低功率及減少漏電流情況之使用。

本實施例所提供的靜態隨機存取記憶體單元 1，其架構利用雙門檻電壓元件、資料存取節點 Q 與位線的解耦(Decouple)，使資料維持穩定度、讀取穩定度、寫入能力都有所提升，其中資料存取節點與位線的解耦，係指在讀取時間內，資料存取節點 Q 不受位線上的訊號干擾，進而增強讀取時的抗雜訊能力。

綜上所述，本實施例所提供的雙阜靜態隨機存取記憶體單元，適用於次臨界電壓。即便降低電壓使記憶體單元的穩定度下降，本發明在次臨界電壓仍舊能夠提供穩健的操作。而單端讀寫阜的架構能夠更進一步降低因為長位線(Long bitline)所造成的功率消耗，因此很適合應用於長時間工作的先進先出記憶體設計(Long term activation FIFO memory)。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖所示為根據本發明一實施例之靜態隨機存取記憶體單元置的電路圖。

## 【主要元件符號說明】

1	靜態隨機存取記憶體單元
11	第一反向器
12	第二反向器
13	讀取緩衝器
14	讀取字線
15	寫入字線
16	寫入位線
17	讀取位線
M1	存取電晶體
M2, M3	第一操作元件
M4, M5	第二操作元件
M6	第四操作元件
M7	第三操作元件
Q	資料存取節點

## 七、申請專利範圍：

### 1. 一種靜態隨機存取記憶體單元裝置，包含：

一第一反向器，包括複數個第一操作元件；

一第二反向器，耦接該第一反向器，包含複數個第二操作元件，其中該複數個第一操作元件與該複數個第二操作元件分別具有一第一預設門檻電壓；

一讀取字線；

一讀取位線；

一寫入字線；

一存取電晶體，該存取電晶體具有一第二預設門檻電壓，分別耦接該第一反向器與該第二反向器；

一寫入位線，其中該存取電晶體分別耦接該寫入字線與該寫入位線；以及

一讀取緩衝器，具有執行一讀取操作的功能，分別耦接該第一反向器與該第二反向器，該讀取字線與該讀取位線，其中該讀取緩衝器包括：

一第三操作元件，具有一第三預設門檻電壓；以及

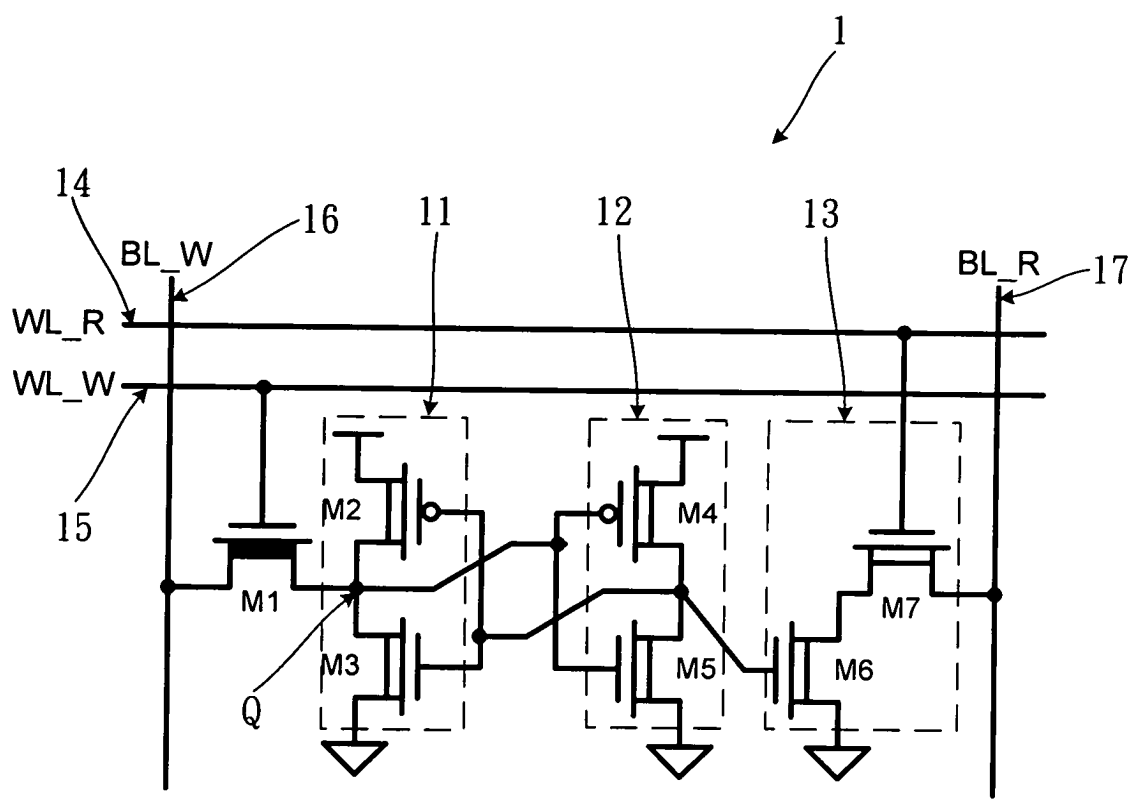
一第四操作元件，具有該第三預設門檻電壓，該第三操作元件分別耦接該讀取字線與該讀取位線，該第四操作元件分別耦接該第二反向器與該第三操作元件，其中該第三操作元件與該第四操作元件為N型金氧半電晶體，

其中該第一預設門檻電壓高於該第二預設門檻電

壓，該第三預設門檻電壓高於該第二預設門檻電壓。

98年11月10日修正替換頁

八、圖式：



第 1 圖