



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I418148 B

(45) 公告日：中華民國 102 (2013) 年 12 月 01 日

(21) 申請案號：099120224

(22) 申請日：中華民國 99 (2010) 年 06 月 22 日

(51) Int. Cl. : **H03K19/0175(2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW) ; 盧建宇 LU, CHIEN YU (TW)

(74) 代理人：林火泉

(56) 參考文獻：

US 5729165

US 6242973B1

Lou, J. H.; Kuo, J.B., "A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI," Solid-State Circuits, IEEE Journal of , vol.32, no.1, pp. 119,121, Jan 1997.

Kiat-Seng Yeo; Jian-Guo Ma; Manh-Anh Do, "Ultra-low-voltage bootstrapped CMOS driver for high performance applications," Electronics Letters , vol.36, no.8, pp.706,708, 13 Apr 2000.

Kheradmand-Boroujeni, B.; Masoumi, M., "A new large capacitive-load driver circuit for low-voltage CMOS VLSI," Biomedical Circuits and Systems, 2004 IEEE International Workshop on , vol., no., pp.S1/1,S5-8, 1-3 Dec. 2004.

Liu, G. Y.; Wang, N. C.; Kuo, J.B., "Energy-efficient CMOS large-load driver circuit with the complementary adiabatic/bootstrap (CAB) technique for low-power TFT-LCD system applications," Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on , vol., no., pp.5258,5261 Vol. 5, 23-26 May 2005.

審查人員：陳明德

申請專利範圍項數：9 項 圖式數：10 共 0 頁

(54) 名稱

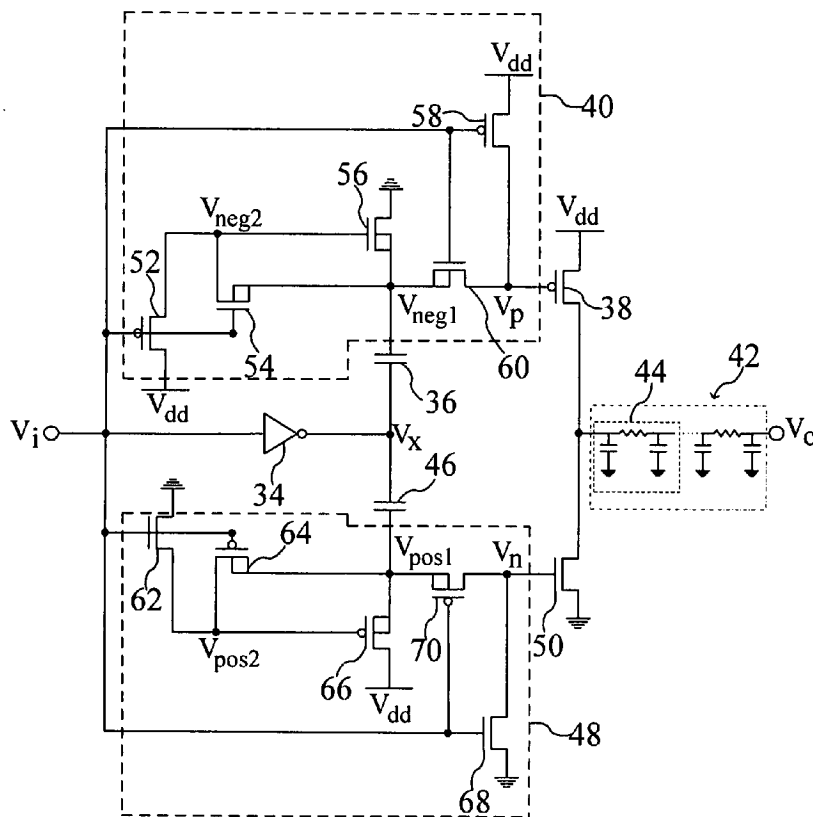
高負載驅動裝置

A HIGH LOAD DRIVING DEVICE

(57) 摘要

本發明係揭露一種高負載驅動裝置，包含一反向器，用來接收一數位電壓，並將其反向後輸出，此反向器之輸出端連接一電容、一第一、第二 P 型場效電晶體、一第一、第三 N 型場效電晶體，且上述電晶體與一第二 N 型場效電晶體係組成一推動電路，以與一推動 P 型場效電晶體連接，負載透過推動 P 型場效電晶體連接一高電壓。當數位電壓從低準位提升至高準位時，推動電路利用電容之原來電壓降，將推動 P 型場效電晶體之閘極電壓控制在比接地電壓更低之低穩定電壓，以快速驅動負載。本發明可提升對於高負載的切換速度，並降低延遲時間及提升效能。

A high load driving device is disclosed. The driving device comprises an inverter receiving a digital voltage. The inverter reverses the digital voltage, and then sends out it. The output terminal of the inverter is coupled to a capacitor, a first P-type field-oxide-transistor (FET), a second P-type FET, a first N-type FET, and a third N-type FET. A push-up circuit is composed of these transistors and a second N-type FET to be coupled to a push-up P-type transistor. A load is coupled to a high voltage through the push-up P-type transistor. When the digital voltage rises from low-level to high-level, the push-up circuit utilizes the original voltage drop of the capacitor to control the push-up P-type transistor, whereby the gate voltage of the push-up P-type transistor is at a low stable voltage, which is lower than the grounding voltage. Then, the load is driven rapidly. The present invention not only improves the switching speed for the high load and the efficiency but decreases delay time.



第2圖

- 34 . . . 反向器
- 36 . . . 第一電容
- 38 . . . 推動 P 型場效電晶體
- 40 . . . 推動電路
- 42 . . . 負載
- 44 . . . 單位負載
- 46 . . . 第二電容
- 48 . . . 拉降電路
- 50 . . . 拉降 N 型場效電晶體
- 52 . . . 第一 P 型場效電晶體
- 54 . . . 第一 N 型場效電晶體
- 56 . . . 第二 N 型場效電晶體
- 58 . . . 第二 P 型場效電晶體
- 60 . . . 第三 N 型場效電晶體
- 62 . . . 第四 N 型場效電晶體
- 64 . . . 第三 P 型場效電晶體
- 66 . . . 第四 P 型場效電晶體
- 68 . . . 第五 N 型場效電晶體

I418148

TW I418148 B

70 . . . 第五 P 型場
效電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99/20 224

※申請日： 99.6.22 ※IPC 分類： H03K19/0175 (2006.01)

一、發明名稱：(中文/英文)

高負載驅動裝置 / A high load driving device

二、中文發明摘要：

本發明係揭露一種高負載驅動裝置，包含一反向器，用來接收一數位電壓，並將其反向後輸出，此反向器之輸出端連接一電容、一第一、第二 P 型場效電晶體、一第一、第三 N 型場效電晶體，且上述電晶體與一第二 N 型場效電晶體係組成一推動電路，以與一推動 P 型場效電晶體連接，負載透過推動 P 型場效電晶體連接一高電壓。當數位電壓從低準位提升至高準位時，推動電路利用電容之原來電壓降，將推動 P 型場效電晶體之閘極電壓控制在比接地電壓更低之低穩定電壓，以快速驅動負載。本發明可提升對於高負載的切換速度，並降低延遲時間及提升效能。

三、英文發明摘要：

A high load driving device is disclosed. The driving device comprises an inverter receiving a digital voltage. The inverter reverses the digital voltage, and then sends out it. The output terminal of the inverter is coupled to a capacitor, a first P-type field-oxide-transistor (FET), a second P-type FET, a first N-type FET, and a third N-type FET. A push-up circuit is composed of these transistors and a second N-type FET to be coupled to a push-up P-type transistor. A load is coupled to a high voltage through the push-up P-type transistor. When the digital voltage rises form low-level to high-level, the push-up circuit utilizes the original voltage drop of the capacitor to control the push-up P-type transistor, whereby the gate voltage of the push-up P-type transistor is at a low stable voltage, which is lower than the grounding voltage. Then, the load is driven rapidly. The present invention not only improves the switching speed for the high load and the efficiency but decreases delay time.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

34 反向器	36 第一電容
38 推動 P 型場效電晶體	40 推動電路
42 負載	44 單位負載
46 第二電容	48 拉降電路
50 拉降 N 型場效電晶體	52 第一 P 型場效電晶體
54 第一 N 型場效電晶體	56 第二 N 型場效電晶體
58 第二 P 型場效電晶體	60 第三 N 型場效電晶體
62 第四 N 型場效電晶體	64 第三 P 型場效電晶體
66 第四 P 型場效電晶體	68 第五 N 型場效電晶體
70 第五 P 型場效電晶體	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種驅動裝置，特別是關於一種高負載驅動裝置。

【先前技術】

在先前技術中，為了驅動高負載，因此提出了一種驅動電路，如第 1 圖所示。使用一個反向器 10、二個電容 12、14、四個 P 型場效電晶體 16、18、20、22，及四個 N 型場效電晶體 24、26、28、30 組成驅動提升電路。操作時，當輸入 V_i 為接地電位，則反向器 10 之輸出電壓 V_a 為 V_{dd} ，第三 N 型場效電晶體 28 之汲極電壓 V_{2p} 由導通的第三 N 型場效電晶體 28 固定在接地電位，因此第一電容 12 兩側電壓固定而儲存定量電荷，同時 V_a 耦合第二電容 14 提升第二 P 型場效電晶體 18 之汲極電壓 V_{2n} 上升到大於 V_{dd} 電壓準位，並經過導通的第三 P 型場效電晶體 20 而使第四 N 型場效電晶體 30 的閘極電壓 V_{1n} 大於 V_{dd} ，進而增強了第四 N 型場效電晶體 30 對負載 32 的電流驅動能力；另一方面，當 V_i 為 V_{dd} 時， V_a 為接地電位， V_{2n} 由導通的第二 P 型場效電晶體 18 固定在 V_{dd} ，因此第二電容 14 兩側電壓固定而儲存定量電荷，同時 V_a 耦合第一電容 12 下拉 V_{2p} 下降到小於接地電位之電壓準位，並經過導通的第二 N 型場效電晶體 26 而使第四 P 型場效電晶體 22 的閘極電壓 V_{1p} 小於接地電位，進而增強了第四 P 型場效電晶體 22 對負載 32 的電流驅動能力。如此分別利用兩個電容元件交互儲存電荷，並依照輸入 V_i ，由 V_a 處耦合電容元件來升、降壓 V_{2n} 與 V_{2p} 到所需的高準位電壓與低準位電壓，提供比原先驅動電晶體更高的電流驅動能力。

使用耦合電容元件來升、降壓來形成所需要的大於 V_{dd} 高準位電壓與小

於接地電位的低準位電壓時，在先前技術的架構下，會由導通的第二 P 型場效電晶體 18 與第三 N 型場效電晶體 28 產生漏電流而影響電壓準位，當 V_i 輸入為接地電位時， V_a 耦合第二電容 14 提升 V_{2n} 節點的電壓值上升到大於 V_{dd} 電壓準位，並經過導通的第三 P 型場效電晶體 20 而使第四 N 型場效電晶體 30 的閘極電壓 V_{1n} 大於 V_{dd} 來增強第四 N 型場效電晶體 30 對負載 32 的電流驅動能力，但同時電位高於 V_{dd} 準位的 V_{2n} 會對 V_{dd} 準位的 V_a 節點產生正偏壓在第二 P 型場效電晶體 18 上，導致會有一漏電流路徑通往電源 V_{dd} 進行漏電，降低了所耦合產生在 V_{2n} 與 V_{1n} 的高於 V_{dd} 電壓；一樣的情況也發生在輸入 V_i 為 V_{dd} 時， V_a 等於接地電位，耦合產生小於接地電位的低電壓在 V_{2p} ，通過同時導通的第二 N 型場效電晶體 26 使 V_{1p} 擁有比接地電位更低的低電位，來增強第四 P 型場效電晶體 22 的驅動能力，但是小於接地電位的 V_{2p} 對接地電位的 V_a 會導通第三 N 型場效電晶體 28，產生漏電流從接地電位到 V_{2p} ，限制了耦合產生低於接地電位的 V_{2p} 與 V_{1p} 電壓準位量，使驅動提升電路的效能減弱而受到限制。

因此，本發明係在針對上述之困擾，提出一種高負載驅動裝置，以解決習知所產生的問題。

【發明內容】

本發明之主要目的，在於提供一種高負載驅動裝置，其係為由複數個電晶體組成且不具漏電流路徑之電路，可在不消耗多於功率的前提下，應用於低電壓電路系統中，以提升對於高負載的切換速度，並降低延遲時間及提升效能。

為達上述目的，本發明提供一種高負載驅動裝置，其係連接一負載，

並包含一反向器，用來接收一數位電壓，並將其反向後輸出，此反向器之輸出端連接一第一電容、一第一 P 型場效電晶體、一第一 N 型場效電晶體、一第二 P 型場效電晶體與一第三 N 型場效電晶體。負載透過一推動 P 型場效電晶體連接一高電壓，此高電壓連接第一 P 型場效電晶體與第二 P 型場效電晶體。此外，第一 N 型場效電晶體連接第一 P 型場效電晶體，第二 N 型場效電晶體連接第一 P 型場效電晶體、第一 N 型場效電晶體、第一電容與一低電壓，第二 P 型場效電晶體連接推動 P 型場效電晶體，第三 N 型場效電晶體連接第一、第二 N 型場效電晶體、第一電容、第二 P 型場效電晶體、推動 P 型場效電晶體。第一 P 型場效電晶體、第一 N 型場效電晶體、第二 P 型場效電晶體、第三 N 型場效電晶體皆接收數位電壓，以分別切換自身的導通狀態，且第二 N 型場效電晶體更可根據第一 P 型場效電晶體之導通狀態切換本身之導通狀態。其中，在數位電壓從低準位提升至高準位時，第三 N 型場效電晶體導通且利用第一電容之原來電壓降，將推動 P 型場效電晶體之閘極電壓控制在比低電壓更低之低穩定電壓，以快速驅動負載。

反向器之輸出端連接一第二電容、一第四 N 型場效電晶體、一第三 P 型場效電晶體、一第五 N 型場效電晶體與一第五 P 型場效電晶體。負載透過一拉降 N 型場效電晶體連接低電壓，此低電壓連接第四 N 型場效電晶體與第五 N 型場效電晶體。此外，第三 P 型場效電晶體連接第四 N 型場效電晶體，第四 P 型場效電晶體連接第四 N 型場效電晶體、第三 P 型場效電晶體、第二電容與高電壓，第五 N 型場效電晶體連接拉降 N 型場效電晶體，第五 P 型場效電晶體連接第三、第四 P 型場效電晶體、第二電容、第五 N

型場效電晶體、拉降 N 型場效電晶體。第四 N 型場效電晶體、第三 P 型場效電晶體、第五 N 型場效電晶體、第五 P 型場效電晶體皆接收數位電壓，以分別切換自身的導通狀態，且第四 P 型場效電晶體更可根據第四 N 型場效電晶體之導通狀態切換本身之導通狀態。其中，在數位電壓從高準位降低至低準位時，第五 P 型場效電晶體導通且利用第二電容之原來電壓降，將拉降 N 型場效電晶體之閘極電壓控制在比高電壓更高之高穩定電壓，以快速驅動負載。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

以下請參閱第 2 圖。本發明包含一反向器 34、一第一電容 36、一推動 P 型場效電晶體 38、一推動 (push-up) 電路 40、一第二電容 46 與一拉降 (pull-down) 電路 48。第一電容 36 具有一第一、第二電極端。反向器 34 之輸入端、輸出端分別連接推動 (push-up) 電路 40 與第一電極端，並接收一數位電壓，以將其反向後輸出。推動電路 40 更連接推動 P 型場效電晶體 38 之閘極與一低電壓，在此實施例中，低電壓係以接地電位為例。推動 P 型場效電晶體 38 之源、汲極分別連接一高電壓 V_{dd} 與負載 42，其中負載 42 由複數個單位負載 44 連接而成，每一單位負載 44 包含二電容與一電阻。當數位電壓從低準位提升至高準位時，推動電路 40 係利用第一電容 36 之原來第一電壓降，將推動 P 型場效電晶體 38 之閘極電壓控制在比低電壓更低之低穩定電壓，以快速驅動負載 42。

第二電容 46 具一第三、第四電極端，且此第三、第四電極端分別連接

反向器 34 之輸出端與拉降 (pull-down) 電路 48，拉降電路 48 更連接拉降 N 型場效電晶體 50 之閘極與高電壓 V_{dd} ，拉降 N 型場效電晶體 50 之源、汲極分別連接低電壓與負載 42。當數位電壓從高準位降低至低準位時，拉降電路 48 係利用第二電容 46 之原來第二電壓降，將拉降 N 型場效電晶體 50 之閘極電壓控制在比高電壓更高之高穩定電壓，以快速驅動負載 42。

推動電路 40 包含一第一 P 型場效電晶體 52，其閘、源、汲極分別連接反向器 34 之輸入端、高電壓 V_{dd} 、一第一 N 型場效電晶體 54，並利用閘極接收數位電壓，以切換自身之導通狀態。第一 N 型場效電晶體 54 之閘、汲、源極分別連接反向器 34 之輸入端、第一 P 型場效電晶體 52 之汲極與一第二 N 型場效電晶體 56，並利用閘極接收數位電壓，以切換自身之導通狀態。第二 N 型場效電晶體 56 之閘極連接第一 P 型場效電晶體 52 與第一 N 型場效電晶體 54 之汲極，汲極連接低電壓，源極連接第一 N 型場效電晶體 54 之源極與第二電極端，第二 N 型場效電晶體 56 係根據第一 P 型場效電晶體 52 之導通狀態切換自身之導通狀態。另有一第二 P 型場效電晶體 58，其閘極連接反向器 34 之輸入端，源極連接高電壓 V_{dd} ，汲極連接推動 P 型場效電晶體 38 之閘極與一第三 N 型場效電晶體 60，第二 P 型場效電晶體 58 利用閘極接收數位電壓，以切換自身之導通狀態。

第三 N 型場效電晶體 60 之閘極連接反向器 34 之輸入端與第二 P 型場效電晶體 58 之閘極，源極連接第一 N 型場效電晶體 54 之源極、第二 N 型場效電晶體 56 之源極與第二電極端，汲極連接推動 P 型場效電晶體 38 之閘極與第二 P 型場效電晶體 58 之汲極，第三 N 型場效電晶體 60 利用閘極接收數位電壓，以切換自身之導通狀態。第三 N 型場效電晶體 60 又在數位

電壓從低準位提升至高準位時，利用第一電容 36 之原來第一電壓降，將推動 P 型場效電晶體 38 之閘極電壓控制在比低電壓更低之低穩定電壓，以快速驅動負載 42。

拉降電路 48 包含一第四 N 型場效電晶體 62，其閘、源、汲極分別連接反向器 34 之輸入端、低電壓、一第三 P 型場效電晶體 64，並利用閘極接收數位電壓，以切換自身之導通狀態。第三 P 型場效電晶體 64 之閘、汲、源極分別連接反向器 34 之輸入端、第四 N 型場效電晶體 62 之汲極與一第四 P 型場效電晶體 66，並利用閘極接收數位電壓，以切換自身之導通狀態。第四 P 型場效電晶體 66 之閘極連接第四 N 型場效電晶體 62 與第三 P 型場效電晶體 64 之汲極，汲極連接高電壓 V_{dd} ，源極連接第三 P 型場效電晶體 64 之源極與第四電極端，第四 P 型場效電晶體 66 係根據第四 N 型場效電晶體 62 之導通狀態切換自身之導通狀態。另有一第五 N 型場效電晶體 68，其閘極連接反向器 34 之輸入端，源極連接低電壓，汲極連接拉降 N 型場效電晶體 50 之閘極與一第五 P 型場效電晶體 70，第五 N 型場效電晶體 68 利用閘極接收數位電壓，以切換自身之導通狀態。

第五 P 型場效電晶體 70 之閘極連接反向器 34 之輸入端與第五 N 型場效電晶體 68 之閘極，源極連接第三 P 型場效電晶體 64 之源極、第四 P 型場效電晶體 66 之源極與第四電極端，汲極連接拉降 N 型場效電晶體 50 之閘極與第五 N 型場效電晶體 68 之汲極，第五 P 型場效電晶體 70 利用閘極接收數位電壓，以切換自身之導通狀態。第五 P 型場效電晶體 70 又在數位電壓從高準位下降至低準位時，利用第二電容 46 之原來第二電壓降，將拉降 N 型場效電晶體 50 之閘極電壓控制在比高電壓 V_{dd} 更高之高穩定電壓，

以快速驅動負載 42。

首先敘述上半部分電路之運作方式，請參閱第 3 圖，呈虛線部分為截止狀態的電晶體，呈實線部分則為導通狀態的電晶體。當數位電壓 V_i 為低準位時，反向器 34 之輸出端電壓 V_x 為高準位之數位電壓。由於數位電壓 V_i 為低準位，因此第一 P 型場效電晶體 52 與第二 P 型場效電晶體 58 皆為導通，第一 N 型場效電晶體 54 與第三 N 型場效電晶體 60 皆為截止。由於第一 P 型場效電晶體 52 導通，因此第一 P 型場效電晶體 52 之汲極電壓 V_{neg2} 約為高電壓 V_{dd} ，使第二 N 型場效電晶體 56 導通。由於第二 N 型場效電晶體 56 導通，因此第二 N 型場效電晶體 56 之源極電壓 V_{neg1} 約為低電壓，即接地電位。此時第一電容 36 之兩端的第一電壓降為高準位之數位電壓與接地電位之差值。另由於第二 P 型場效電晶體 58 導通，因此第二 P 型場效電晶體 58 之汲極電壓 V_p 約為高電壓 V_{dd} ，使推動 P 型場效電晶體 38 截止。

接著請參閱第 4 圖，呈虛線部分為截止狀態的電晶體，呈實線部分則為導通狀態的電晶體。當數位電壓 V_i 從低準位提升至高準位時，反向器 34 之輸出端電壓 V_x 從高準位之數位電壓瞬時降至低準位之數位電壓，因為第一電容 36 原來已積聚電荷，具有第一電壓降，且 V_{neg1} 為接地電位，為了保持此第一電壓降，第一電容 36 之第二電極端之電壓 V_{neg1} 會因應第一電極端之電壓 V_x 的壓降變化，被控制在比接地電位更低之低穩定電壓，此低穩定電壓與接地電位的差值，為數位電壓之低準位與高準位之差值。另由於數位電壓 V_i 為高準位，因此第一 P 型場效電晶體 52 與第二 P 型場效電晶體 58 皆為截止，第一 N 型場效電晶體 54 與第三 N 型場效電晶體 60 皆為導通。由於第一 N 型場效電晶體 54 與第三 N 型場效電晶體 60 導通，因此第一 N

型場效電晶體 54 之汲、源極電壓 V_{neg2} 、 V_{neg1} 與第三 N 型場效電晶體 60 之汲極電壓 V_p 皆相等，同時此三處所構成的電流路徑，亦不會有漏電流的產生，不會使 V_{neg2} 、 V_{neg1} 、 V_p 電壓發生改變。再者，由於 V_{neg2} 、 V_{neg1} 之間的電壓降為零，因此第二 N 型場效電晶體 56 截止。由上可知， V_p 為低穩定電壓，使推動 P 型場效電晶體 38 導通，以快速驅動負載 42。

接著再敘述下半部分電路之運作方式，請繼續參閱第 4 圖，呈虛線部分為截止狀態的電晶體，呈實線部分則為導通狀態的電晶體。當數位電壓 V_i 為高準位時，反向器 34 之輸出端電壓 V_x 為低準位之數位電壓。由於數位電壓 V_i 為高準位，因此第四 N 型場效電晶體 62 與第五 N 型場效電晶體 68 皆為導通，第三 P 型場效電晶體 64 與第五 P 型場效電晶體 70 皆為截止。由於第四 N 型場效電晶體 62 導通，因此第四 N 型場效電晶體 62 之汲極電壓 V_{pos2} 約為接地電位，使第四 P 型場效電晶體 66 導通。由於第四 P 型場效電晶體 66 導通，因此第四 P 型場效電晶體 66 之源極電壓 V_{pos1} 約為高電壓 V_{dd} 。此時第二電容 46 之兩端的第二電壓降為低準位之數位電壓與高電壓 V_{dd} 之差值。另由於第五 N 型場效電晶體 68 導通，因此第五 N 型場效電晶體 68 之汲極電壓 V_n 約為接地電位，使拉降 N 型場效電晶體 50 截止。

接著請回參閱第 3 圖，呈虛線部分為截止狀態的電晶體，呈實線部分則為導通狀態的電晶體。當數位電壓 V_i 從高準位下降至低準位時，反向器 34 之輸出端電壓 V_x 從低準位之數位電壓瞬時提升至高準位之數位電壓，因為第二電容 46 原來已積聚電荷，具有第二電壓降，且 V_{pos1} 為高電壓 V_{dd} ，為了保持此第二電壓降，第二電容 46 之第四電極端之電壓 V_{pos1} 會因應第三電極端之電壓 V_x 的壓降變化，被控制在比高電壓 V_{dd} 更高之高穩定電壓，

此高穩定電壓與高電壓 V_{dd} 的差值，為數位電壓之高準位與低準位之差值。另由於數位電壓 V_i 為低準位，因此第四 N 型場效電晶體 62 與第五 N 型場效電晶體 68 皆為截止，第三 P 型場效電晶體 64 與第五 P 型場效電晶體 70 皆為導通。由於第三 P 型場效電晶體 64 與第五 P 型場效電晶體 70 導通，因此第三 P 型場效電晶體 64 之汲、源極電壓 V_{pos2} 、 V_{pos1} 與第五 P 型場效電晶體 70 之汲極電壓 V_n 皆相等，同時此三處所構成的電流路徑，亦不會有漏電流的產生，不會使 V_{pos2} 、 V_{pos1} 、 V_n 電壓發生改變。再者，由於 V_{pos2} 、 V_{pos1} 之間的電壓降為零，因此第四 P 型場效電晶體 66 截止。由上可知， V_n 為高穩定電壓，使拉降 N 型場效電晶體 50 導通，以快速驅動負載 42。

請繼續參閱第 2 圖及第 5 圖，其中三角形與叉形的數據分別代表先前技術架構進行推動與拉降的數據，菱形與方形的數據分別代表本發明架構進行推動與拉降的數據，且高電壓 V_{dd} 為 0.3 伏特。由圖可知，不管單位負載 44 的數量為何，本發明之推動 P 型場效電晶體 38 與拉降 N 型場效電晶體 50 分別在進行推動與拉降時，其延遲時間都比先前技術短，且單位負載 44 的數量愈多，時間縮短幅度愈高。另外將數據進行統計後，如第 6 圖所示，菱形與方形分別代表推動與拉降之數據。對於推動過程，延遲時間改善百分比為 24%~56%；對於拉降過程，延遲時間改善百分比為 9%~30%。

請繼續參閱第 2 圖、第 7 圖與第 8 圖，其中方形與菱形的數據分別代表先前技術與本發明架構的數據，且單位負載 44 的數量為一。由圖可知，不管高電壓 V_{dd} 為何，本發明之推動 P 型場效電晶體 38 與拉降 N 型場效電晶體 50 分別在進行推動與拉降時，其延遲時間都比先前技術短，且高電壓

V_{dd} 愈小，時間縮短幅度愈高，因此本發明很適合應用於低電壓電路系統中，以提升對於高負載的切換速度，並降低延遲時間及提升效能。

請參閱第 9 圖，其中叉形與圓形的數據分別代表先前技術與本發明架構的數據。由圖可知，在固定的直流電壓下，不管單位負載的數量為何，其相同工作時脈下的平均功率相對於先前技術而言，並沒有多餘的消耗。最後請參閱第 10 圖，其中方形與菱形的數據分別代表先前技術與本發明架構的數據。由圖可知，在同樣的單位負載數量下，不管高電壓 V_{dd} 為何，其相同工作時脈下的平均功率相對於先前技術而言，亦沒有多餘的消耗。

綜上所述，本發明提供之架構，不但不消耗多餘功率，更可應用於低電壓電路系統中，以提升對於高負載的切換速度，並降低延遲時間及提升效能。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之裝置詳細電路圖。

第 2 圖為本發明之裝置詳細電路圖。

第 3 圖為本發明於接收低準位電壓之運作電路圖。

第 4 圖為本發明於接收高準位電壓之運作電路圖。

第 5 圖為本發明之延遲時間比較曲線圖。

第 6 圖為本發明之延遲時間改善百分比曲線圖。

第 7 圖為本發明之拉降延遲時間曲線圖。

第 8 圖為本發明之推動延遲時間曲線圖。

第 9 圖為本發明之相同工作時脈下的平均功率對單位負載之關係曲線圖。

第 10 圖為本發明之相同工作時脈下的平均功率對直流偏壓之關係曲線圖。

【主要元件符號說明】

10 反向器	12 第一電容
14 第二電容	16 第一 P 型場效電晶體
18 第二 P 型場效電晶體	20 第三 P 型場效電晶體
22 第四 P 型場效電晶體	24 第一 N 型場效電晶體
26 第二 N 型場效電晶體	28 第三 N 型場效電晶體
30 第四 N 型場效電晶體	32 負載
34 反向器	36 第一電容
38 推動 P 型場效電晶體	40 推動電路
42 負載	44 單位負載
46 第二電容	48 拉降電路
50 拉降 N 型場效電晶體	52 第一 P 型場效電晶體
54 第一 N 型場效電晶體	56 第二 N 型場效電晶體
58 第二 P 型場效電晶體	60 第三 N 型場效電晶體
62 第四 N 型場效電晶體	64 第三 P 型場效電晶體
66 第四 P 型場效電晶體	68 第五 N 型場效電晶體
70 第五 P 型場效電晶體	

七、申請專利範圍：

1. 一種高負載驅動裝置，其係連接一負載，並包含：

一反向器，其係接收一數位電壓，並將其反向後輸出；

一第一電容，其具有一第一、第二電極端，該第一電極端連接該反向器之輸出端；

一推動 P 型場效電晶體，連接一高電壓與該負載；

一第一 P 型場效電晶體，連接該反向器之輸入端與該高電壓，並接收該數位電壓，以切換導通狀態；

一第一 N 型場效電晶體，連接該第一 P 型場效電晶體與該反向器之輸入端，並接收該數位電壓，以切換導通狀態；

一第二 N 型場效電晶體，其係連接該第一 P 型場效電晶體、該第一 N 型場效電晶體、該第二電極端與一低電壓，以根據該第一 P 型場效電晶體之導通狀態切換導通狀態；

一第二 P 型場效電晶體，其係連接該高電壓、該反向器之輸入端與該推動 P 型場效電晶體，並接收該數位電壓，以切換導通狀態；以及

一第三 N 型場效電晶體，連接該第一、第二 N 型場效電晶體、該第二電極端、該第二 P 型場效電晶體、該推動 P 型場效電晶體與該反向器之輸入端，並接收該數位電壓，以切換導通狀態，且在該數位電壓從低準位提升至高準位時，利用該第一電容之原來第一電壓降，將該推動 P 型場效電晶體之間極電壓控制在比該低電壓更低之低穩定電壓，以快速驅動該負載。

2. 如申請專利範圍第 1 項所述之高負載驅動裝置，其中該數位電壓為該低

準位時，該第一 P 型場效電晶體、該第二 N 型場效電晶體與該第二 P 型場效電晶體皆為導通，該第一 N 型場效電晶體、該推動 P 型場效電晶體與該第三 N 型場效電晶體皆為截止，該第一電壓降為該高準位之電壓與該低電壓之差值。

3. 如申請專利範圍第 1 項所述之高負載驅動裝置，其中該數位電壓從該低準位提升至該高準位時，該第一 P 型場效電晶體、該第二 N 型場效電晶體與該第二 P 型場效電晶體皆為截止，該第一 N 型場效電晶體、該推動 P 型場效電晶體與該第三 N 型場效電晶體皆為導通，且該第二電極端因應該第一電極端之電壓反應，控制在該低穩定電壓，並透過該第三 N 型場效電晶體亦將該推動 P 型場效電晶體之閘極電壓控制在該低穩定電壓，以快速驅動該負載。
4. 如申請專利範圍第 1 項所述之高負載驅動裝置，其中該推動 P 型場效電晶體之源、汲極分別連接該高電壓與該負載；該第一 P 型場效電晶體之閘、源極分別連接該反向器之輸入端與該高電壓，該第一 P 型場效電晶體之閘極接收該數位電壓；該第一 N 型場效電晶體之閘、汲極分別連接該反向器之輸入端與該第一 P 型場效電晶體之汲極，該第一 N 型場效電晶體之閘極接收該數位電壓；該第二 N 型場效電晶體之閘極連接該第一 P 型場效電晶體與該第一 N 型場效電晶體之汲極，汲極連接該低電壓，源極連接該第一 N 型場效電晶體之源極與該第二電極端；該第二 P 型場效電晶體之閘極連接該反向器之輸入端，源極連接該高電壓，汲極連接該推動 P 型場效電晶體之閘極，且該第二 P 型場效電晶體之閘極接收該數位電壓；以及該第三 N 型場效電晶體之閘極連接該反向器之輸入端與

該第二 P 型場效電晶體之閘極，源極連接該第一 N 型場效電晶體之源極、該第二 N 型場效電晶體之源極與該第二電極端，汲極連接該推動 P 型場效電晶體之閘極與該第二 P 型場效電晶體之汲極，且該第三 N 型場效電晶體之閘極接收該數位電壓。

5. 如申請專利範圍第 1 項所述之高負載驅動裝置，更包含：

一第二電容，其具有一第三、第四電極端，該第三電極端連接該反向器之輸出端；

一拉降 N 型場效電晶體，連接該低電壓與該負載；

一第四 N 型場效電晶體，連接該反向器之輸入端與該低電壓，並接收該數位電壓，以切換導通狀態；

一第三 P 型場效電晶體，連接該第四 N 型場效電晶體與該反向器之輸入端，並接收該數位電壓，以切換導通狀態；

一第四 P 型場效電晶體，其係連接該第四 N 型場效電晶體、該第三 P 型場效電晶體、該第四電極端與該高電壓，以根據該第四 N 型場效電晶體之導通狀態切換導通狀態；

一第五 N 型場效電晶體，其係連接該低電壓、該反向器之輸入端與該拉降 N 型場效電晶體，並接收該數位電壓，以切換導通狀態；以及

一第五 P 型場效電晶體，連接該第三、第四 P 型場效電晶體、該第四電極端、該第五 N 型場效電晶體、該拉降 N 型場效電晶體與該反向器之輸入端，並接收該數位電壓，以切換導通狀態，且在該數位電壓從該高準位下降至該低準位時，利用該第二電容之原來第二電壓降，將該拉降 N 型場效電晶體之閘極電壓控制在比該高電壓更高之高穩定電

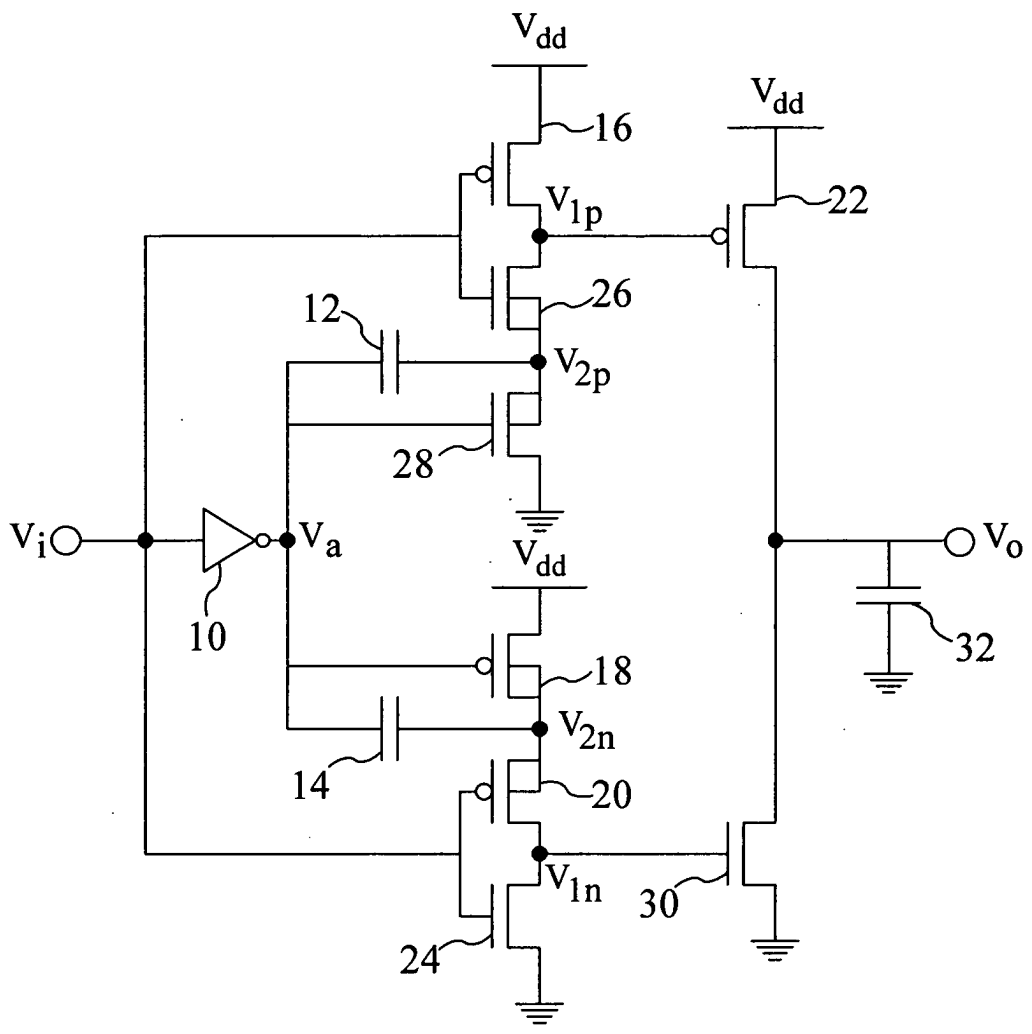
壓，以快速驅動該負載。

6. 如申請專利範圍第 5 項所述之高負載驅動裝置，其中該數位電壓為該高準位時，該第四 N 型場效電晶體、該第四 P 型場效電晶體與該第五 N 型場效電晶體皆為導通，該第三 P 型場效電晶體、該拉降 N 型場效電晶體與該第五 P 型場效電晶體皆為截止，該第二電壓降為該低準位之電壓與該高電壓之差值。
7. 如申請專利範圍第 5 項所述之高負載驅動裝置，其中該數位電壓從該高準位降低至該低準位時，該第四 N 型場效電晶體、該第四 P 型場效電晶體與該第五 N 型場效電晶體皆為截止，該第三 P 型場效電晶體、該拉降 N 型場效電晶體與該第五 P 型場效電晶體皆為導通，且該第四電極端因應該第三電極端之電壓反應，控制在該高穩定電壓，並透過該第五 P 型場效電晶體亦將該拉降 N 型場效電晶體之閘極電壓控制在該高穩定電壓，以快速驅動該負載。
8. 如申請專利範圍第 5 項所述之高負載驅動裝置，其中該該拉降 N 型場效電晶體之源、汲極分別連接該低電壓與該負載；該第四 N 型場效電晶體之閘、源極分別連接該反向器之輸入端與該低電壓，該第四 N 型場效電晶體之閘極接收該數位電壓；該第三 P 型場效電晶體之閘、汲極分別連接該反向器之輸入端與該第四 N 型場效電晶體之汲極，該第三 P 型場效電晶體之閘極接收該數位電壓；該第四 P 型場效電晶體之閘極連接該第四 N 型場效電晶體與該第三 P 型場效電晶體之汲極，汲極連接該高電壓，源極連接該第三 P 型場效電晶體之源極與該第四電極端；該第五 N 型場效電晶體之閘極連接該反向器之輸入端，源極連接該低電壓，汲極

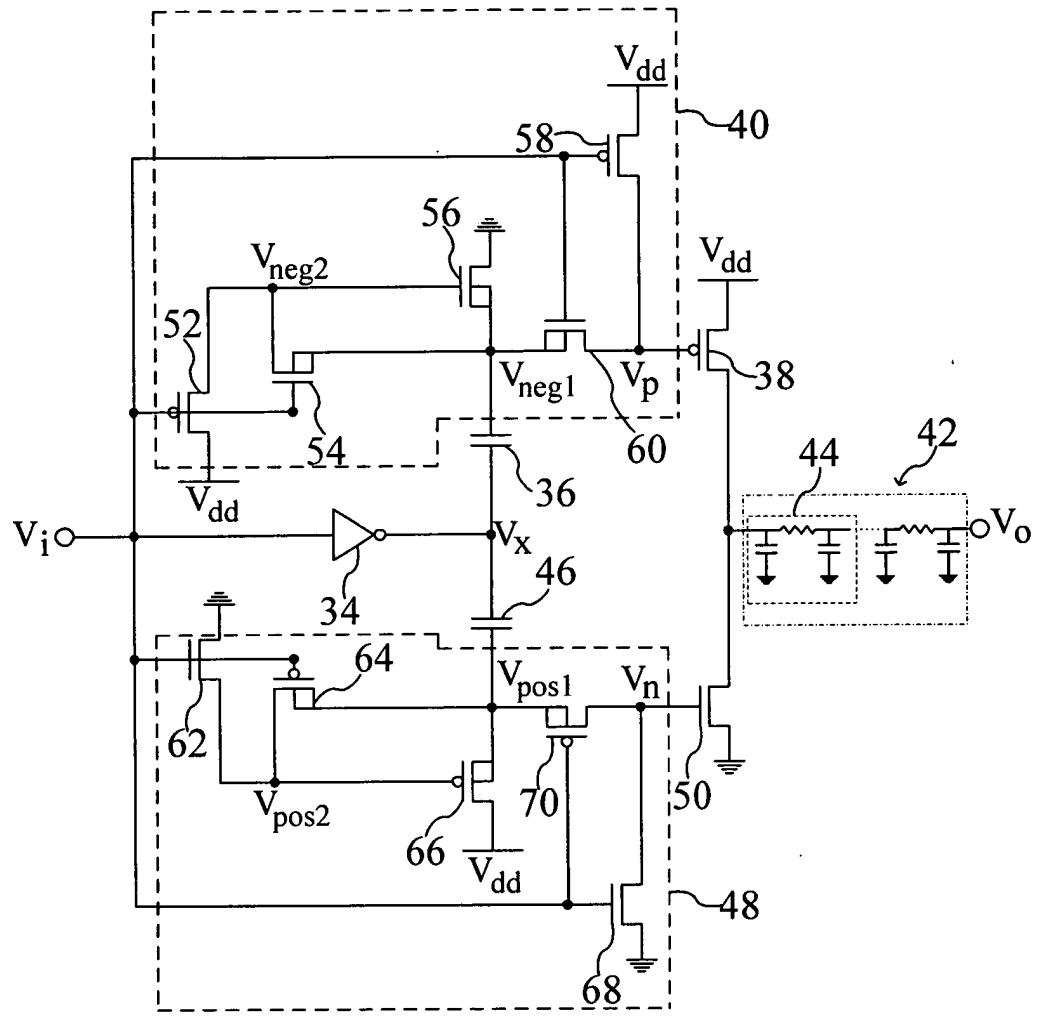
連接該拉降 N 型場效電晶體之閘極，且該第五 N 型場效電晶體之閘極接收該數位電壓；以及該第五 P 型場效電晶體之閘極連接該反向器之輸入端與該第五 N 型場效電晶體之閘極，源極連接該第三 P 型場效電晶體之源極、該第四 P 型場效電晶體之源極與該第四電極端，汲極連接該拉降 N 型場效電晶體之閘極與該第五 N 型場效電晶體之汲極，且該第五 P 型場效電晶體之閘極接收該數位電壓。

9. 如申請專利範圍第 1 項所述之高負載驅動裝置，其中該低電壓為接地電位。

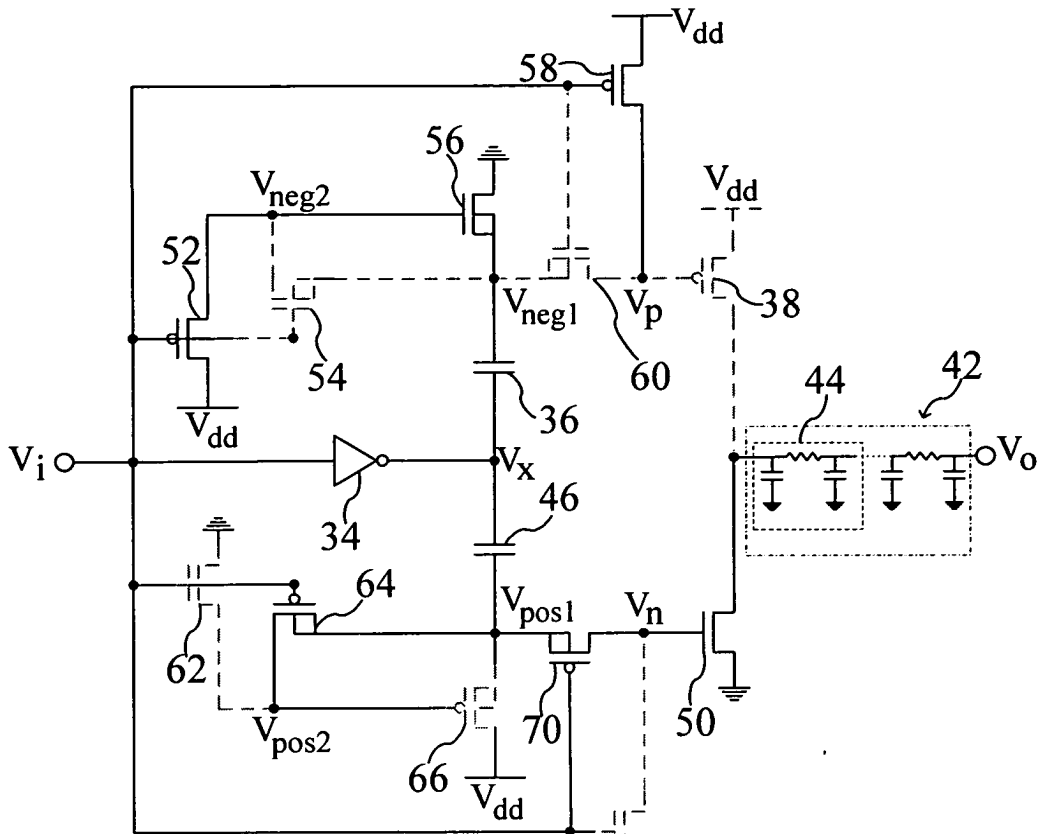
八、圖式：



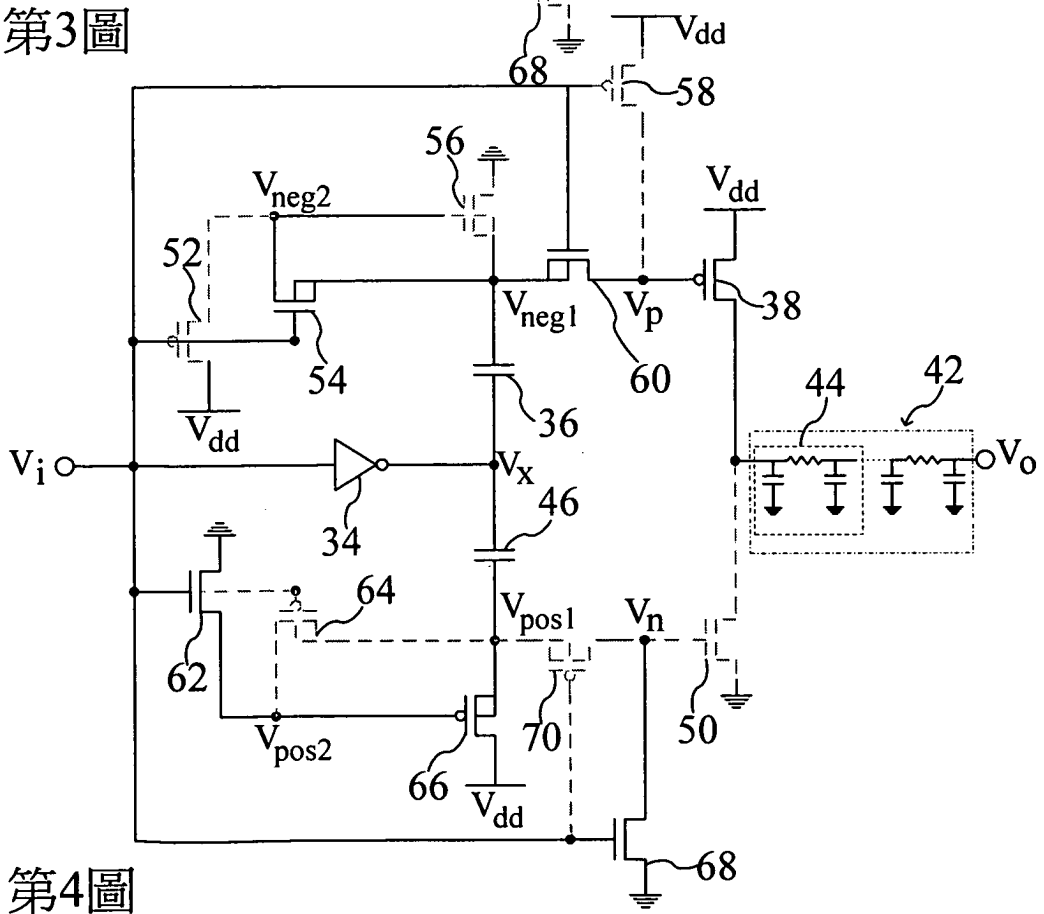
第1圖



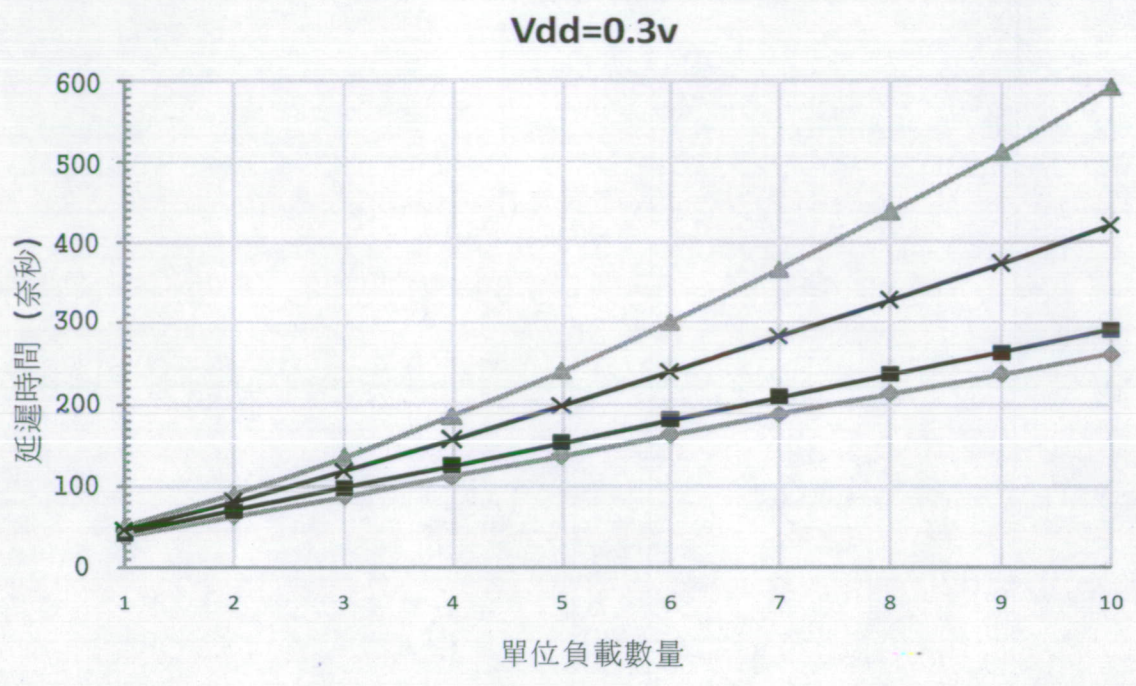
第2圖



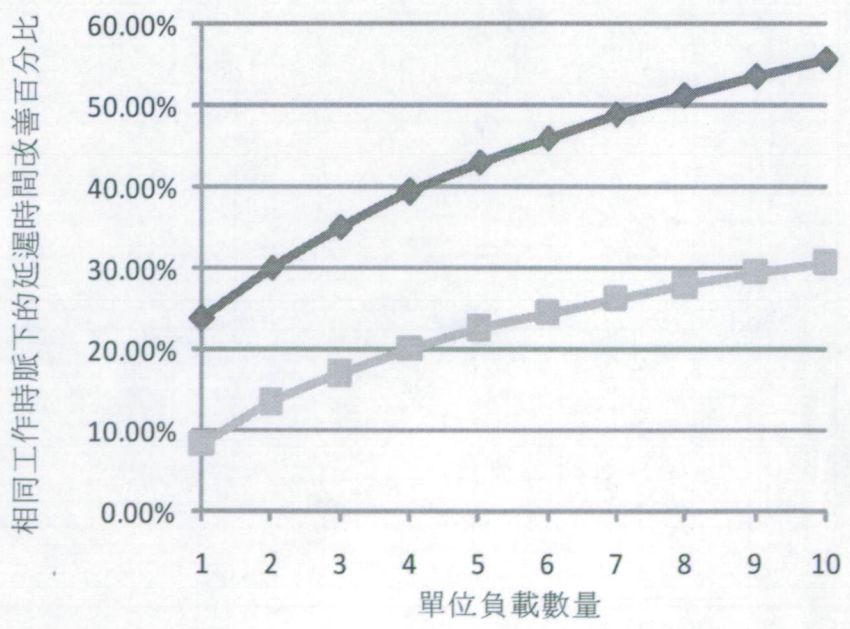
第3圖



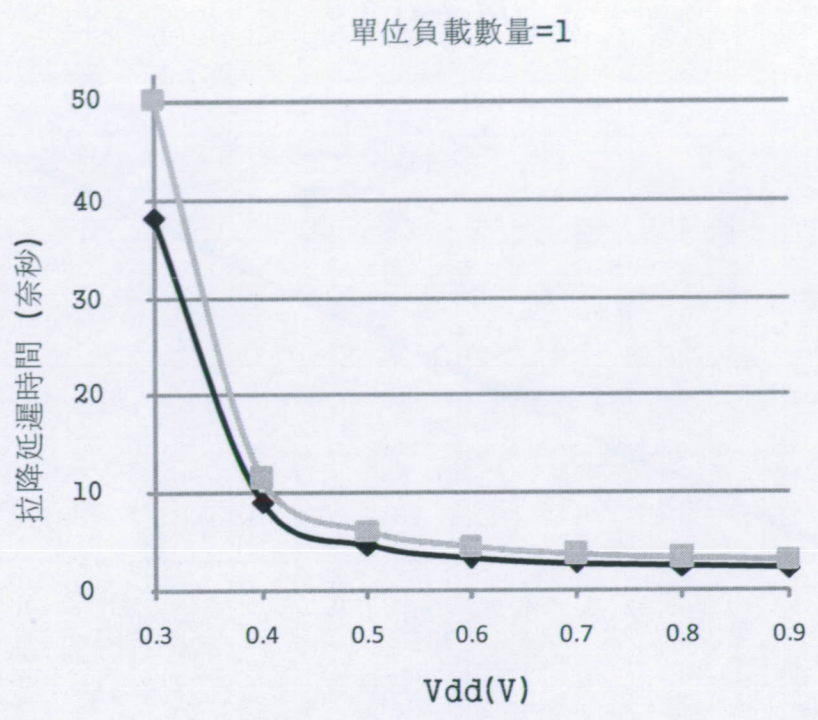
第4圖



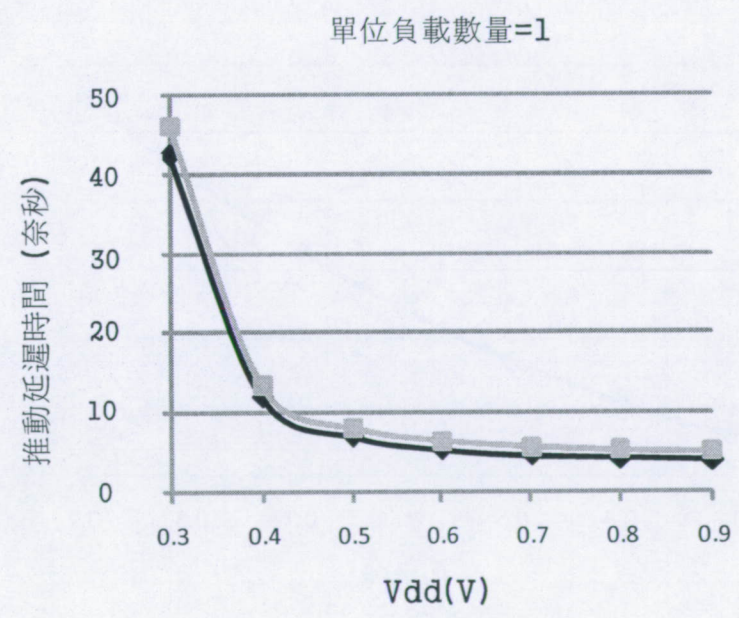
第5圖



第6圖

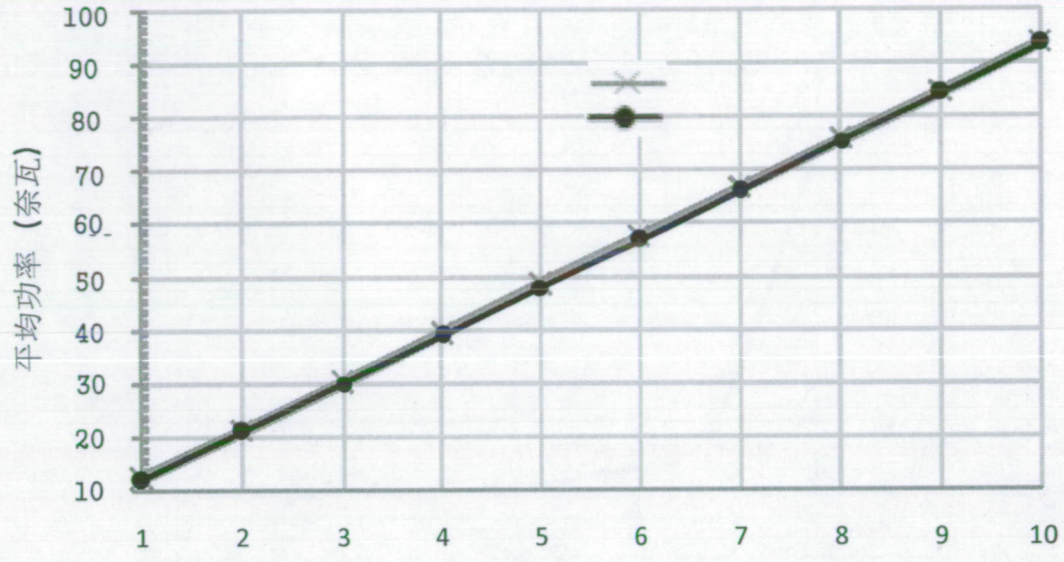


第7圖



第8圖

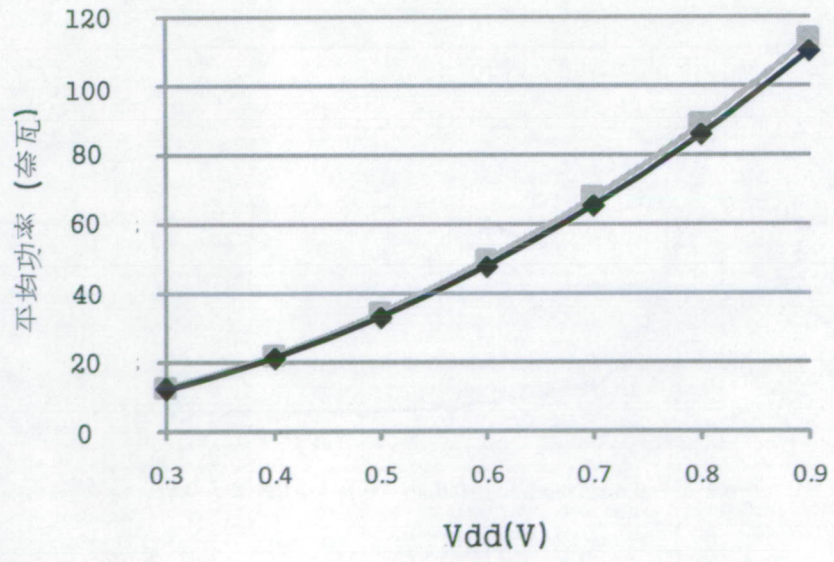
Vdd=0.3



單位負載數量

第9圖

單位負載數量=1



第10圖