



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I411233 B

(45) 公告日：中華民國 102 (2013) 年 10 月 01 日

(21) 申請案號：099145777

(22) 申請日：中華民國 99 (2010) 年 12 月 24 日

(51) Int. Cl. : **H03K5/14 (2006.01)****H03M1/66 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：周芳鼎 CHOU, FANG DING (TW) ; 洪崇智 HUNG, CHUNG CHIH (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 200521953A

TW 200627810A

JP 2005-286522A

US 7729593B2

審查人員：陳臆聰

申請專利範圍項數：7 項 圖式數：6 共 0 頁

(54) 名稱

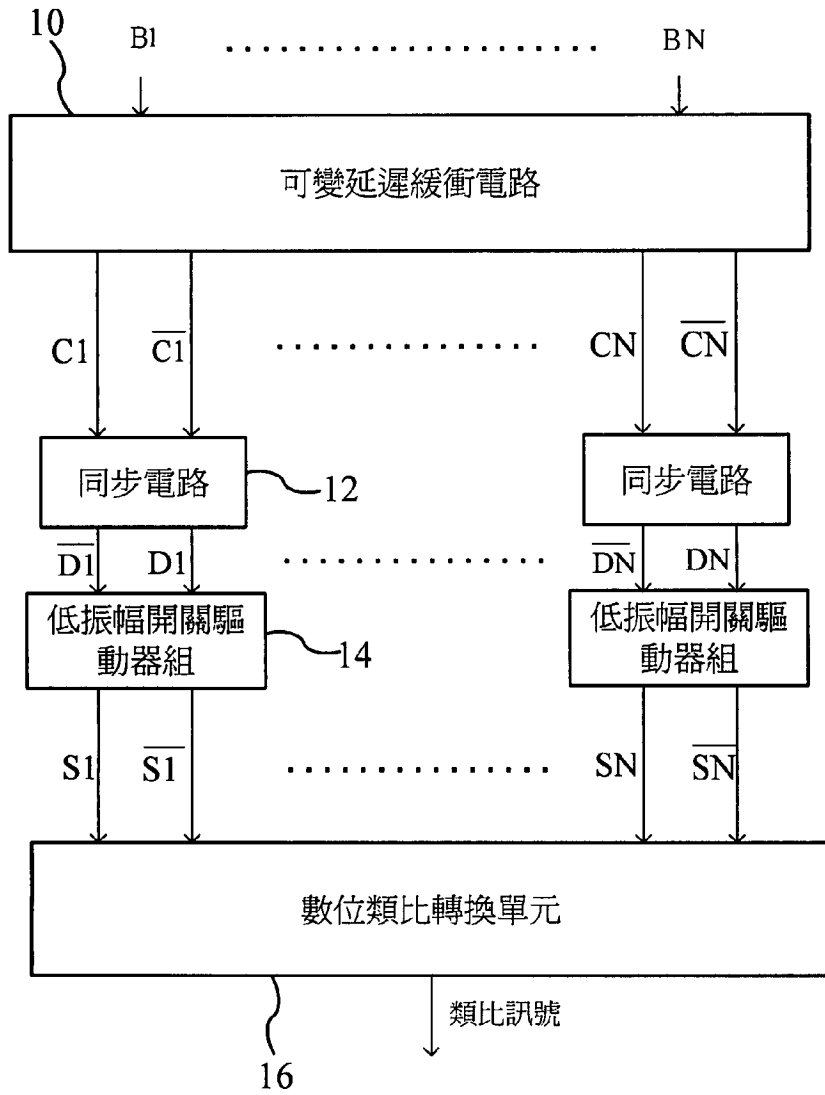
數位類比轉換裝置

DIGITAL-TO-ANALOG CONVERSION DEVICE

(57) 摘要

本發明係揭露一種數位類比轉換裝置，包含一可變延遲緩衝電路與複數同步電路，緩衝電路接收一具複數位元之數位訊號，並依據上述位元從高至低之順序，分別對應依序延緩輸出一第一互補數位訊號組。每一同步電路分別接收每一第一互補數位訊號組與一時脈訊號，並以時脈訊號作為第一互補數位訊號組之時間基準，進而分別對應每一第一互補數位訊號組，輸出每一第二互補數位訊號組至一數位類比轉換單元，以將第二互補數位訊號組轉換為一類比訊號輸出。本發明利用不同輸入位元所對應的延遲時間，以控制電流開關的時序，進而降低暫態突波。

A digital-to-analog conversion device is disclosed. The digital-to-analog conversion device comprises a variable delay buffer circuit and a plurality of synchronization circuits. The buffer circuit receives a digital signal with a plurality of bits and respectively sequentially output a plurality of first complementary digital signal sets delayed according to the order of from high bit to low bit. Each synchronization circuit receives the first complementary digital signal set and a clock signal, uses the clock signal as the timing standard of the first complementary digital signal set, and output a second complementary digital signal set corresponding to the first complementary digital signal set to a digital-to-analog conversion unit, so as to convert the second complementary digital signal sets into an analog signal. The present invention uses the delay time respectively corresponding to different input bits to control the timing of current switches, such that the transient glitches are reduced.



- 10 . . . 可變延遲緩衝電路
- 12 . . . 同步電路
- 14 . . . 低振幅開關驅動器組
- 16 . . . 數位類比轉換單元

第 2 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99145777

※申請日：99.12.24

※IPC 分類：

H03K 5/14 (2006.01)
H03M 1/66 (2006.01)

一、發明名稱：(中文/英文)

數位類比轉換裝置 / Digital-to-analog conversion device

二、中文發明摘要：

本發明係揭露一種數位類比轉換裝置，包含一可變延遲緩衝電路與複數同步電路，緩衝電路接收一具複數位元之數位訊號，並依據上述位元從高至低之順序，分別對應依序延緩輸出一第一互補數位訊號組。每一同步電路分別接收每一第一互補數位訊號組與一時脈訊號，並以時脈訊號作為第一互補數位訊號組之時間基準，進而分別對應每一第一互補數位訊號組，輸出每一第二互補數位訊號組至一數位類比轉換單元，以將第二互補數位訊號組轉換為一類比訊號輸出。本發明利用不同輸入位元所對應的延遲時間，以控制電流開關的時序，進而降低暫態突波。

三、英文發明摘要：

A digital-to-analog conversion device is disclosed. The digital-to-analog conversion device comprises a variable delay buffer circuit and a plurality of synchronization circuits. The buffer circuit receives a digital signal with a plurality of bits and respectively sequentially output a plurality of first complementary digital signal sets delayed according to the order of from high bit to low bit. Each synchronization circuit receives the first complementary digital signal set and a clock signal, uses the clock signal as the timing standard of the first complementary digital signal set, and output a second complementary digital signal set corresponding to the first complementary digital signal set to a digital-to-analog conversion unit, so as to convert the second complementary digital signal sets into a analog signal. The present invention uses the delay time respectively corresponding to different input bits to control the timing of current switches, such that the transient glitches are reduced.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

10 可變延遲緩衝電路

12 同步電路

14 低振幅開關驅動器組

16 數位類比轉換單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種轉換裝置，特別是關於一種數位類比轉換裝置。

【先前技術】

近年來數位技術的提昇，積體電路的高度應用，以數位方式處理訊號已經成為一種普遍的方式。我們利用數位技術將現實世界中多數的類比訊號，經取樣的過程將訊號轉成數位資料，再來做分析處理、壓縮與傳遞，使得數位訊號的優點充分的被利用，然後在接收端經解壓縮，再還原成原來類比訊號，雖然訊號傳遞的過程中會使訊號產生些微的失真，然而在可容忍的失真範圍內，我們所得到數位訊號的益處，遠高於這微不足道的缺點。因此，數位化的訊號處理，迅速的發展應用，大哥大、數位相機、網路電話、語音與指紋辨識、運動控制器等數位訊號處理發展出的產品，被普遍的應用在日常生活中。數位化世界儼然成形，數位訊號處理應用的領域也就越來越廣，相對的數位/類比轉換器的應用也越來越廣。

在高速、高解析度的數位類比轉換器設計中，切換電流式數位類比轉換器(current-steering DAC)因具有不需額外的放大器來作轉換，輸出直接驅動幾十歐姆的電阻，因此成為高速、高解析度數位類比轉換器的最佳架構。其中，二進位加權式(binary-weighted)是最直接又簡單的實施方式；但是這種架構有一個很大的缺點，就是當數位輸入改變時，輸出端會有暫態突波(transient glitch)，特別是從 0111...11 變化至 1000...00 時(major code transition)，類比輸出會產生很大突波，進而破壞了數位類比轉換器之單調性，如第 1 圖所示。突波產生的原因主要在於從輸入到輸出的路徑上，不

同位元彼此之間沒有做好匹配所致。為了改善這個問題，有一種所謂的熱碼式(thermometer code) 數位類比轉換器，可以明顯地降低暫態突波，但是它需要額外的二進位轉單元解碼器(binary-to-unary decoder)，當位元數大時，此解碼器有面積大、速度慢、平均功率消耗增加等缺點，所以不適合用於高速、高解析度的數位類比轉換器中。因此，為了結合二進位加權式與熱碼式的優缺點，許多的設計是採用分段式(segmented)，即高位元部份採用熱碼式，低位元部份採用二進位加權式來取得平衡，不過這種分段式架構仍然在低位元部份具有潛在的非單調性問題，而且還需要另外的延遲電路去作高低位元輸入訊號的同步。

因此，本發明係在針對上述之困擾，提出一種數位類比轉換裝置，以解決習知所產生的問題。

【發明內容】

本發明之主要目的，在於提供一種數位類比轉換裝置，其係採用小面積、低功耗的可變延遲緩衝電路，以改變不同輸入位元所對應的延遲時間，來控制電子開關的時序(timing)與改變控制電子開關之訊號的上升或下降時間，進而明顯降低暫態突波、提升無寄生動態範圍(SFDR)。

為達上述目的，本發明提供一種數位類比轉換裝置，包含一可變延遲緩衝電路、複數同步電路與一數位類比轉換單元，緩衝電路接收一具複數位元之數位訊號，並依據上述位元從高至低之順序，分別對應依序延緩輸出一第一互補數位訊號組。每一同步電路分別接收每一第一互補數位訊號組與一時脈訊號，並以時脈訊號作為第一互補數位訊號組之時間基準，進而分別對應每一第一互補數位訊號組，輸出每一第二互補數位訊號組，供

數位類比轉換單元接收。數位類比轉換單元包含複數電流源，每一電流源之電流量分別對應由低至高之位元順序，以二進位加權式遞增。另有複數電子開關，每一電子開關分別連接每一同步電路與每一電流源，並分別接收每一第二互補數位訊號組，以切換導通狀態。上述電子開關更連接至少一電阻，每一電流源之電流係分別根據每一電子開關之導通狀態流至電阻，以產生一類比訊號。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

以下請參閱第 2 圖，本發明包含一可變延遲緩衝電路 10 與其連接之複數同步電路 12，可變延遲緩衝電路 10 接收一具複數位元之數位訊號，並依據位元從高至低之順序，分別對應依序延緩輸出一第一互補數位訊號組，其中每一位元以 B_i 表示，每一第一互補數位訊號組以 C_i 、 \overline{C}_i 表示， i 為自然數。上述同步電路 12 連接一高電壓 V_{DD} ，並分別接收每一第一互補數位訊號組與一時脈訊號，並以時脈訊號作為第一互補數位訊號組之時間基準，進而分別對應每一第一互補數位訊號組，輸出每一第二互補數位訊號組，其中每一第二互補數位訊號組以 D_i 、 \overline{D}_i 表示， i 為自然數。每一同步電路 12 連接一低振幅開關驅動器組 14，此低振幅開關驅動器組 14 連接高電壓 V_{DD} ，並同步接收第二互補數位訊號組，以調整其振幅小於全擺動(full swing)振幅後，輸出至一與低振幅開關驅動器組 14 連接之數位類比轉換單元 16 中，進而轉換成一類比訊號。其中第二互補數位訊號組經過低振幅開關驅動器組 14 處理後的訊號，係以 S_i 、 \overline{S}_i 表示， i 為自然數。

請同時參閱第 3 圖，本發明之可變延遲緩衝電路 10 更包含複數可變電阻 18，每一可變電阻 18 之電阻值分別對應由低至高之該位元順序，依序遞減，在此係以二進位加權式遞減為例，即每一可變電阻 18 之電阻值 $R_i = R/2^i$ ， i 為自然數。每一可變電阻 18 連接一緩衝器 20 與一反向器 22，上述緩衝器 20 透過對應之可變電阻 18 分別接收每一位元，以依據位元從高至低之順序，分別對應依序延緩輸出一數位緩衝訊號；而反向器 22 亦透過對應之可變電阻 18 分別接收每一位元，以依據位元從高至低之順序，分別對應依序延緩輸出一數位反向訊號，使對應同一位元之數位反向訊號與數位緩衝訊號係形成第一互補數位訊號組。其中數位緩衝訊號與數位反向訊號分別以 C_i 、 \overline{C}_i 表示， i 為自然數。對較高位元的輸出而言，由於其所以需要推動數位類比轉換單元 16 的電流開關較多，因此本發明藉由調整電阻值來彌補高低位元的差異，對高位元而言，其緩衝器 20 與反向器 22 的面積大小不用很大，可以設計成跟低位元一樣大或大一點即可。本發明利用可變電阻 18 來調整輸入延遲，使輸出端不但不需要額外安裝取樣保持電路或濾波器，亦不需要熱碼式數位類比轉換器所用的解碼器，以達到小面積、低功耗、速度快及電路簡單之優點。

請繼續參閱第 2 圖及第 4 圖，本發明之同步電路 12 係以閃鎖(latch)電路為例。另外，上述每一第二互補數位訊號組包含一數位同步訊號與一數位反向同步訊號，數位同步訊號與數位反向同步訊號分別以 D_i 、 \overline{D}_i 表示， i 為自然數。每一低振幅開關驅動器組 14 更包含一第一 P 通道場效電晶體 24，其係連接高電壓 V_{DD} 與一反向器 26，且第一 P 通道場效電晶體 24 之臨界電壓係小於一反向器 26 之電晶體的臨界電壓，一反向器 26

接收數位反向同步訊號 $\overline{D_i}$ ，以調整其振幅小於全擺動振幅，並反向後，輸出至數位類比轉換單元 16。另有一第二 P 通道場效電晶體 28，其係連接高電壓 VDD 與一第二反向器 30，且第二 P 通道場效電晶體 28 之臨界電壓係小於第二反向器 30 之電晶體的臨界電壓，第二反向器 30 接收數位同步訊號 D_i ，以調整其振幅小於全擺動振幅，並反向後，輸出至數位類比轉換單元 16。當數位同步訊號 D_i 與數位反向同步訊號 $\overline{D_i}$ 經過降低振幅之調整後，除了可提高整體操作速度外，在主碼轉換時，也對降低突波有幫助。

請參閱第 2 圖及第 5 圖，數位類比轉換單元 16 可為電阻式數位類比轉換單元、電流式數位類比轉換單元或電容式數位類比轉換單元，在此係以電流式數位類比轉換單元為例。電流式數位類比轉換單元更包含複數電流源 32、複數電子開關 34 與至少一電阻 36。由於每一電子開關 34 可以設計成單端(single end)輸出或差動(differential end)輸出，若為單端輸出，則電阻 36 數量為一；若為差動輸出，則電阻 36 數量為二。在本實施例中，電阻 36 數量係以一為例。每一電流源 32 之電流量分別對應由低至高之位元順序，以二進位加權式遞增，即每一電流源 32 之電流量 $I_i=2^{i-1}I$ ， i 為自然數。且每一電子開關分別連接每一低振幅開關驅動器組 14 與每一電流源 32，並分別接收每一經過低振幅開關驅動器組 14 處理之第二互補數位訊號組 S_i 、 $\overline{S_i}$ ，以切換導通狀態。電阻 36 連接電子開關 34，且每一電流源 32 之電流係分別根據每一電子開關 34 之導通狀態流至電阻 36，以產生類比訊號。由於電流源 32 之電流量係以二進位加權式遞增，使得本發明不但可以單獨作為二進位加權式數位類比轉換器，也可用於分段式之數位類比轉換器的低位元部份或其他無線通訊的數位類比轉換器。

請參閱第 3 圖，當每一緩衝器 20 及每一反向器 22 透過可變電阻 18 接收對應之位元後，因應電阻值的大小，以依據位元從高至低之順序，分別對應依序延緩輸出數位緩衝訊號 C_i 及數位反向訊號 $\overline{C_i}$ ，換言之，即愈低位元愈慢輸出訊號，愈高位元因為推動電流開關較多，則愈快輸出訊號。

接著，請參閱第 4 圖與第 5 圖，每一同步電路 12 接收時脈訊號、數位緩衝訊號 C_i 及數位反向訊號 $\overline{C_i}$ ，並以時脈訊號作為數位緩衝訊號 C_i 及數位反向訊號 $\overline{C_i}$ 之時間基準，分別對應輸出數位反向同步訊號 $\overline{D_i}$ 與數位同步訊號 D_i 。再來，連接同一同步電路 12 之第一、第二反向器 26、30，分別接收數位反向同步訊號 $\overline{D_i}$ 與數位同步訊號 D_i ，以調整其振幅小於全擺動振幅，並反向後，輸出至同一電子開關 34，以控制其導通狀態。最後，每一電流源 32 之電流係分別根據每一電子開關 34 之導通狀態流至電阻 36，以產生類比訊號。

由於數位緩衝訊號 C_i 及數位反向訊號 $\overline{C_i}$ 有經過延遲處理，因此可進而控制電子開關的時序(timing)，使其一致，並改變控制電子開關之訊號的上升或下降時間，以明顯降低暫態突波、提升無寄生動態範圍(SFDR)。

請繼續參閱第 6 圖，此為本發明在主碼轉換時輸出的波形圖，透過可變延遲緩衝電路的補償後，可以明顯看出暫態突波的大小相對第 1 圖而變小，且波形也改變為正半週與負半週波形相互對稱。而改變波形的好處是，當計算突波能量時，正負是互相抵消的，因此改善了線性度。

綜上所述，本發明利用可變延遲緩衝電路調整輸入延遲，以達到小面積、低電路複雜度、高速、低功耗及降低暫態突波之優點。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實

施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術於主碼轉換時的類比輸出電壓波形圖。

第 2 圖為本發明之裝置電路方塊圖。

第 3 圖為本發明之可變延遲緩衝電路示意圖。

第 4 圖為本發明之同步電路與低振幅開關驅動器組之電路示意圖。

第 5 圖為本發明之電流式數位類比轉換單元之電路示意圖。

第 6 圖為本發明於主碼轉換時的類比輸出電壓波形圖。

【主要元件符號說明】

10	可變延遲緩衝電路	12	同步電路
14	低振幅開關驅動器組	16	數位類比轉換單元
18	可變電阻	20	緩衝器
22	反向器	24	第一 P 通道場效電晶體
26	第一反向器	28	第二 P 通道場效電晶體
30	第二反向器	32	電流源
34	電子開關	36	電阻

七、申請專利範圍：

1. 一種數位類比轉換裝置，包含：

一可變延遲緩衝電路，其係接收一具複數位元之數位訊號，並依據該些位元從高至低之順序，分別對應依序延緩輸出一第一互補數位訊號組，且該可變延遲緩衝電路更包含：

複數可變電阻，每一該可變電阻之電阻值分別對應由低至高之該位元順序，依序遞減；

複數緩衝器，每一該緩衝器係分別連接每一該可變電阻，以透過對應之該可變電阻分別接收每一該位元，該些緩衝器依據該些位元從高至低之順序，分別對應依序延緩輸出一數位緩衝訊號；以及

複數反向器，每一該反向器係分別連接每一該可變電阻，以透過對應之該可變電阻分別接收每一該位元，該些緩衝器依據該些位元從高至低之順序，分別對應依序延緩輸出一數位反向訊號，且對應同一該位元之該數位反向訊號與該數位緩衝訊號係形成該第一互補數位訊號組；

複數同步電路，其係分別接收每一該第一互補數位訊號組與一時脈訊號，並以該時脈訊號作為該第一互補數位訊號組之時間基準，進而分別對應每一該第一互補數位訊號組，輸出每一第二互補數位訊號組；以及

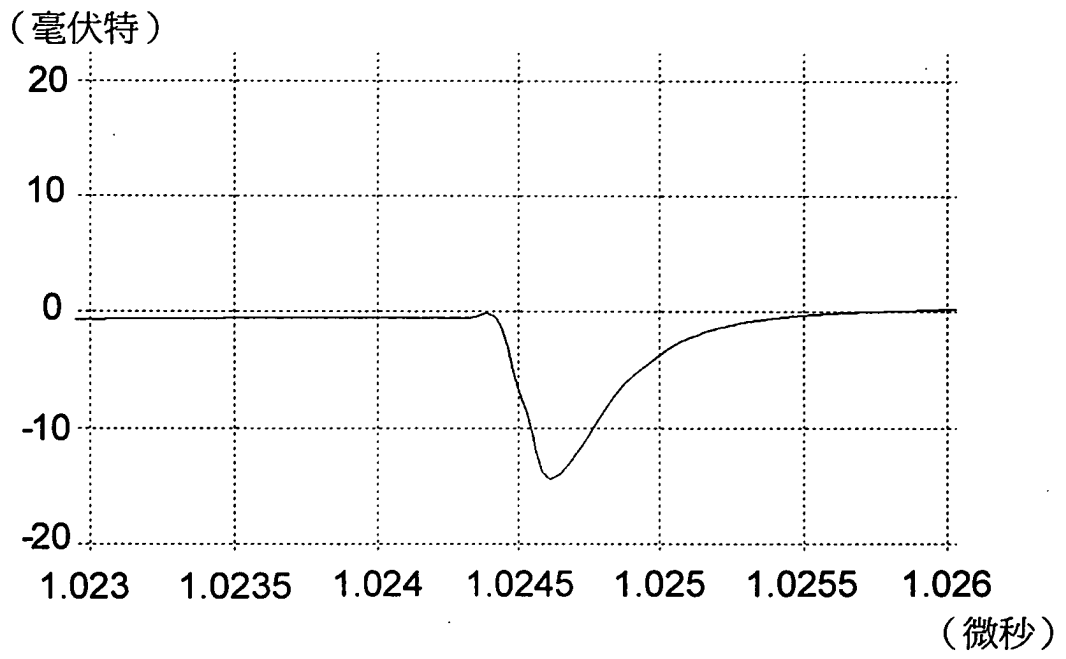
一數位類比轉換單元，其係接收該些第二互補數位訊號組，並將其轉換為一類比訊號輸出。

2. 如申請專利範圍第 1 項所述之數位類比轉換裝置，其中該數位類比轉換

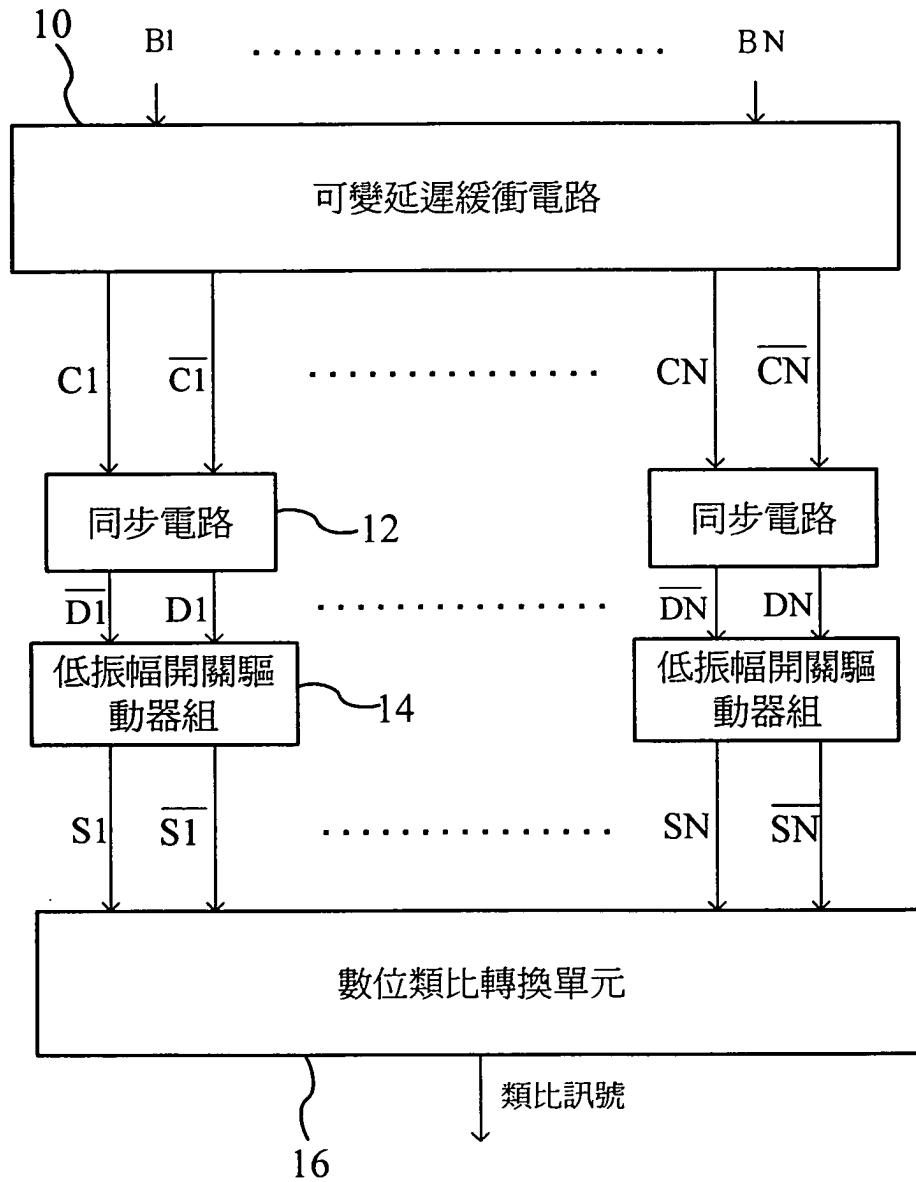
- 單元為電阻式數位類比轉換單元、電流式數位類比轉換單元或電容式數位類比轉換單元。
3. 如申請專利範圍第 1 項所述之數位類比轉換裝置，其中該數位類比轉換單元更包含：
- 複數電流源，每一該電流源之電流量分別對應由低至高之該位元順序，以二進位加權式遞增；
- 複數電子開關，每一該電子開關分別連接每一該同步電路與每一該電流源，並分別接收每一該第二互補數位訊號組，以切換導通狀態；以及至少一電阻，其係連接該些電子開關，每一該電流源之電流係分別根據每一該電子開關之導通狀態流至該電阻，以產生該類比訊號。
4. 如申請專利範圍第 1 項所述之數位類比轉換裝置，其中每一該同步電路更連接一低振幅開關驅動器組，其係連接一高電壓，並同步接收該第二互補數位訊號組，以調整其振幅小於全擺動(full swing)振幅後，輸出至該數位類比轉換單元。
5. 如申請專利範圍第 4 項所述之數位類比轉換裝置，其中每一該第二互補數位訊號組包含一數位同步訊號與一數位反向同步訊號，且每一該低振幅開關驅動器組更包含：
- 一第一 P 通道場效電晶體，連接該高電壓；
 - 一第一反向器，連接該第一 P 通道場效電晶體，且該第一 P 通道場效電晶體之臨界電壓係小於該第一反向器之電晶體的臨界電壓，該第一反向器接收該數位反向同步訊號，以調整其振幅小於全擺動振幅，並反向後，輸出至該數位類比轉換單元；

- 一第二 P 通道場效電晶體，連接該高電壓；以及
- 一第二反向器，連接該第二 P 通道場效電晶體，且該第二 P 通道場效電晶體之臨界電壓係小於該第二反向器之電晶體的臨界電壓，該第二反向器接收該數位同步訊號，以調整其振幅小於全擺動振幅，並反向後，輸出至該數位類比轉換單元。
6. 如申請專利範圍第 1 項所述之數位類比轉換裝置，其中每一該同步電路為閃鎖(latch)電路。
7. 如申請專利範圍第 1 項所述之數位類比轉換裝置，其中該每一該可變電阻之電阻值分別對應由低至高之該位元順序，以二進位加權式遞減。

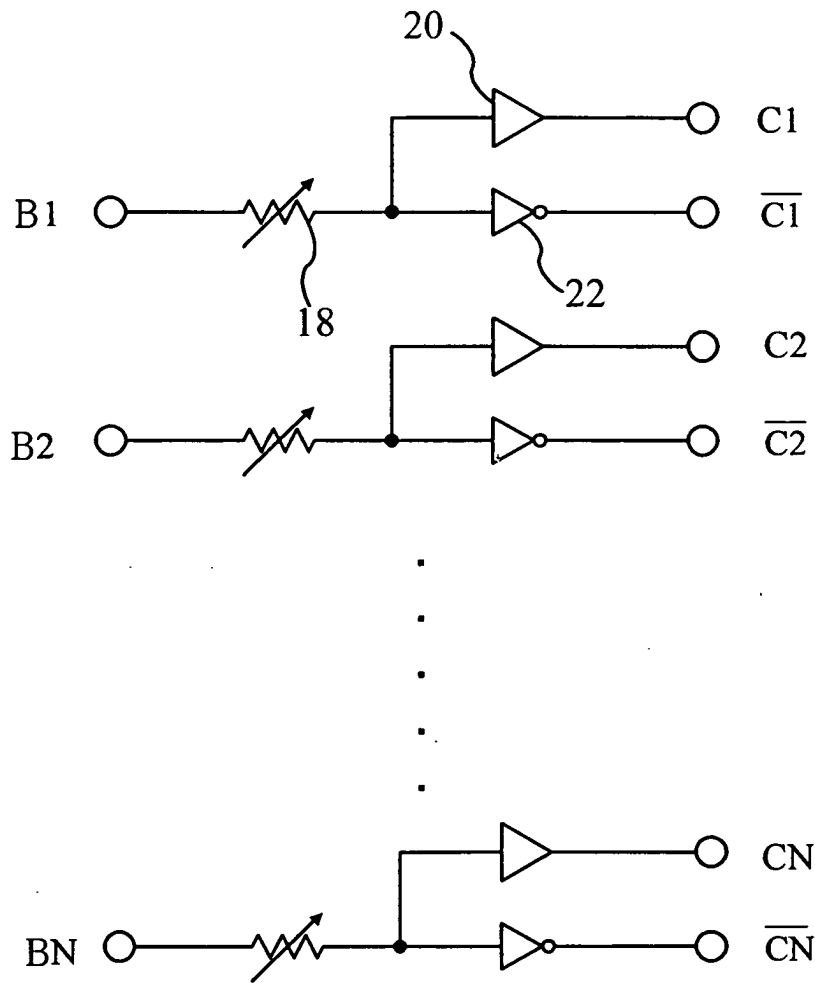
八、圖式：



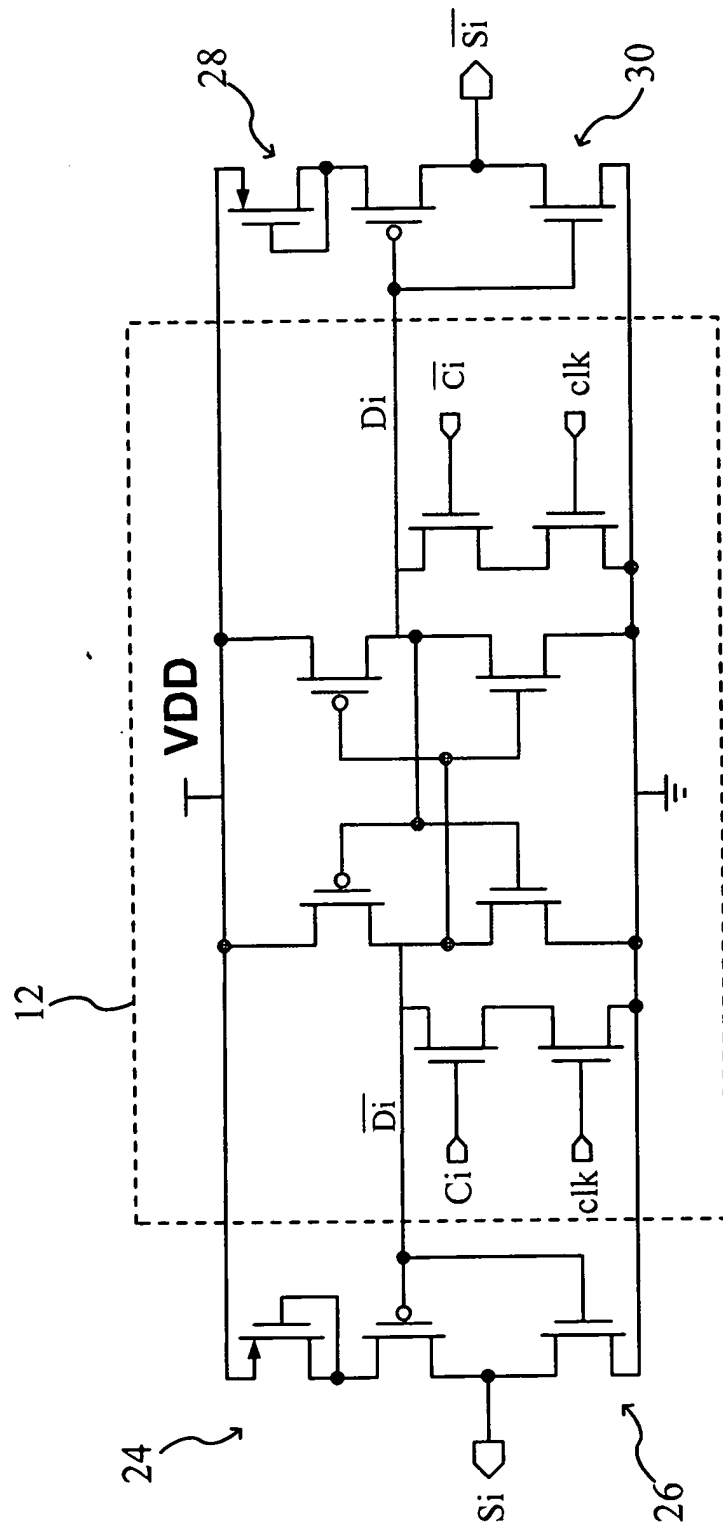
第 1 圖



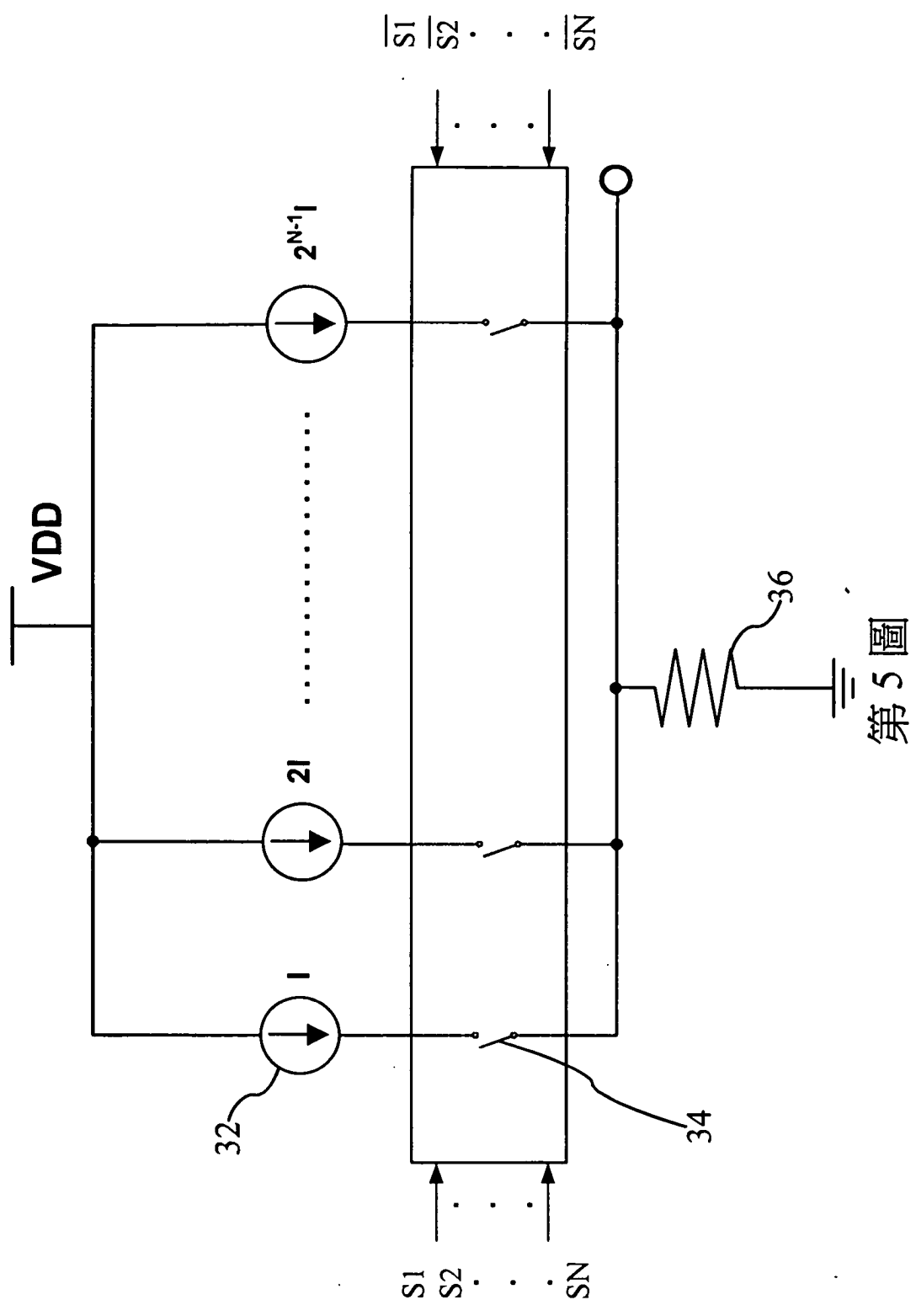
第 2 圖



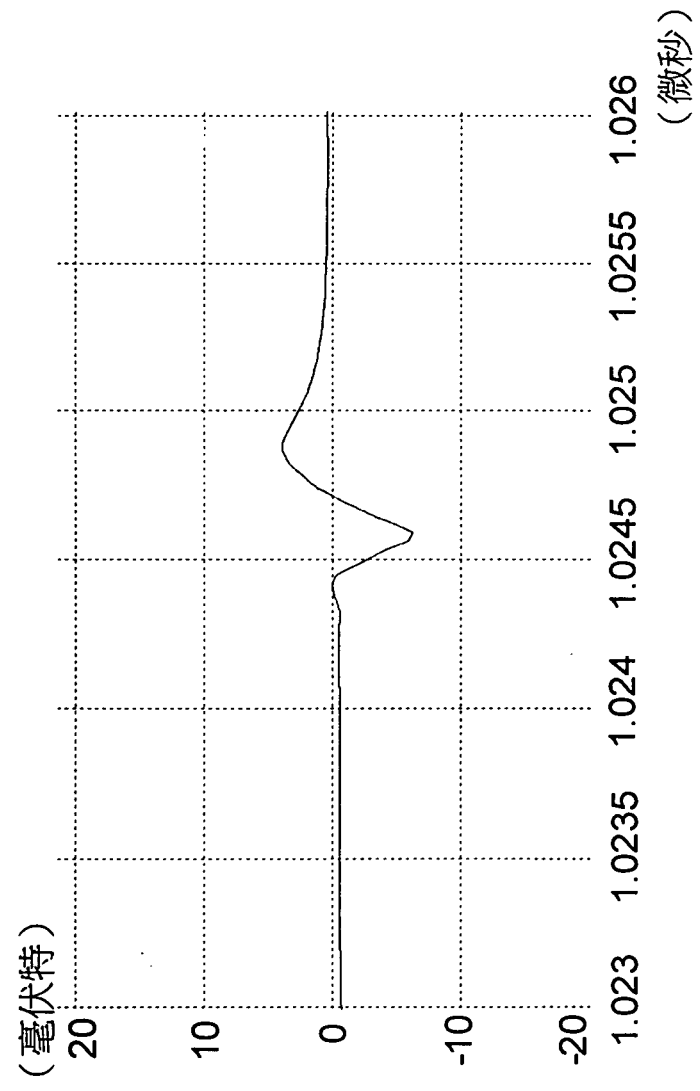
第 3 圖



第4圖



第 5 圖



第6圖