



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I410971 B

(45)公告日：中華民國 102 (2013) 年 10 月 01 日

(21)申請案號：098141060

(22)申請日：中華民國 98 (2009) 年 12 月 01 日

(51)Int. Cl. : G11C11/419 (2006.01)

G11C7/00 (2006.01)

(71)申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市新竹科學工業園區力行三路 5 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：莊景德 CHUANG, CHING TE (TW)；楊皓義 YANG, HAO I (TW)；林志宇 LIN, JIHI YU (TW)；楊仕祺 YANG, SHYH CHYI (TW)；杜明賢 TU, MING HSIEN (TW)；黃威 HWANG, WEI (TW)；周世傑 JOU, SHYH JYE (TW)；李坤地 LEE, KUN TI (TW)；李鴻瑜 LI, HUNG YU (TW)

(74)代理人：戴俊彥

(56)參考文獻：

TW 200814296A

JP 2002-93176A

US 6898111B2

US 7504695B2

US 2007/0274140A1

US 2008/0151653A1

US 2008/0165562A1

審查人員：鄧嘉琳

申請專利範圍項數：16 項 圖式數：9 共 0 頁

(54)名稱

靜態隨機存取記憶體

STATIC RANDOM ACCESS MEMORY

(57)摘要

一種靜態隨機存取記憶體包含有：一門鎖電路，具有一第一存取端和一第二存取端；一第一開關電路，其具有一第一位元傳送端耦接於該第一存取端，和一第二位元傳送端；一第二開關電路，其具有一第三位元傳送端耦接於該第二存取端，和一第四位元傳送端耦接於該第二位元傳送端；一第三開關電路，其具有一第五位元傳送端耦接於該第四位元傳送端，和一第六位元傳送端耦接於一位元線；以及一感測放大器耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值；其中於一資料寫入模式時，該第一開關電路以及該第二開關電路不同時導通。

A static random access memory includes: a latch circuit having a first access terminal and a second access terminal; a first switching circuit, having a first bit transferring terminal coupled to the first access terminal, and a second bit transferring terminal; a second switching circuit, having a third bit transferring terminal coupled to the second access terminal, and a fourth bit transferring terminal coupled to the second bit transferring terminal; a third switching circuit, having a fifth bit transferring terminal coupled to the fourth bit transferring terminal, and a sixth bit transferring terminal coupled to a bit line; and a sense amplifier coupled to the bit line for determining a bit value appearing at the bit line. In a data writing mode, the first switching circuit and the second switching circuit do not conduct simultaneously.



公告本
-----

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98141060

※申請日：98 12 1

※IPC分類：G11C11/419(2006.01)

一、發明名稱：(中文/英文)

G11C 7/00 (2006.01)

靜態隨機存取記憶體/STATIC RANDOM ACCESS MEMORY

### 二、中文發明摘要：

一種靜態隨機存取記憶體包含有：一門鎖電路，具有一第一存取端和一第二存取端；一第一開關電路，其具有一第一位元傳送端耦接於該第一存取端，和一第二位元傳送端；一第二開關電路，其具有一第三位元傳送端耦接於該第二存取端，和一第四位元傳送端耦接於該第二位元傳送端；一第三開關電路，其具有一第五位元傳送端耦接於該第四位元傳送端，和一第六位元傳送端耦接於一位元線；以及一感測放大器耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值；其中於一資料寫入模式時，該第一開關電路以及該第二開關電路不同時導通。

### 三、英文發明摘要：

A static random access memory includes: a latch circuit having a first access terminal and a second access terminal; a first switching circuit, having a first bit transferring terminal coupled to the first access terminal, and a second bit transferring terminal; a second switching

circuit, having a third bit transferring terminal coupled to the second access terminal, and a fourth bit transferring terminal coupled to the second bit transferring terminal; a third switching circuit, having a fifth bit transferring terminal coupled to the fourth bit transferring terminal, and a sixth bit transferring terminal coupled to a bit line; and a sense amplifier coupled to the bit line for determining a bit value appearing at the bit line. In a data writing mode, the first switching circuit and the second switching circuit do not conduct simultaneously.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

112 位元線

114 字元線

100 靜態隨機存取記憶體

102 閃鎖電路

104、106、108、110 開關電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一靜態隨機存取記憶體，尤指一具有廣泛操作電壓範圍，可於低電壓操作的高密度和高速存取的靜態隨機存取記憶體。

### 【先前技術】

請參考第 1 圖。第 1 圖所示係傳統的靜態隨機存取記憶體單元 (Static Random Access Memory Cell) 10 的示意圖。靜態隨機存取記憶體包含靜態隨機存取記憶體單元 10 及感測放大器 (Sense Amplifier, 第一圖未繪出)，傳統的靜態隨機存取記憶體單元有六個場效電晶體，亦即所謂的 6-T 靜態隨機存取記憶體，當讀取靜態隨機存取記憶體單元 10 之邏輯值 (待讀取位元) 時，第一位元線 12 以及第二位元線 16 上的電壓準位均會被充電至高電壓準位。接者，字元線 14 的電壓準位會被提升至高電壓準位以導通場效電晶體 Me、Mf。接著，靜態隨機存取記憶體的感測放大器就會依據第一位元線 12 以及第二位元線 16 上的電壓準位來判斷儲存於閃鎖電路 11 內的邏輯值，其中閃鎖電路 11 係由兩個反相器 11a、11b 所構成。

另一方面，當邏輯值 (待寫入位元) 被寫入靜態隨機存取記憶體

單元 10 時，字元線 14 的電壓準位會被提升至一高電壓準位以導通場效電晶體 Me、Mf。接著，第一位元線 12 上的電壓準位會被充電至高電壓準位以及第二位元線 16 上的電壓準位會被放電至低電壓準位(若待寫入位元為邏輯 1)，或第一位元線 12 上的電壓準位會被放電至低電壓準位以及第二位元線 16 上的電壓準位會被充電至高電壓準位(若待寫入位元為邏輯 0)。如此，邏輯值(待寫入位元)就藉由出現在第一位元線 12 以及第二位元線 16 上互補的電壓準位而被寫入閃鎖電路 11 內。

但在讀取的過程中，由於對應於閃鎖電路 11 的 0 邏輯值端的位元線會被儲存於閃鎖電路 11 內的 0 邏輯值放電至低電位，因此此位元線上的電荷就會灌進該閃鎖電路的 0 邏輯值端，且因開關電晶體 (Me 或 Mf) 和 閃鎖電路 11 內 N-型場效電晶體的分壓效應，在閃鎖電路 11 內的 0 邏輯值端形成一干擾電位 (Disturb Voltage)。如干擾電位過大，則可能改變儲存在該閃鎖電路內的邏輯值。如此一來，該控制單元就可能讀取到一錯誤的邏輯值，亦即所謂的讀取干擾現象(Read-Select-Disturb)。

另外，在讀取或寫入的過程中，當字元線 14 的電壓準位被提升至高電壓準位時，耦接於字元線 14 上的每一個靜態隨機存取記憶體內的開關電晶體均會被導通，因此就會造成字元線 14 上未耦接於第一位元線 12 以及第二位元線 16 的該靜態隨機存取記憶體出現相當於讀取干擾的干擾現象而可能改變儲存於其閃鎖電路內的邏輯值，

亦即所謂的半選干擾現象(Half-Select-Disturb)。此半選干擾現象在讀取或寫入時均會產生，分別稱為讀取半選干擾現象(Read Half-Select-Disturb)及寫入半選干擾現象(Write Half-Select-Disturb)。

此外，由於傳統靜態隨機存取記憶體的資料寫入和資料讀取均係透過同樣的開關電晶體(如第 1 圖場效電晶體 Me、Mf)，因此一般傳統的靜態隨機存取記憶體必須在資料儲存的穩定度與資料寫入的速度兩者之中犧牲其中一個特性，而無法兩者兼具。而且，隨著製程的演進，靜態隨機存取記憶體的電源電壓也會越來越低。當存取使用低壓製程的靜態隨機存取記憶體時，場效電晶體的臨界電壓(Threshold Voltage,  $V_T$ )的偏移亦會影響內部閃鎖電路所儲存的邏輯值的穩定度。因此，如何同時增加靜態隨機存取記憶體的資料寫入速度並提高其資料儲存的穩定度已成為記憶體領域急需解決的問題。

### 【發明內容】

因此，本發明之一目的在於提供一具有廣泛操作電壓範圍，可於低電壓操作的高密度和高速存取的靜態隨機存取記憶體。

依據本發明之一第一實施例，其係提供一種靜態隨機存取記憶體，其包含有一閃鎖電路、一第一開關電路、一第二開關電路、一第三開關電路以及一感測放大器。該閃鎖電路具有一第一存取端和



一第二存取端。該第一開關電路具有一第一位元傳送端耦接於該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端。該第二開關電路具有一第三位元傳送端耦接於該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端。該第三開關電路具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端點耦接於一字元線，和一第六位元傳送端耦接於一位元線。該感測放大器耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值，其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該第三開關的該第三控制端上的一第三控制訊號係以列為基準，該第三控制訊號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一資料寫入模式時，該第一控制訊號以及該第二控制訊號係分別控制該第一開關電路以及該第二開關電路不同時導通。

依據本發明之一第二實施例，其係提供一種靜態隨機存取記憶體，其包含一門鎖電路、一第一開關電路、一第二開關電路、一第三開關電路以及一第四開關電路。該門鎖電路具有一第一存取端和一第二存取端。該第一開關電路具有一第一位元傳送端耦接於該門鎖電路之該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端。該第二開關電路具有一第三位元傳送端耦接於該門鎖電路之該第二存取端，一第二控制端耦接於一第二寫入字

元線，和一第四位元傳送端耦接於該第二位元傳送端。該第三開關電路具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端點耦接於一字元線，和一第六位元傳送端耦接於一位元線。該第四開關電路具有一控制端點耦接於該第一開關電路之該第一位元傳送端，一第一端點耦接於該第三開關電路之該第五位元傳送端，以及一第二端點耦接於一參考電位；其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該其第三開關的該第三控制端上的一第三控制訊號係以列為基準，該第三控制訊號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一資料讀出模式時，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。

依據本發明之一第三實施例，其係提供一種靜態隨機存取記憶體，其包含一門鎖電路、一第一開關電路、一第二開關電路、一第三開關電路以及一第四開關電路。該門鎖電路具有一第一存取端和一第二存取端。該第一開關電路具有一第一位元傳送端耦接於該門鎖電路之該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端。該第二開關電路具有一第三位元傳送耦接於該門鎖電路之該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端。該第三開關電路具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端

點耦接於一字元線，和一第六位元傳送端耦接於一位元線。該第四開關電路具有一控制端點耦接於該第一開關電路之該第一位元傳送端，一第一端點耦接於該第三開關電路之該第五位元傳送端，以及一第二端點耦接於一參考電位；其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該第三開關的該第三控制端上的一第三控制訊號係以列為基準，該第三控制訊號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一待機模式時，該位元線與該參考電位係處於同一邏輯準位，該字元線不導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。

### 【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。此外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段，因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第

一裝置可直接電氣連接於該第二裝置，或者透過其他裝置或連接手段間接地電氣連接至該第二裝置。

請參考第 2 圖。第 2 圖所示係本發明一靜態隨機存取記憶體 100 之一實施例示意圖。靜態隨機存取記憶體 100 包含有一閃鎖電路 102、一第一開關電路 104、一第二開關電路 106、一第三開關電路 108、一第四開關電路 110 以及一感測放大器(未繪示於第 2 圖中)。閃鎖電路 102 係用來儲存一位元資料(亦即邏輯 1 或邏輯 0)。在本實施例中，閃鎖電路 102 包含有四個場效電晶體 M1-M4，其中場效電晶體 M1、M3 構成一第一反相器，場效電晶體 M2、M4 構成一第二反相器，該第一反相器與該第二反相器係以一正迴授的方式連接以構成一閃鎖電路(Latch)，亦即該第一反相器之一輸出端 N1(亦即該閃鎖電路之一第一存取端)係耦接於該第二反相器之一輸入端，該第二反相器之一輸出端 N2(亦即該閃鎖電路之一第二存取端)係耦接於該第一反相器之一輸入端。此外，閃鎖電路 102 係操作於一電源電壓 VCS 和一接地電壓 VSS 之間。第一開關電路 104 具有一第一端點(亦即第一開關電路 104 之一位元傳送端)耦接於閃鎖電路 102 之輸出端 N1，一第二端點 N3(亦即第一開關電路 104 之另一位元傳送端)，以及一控制端點 N4 用以接收一第一控制訊號 WWLB。第二開關電路 106 具有一第一端點(亦即第二開關電路 106 之一位元傳送端)耦接於閃鎖電路 102 之輸出端 N2，一第二端點(亦即第二開關電路 106 之另一位元傳送端)耦接於第一開關電路 104 之第二端點 N3，以及一控制端點 N5 耦接於一第二控制訊號 WWL。第三開關

電路 108 具有一第一端點(亦即第三開關電路 108 之一位元傳送端)耦接於第一開關電路之第二端點 N3，一第二端點 N6(亦即第三開關電路 108 之另一位元傳送端)耦接於一位元線 112，以及一控制端點 N7 耦接於一字元線 114。第四開關電路 110 具有一控制端點耦接於門鎖電路 102 之輸出端 N1，一第一端點耦接於第三開關電路 108 之該第一端點 N3，以及一第二端點 N8 耦接於一參考電位 VVSS，其中第一開關電路 104 的第一控制訊號 WWLB 及第二開關電路 106 的第二控制訊號 WWL 係以欄為基準(Column Based)，用以控制沿著位元線 112 的第一開關電路 104 及第二開關電路 106；以及第三開關電路 108 的控制端點 N7(耦接於字元線 114)係以行為基準(Row Based)，用以控制沿著字元線 114 的第三開關電路 108。此外，該感測放大器係耦接於位元線 112，用以判斷藉由位元線 112 所傳遞之位元值。

依據本發明之實施例靜態隨機存取記憶體 100，第一開關電路 104、第二開關電路 106、第三開關電路 108 以及第四開關電路 110 均係以 N 型場效電晶體來加以實作，其耦接關係已繪示於第 2 圖中，在此不另加贅述。由於靜態隨機存取記憶體 100 包含有八個場效電晶體，因此靜態隨機存取記憶體 100 可以係一 8-T 靜態隨機存取記憶體單元。此外，當靜態隨機存取記憶體 100 處於一資料寫入模式時，第一控制訊號 WWLB 以及第二控制訊號 WWL 係分別控制第一開關電路 104 以及第二開關電路 106 不同時導通。更進一步來說，當靜態隨機存取記憶體 100 處於該資料寫入模式時，第一控

制訊號 WWLB 以及第二控制訊號 WWL 係依據待寫入閃鎖電路 102 之一位元資料來分別控制第一開關電路 104 以及第二開關電路 106 之導通與否。也就是說，當待寫入閃鎖電路 102 之該位元資料係對應一第一邏輯準位時，位元線 112 係處於異於該第一邏輯準位之一第二邏輯準位，字元線 114 導通第三開關電路 108，第一控制訊號 WWLB 不導通第一開關電路 104 以及第二控制訊號 WWL 導通第二開關電路 106；以及當待寫入閃鎖電路 102 之該位元資料係對應該第二邏輯準位時，位元線 112 係處於該第二邏輯準位，字元線 114 導通第三開關電路 108，第一控制訊號 WWLB 導通第一開關電路 104 以及第二控制訊號 WWL 不導通第二開關電路 106。

另一方面，當靜態隨機存取記憶體 100 處於一資料讀出模式時，位元線 112 係處於該第一邏輯準位，參考電位 VVSS 係處於異於該第一邏輯準位之該第二邏輯準位，字元線 114 導通第三開關電路 108，第一控制訊號 WWLB 不導通第一開關電路 104 以及第二控制訊號 WWL 不導通第二開關電路 106。當靜態隨機存取記憶體 100 處於一待機模式時，位元線 112 與參考電位 VVSS 係對應同一邏輯準位，字元線 112 不導通第三開關電路 108，第一控制訊號 WWLB 不導通第一開關電路 104 以及第二控制訊號 WWL 不導通第二開關電路 106。

請參考第 3 圖。第 3 圖係本發明實施例靜態隨機存取記憶體 100 處於該資料讀出模式時的一示意圖。當靜態隨機存取記憶體 100 處

於該資料讀出模式時，第一控制訊號 WWLB 以及第二控制訊號 WWL 的電壓準位均會係一低電壓準位 VL 以分別將第一開關電路 104 以及第二開關電路 106 關閉。接著，位元線 112 上的電壓準位會先被充電至一高電壓準位 VH，亦即該第一邏輯準位係高電壓準位 VH，以及參考電位 VVSS 係低電壓準位 VL。接著，字元線 114 上的電壓準位會被充電至高電壓準位 VH 以導通第三開關電路 108。當第三開關電路 108 被導通時，位元線 112 上的電壓準位就會依據門鎖電路 102 內所儲存的位元資料而被放電至大致上接近參考電位 VVSS，亦即低電壓準位 VL，或大致上維持在高電壓準位 VH。更進一步來說，在本實施例中，當門鎖電路 102 內所儲存的位元資料係邏輯 0 時，則輸出端 N1 上的電壓準位會係高電壓準位 VH，因此第四開關電路 110 就會被高電壓準位 VH 所導通。如此一來，位元線 112 上的電荷就會通過第三開關電路 108 以及第四開關電路 110 而被放電至第四開關電路 110 的第二端點 N8，進而使得位元線 112 上的電壓準位降為低電壓準位 VL。反之，當門鎖電路 102 內所儲存的位元資料係邏輯 1 時，則輸出端 N1 上的電壓準位會係低電壓準位 VL，因此第四開關電路 110 就不會被導通。如此一來，位元線 112 上的電荷就不會被放電至第四開關電路 110 的第二端點 N8，進而使得位元線 112 上的電壓準位能大致上維持在高電壓準位 VH。因此，當靜態隨機存取記憶體 100 處於該資料讀出模式時，靜態隨機存取記憶體 100 的一感測單元(例如本實施例的該感測放大器)就可以依據位元線 112 上的電壓準位來判斷儲存在門鎖電路 102 內的位元資料。

請注意，當靜態隨機存取記憶體 100 處於該資料讀出模式時，由於第一開關電路 104 以及第二開關電路 106 均係處於不導通的狀態，因此位元線 112 上的電荷並不會影像到儲存在閃鎖電路 102 內的位元資料。換句話說，本發明實施例克服了傳統靜態隨機存取記憶體 10 所面臨的讀取干擾現象(Read-Select-Disturb)。同理，當靜態隨機存取記憶體 100 處於該資料讀出模式時，對於耦接於同一條字元線 114 上的一特定靜態隨機存取記憶體而言，其對應的第三開關電路亦會同時被導通。然而，由於該特定靜態隨機存取記憶體內對應的該第一開關電路以及該第二開關電路係處於不導通的狀態，因此該特定靜態隨機存取記憶體的一特定位元線上的電荷不會影響到該特定靜態隨機存取記憶體內的一特定閃鎖電路所儲存的位元資料。換句話說，本發明實施例亦克服了傳統靜態隨機存取記憶體 10 所面臨的讀取半選干擾現象(Read Half-Select-Disturb)。

請參考第 4 圖。第 4 圖係本發明實施例靜態隨機存取記憶體 100 於該資料寫入模式時將邏輯 0 寫入閃鎖電路 102 的一示意圖。在本實施例中，當靜態隨機存取記憶體 100 要將該資料位元為邏輯 0 寫入閃鎖電路 102 時，靜態隨機存取記憶體 100 的一控制單元會將位元線 112 上的電壓準位先充電至高電壓準位  $V_H$ ，以及將參考電位  $V_{VSS}$  設定為低電壓準位  $V_L$ 。接著，該控制單元會將第一控制訊號  $WWLB$  的電壓準位設定為低電壓準位  $V_L$  以關閉第一開關電路 104，以及將第二控制訊號  $WWL$  的電壓準位設定為高電壓準位  $V_H$



以導通第二開關電路 106。同時，字元線 114 上的電壓準位會被充電至高電壓準位 VH 以導通第三開關電路 108。接著，靜態隨機存取記憶體 100 的位元線 112 上的電壓準位就會被放電至低電壓準位 VL。此時，由於第二開關電路 106 以及第三開關電路 108 係處於導通的狀態，因此閃鎖電路 102 的輸出端 N2 上的電荷就會被放電至位元線 112 的低電壓準位 VL，而使得輸出端 N2 上的電壓準位為低電壓準位 VL(亦即該閃鎖電路的資料 Q)，而閃鎖電路 102 的輸出端 N1 上的電壓準位則會係對應的高電壓準位 VH(亦即該閃鎖電路的資料 QB)。如此一來，邏輯 0 就被寫入閃鎖電路 102 內了。

反之，第 5 圖則係本發明實施例靜態隨機存取記憶體 100 於該資料寫入模式時將邏輯 1 寫入閃鎖電路 102 的一示意圖。在本實施例中，當靜態隨機存取記憶體 100 要將該資料位元為邏輯 1 寫入閃鎖電路 102 時，靜態隨機存取記憶體 100 的該控制單元亦會將位元線 112 上的電壓準位先充電至高電壓準位 VH，以及將參考電位 VVSS 設定為低電壓準位 VL。接著，該控制單元會將第一控制訊號 WWLB 的電壓準位設定為高電壓準位 VH 以導通第一開關電路 104，以及將第二控制訊號 WWL 的電壓準位設定為低電壓準位 VL 以關閉第二開關電路 106。同時，字元線 114 上的電壓準位會被充電至高電壓準位 VH 以導通第三開關電路 108。接著，靜態隨機存取記憶體 100 的位元線 112 上的電壓準位就會被放電至低電壓準位 VL。此時，由於第一開關電路 104 以及第三開關電路 108 係處於導通的狀態，因此閃鎖電路 102 的輸出端 N1 上的電荷就會被放電至

位元線 112 而使得輸出端 N1 上的電壓準位為低電壓準位 VL(亦即該閃鎖電路的資料 QB)，而閃鎖電路 102 的輸出端 N2 上的電壓準位則會係對應的高電壓準位 VH(亦即該閃鎖電路的資料 Q)。如此一來，邏輯 1 就被寫入閃鎖電路 102 內了。

從第 4 圖以及第 5 圖可以得知，為了將該資料位元的邏輯值正確地寫入閃鎖電路 102，該控制單元會依據該資料位元的邏輯值來決定導通第一開關電路 104 以及第二開關電路 106 中的一個開關電路，並關閉第一開關電路 104 以及第二開關電路 106 中的另一個開關電路。此外，無論待寫入閃鎖電路 102 的該資料位元係邏輯 0 或邏輯 1，在將該資料位元寫入閃鎖電路 102 時，靜態隨機存取記憶體 100 的位元線 112 上的電壓準位都會處於低電壓準位 VL，以經過 N-型開關電晶體(Pass Transistor)對閃鎖電路 102 內的電荷進行放電的操作。因此，靜態隨機存取記憶體 100 的閃鎖電路 102 在寫入邏輯 0 以及邏輯 1 時都會具有相同的高效率。換句話說，靜態隨機存取記憶體 100 可以提高將該資料位元寫入閃鎖電路 102 的速率。此外，由於靜態隨機存取記憶體 100 在寫入邏輯 1 時並不係對閃鎖電路 102 進行充電來改變閃鎖電路 102 所儲存的邏輯值，因此靜態隨機存取記憶體 100 可操作在較低的位元線電壓。另一方面，相較於傳統的靜態隨機存取記憶體 10，本實施例靜態隨機存取記憶體 100 僅利用一個外部的開關電路(亦即第三開關電路 108)來連接兩個內部的開關電路(亦即第一開關電路 104 以及第二開關電路 106)，以及僅利用一條位元線 112 來寫入/讀取閃鎖電路 102 內的該資料位元的

邏輯值，因此靜態隨機存取記憶體 100 所佔用的面積會大幅地減小，以使得由靜態隨機存取記憶體 100 所組成的一靜態隨機存取記憶體具有高密度的特性。

請注意並參考第 4 圖及第 5 圖，當靜態隨機存取記憶體 100 處於該資料寫入模式時，由於第一開關電路 104 以及第二開關電路 106 的控制訊號(WWLB、WWL)均係以欄為基準(Column Based)，而第三開關電路 108 的控制端點 N7(耦接於字元線 114)係以列為基準(Row Based)。因此只有被選取的門鎖電路(位於被選取的列和被選取的欄的交會點)，其第三開關電路 108 被導通以及第一開關電路 104 與第二開關電路 106 其中之一被導通來進行寫入的動作。對於耦接於同一條字元線 114 上的其他半選門鎖電路 (Half-Select Cell)，其對應的第一開關電路及第二開關電路皆不導通。對於耦接於同一條位元線 112 上的其他半選門鎖電路 (Half-Select Cell)，其對應的第三開關電路不導通。因此該特定靜態隨機存取記憶體的一特定位元線上的電荷不會影響到該特定靜態隨機存取記憶體內半選門鎖電路的一特定門鎖電路所儲存的位元資料。換句話說，本發明實施例亦克服了傳統靜態隨機存取記憶體 10 所面臨的寫入半選干擾現象(Write Half-Select-Disturb)。

請參考第 6 圖。第 6 圖係本發明實施例靜態隨機存取記憶體 100 於該待機模式時的一示意圖。在本實施例中，當靜態隨機存取記憶體 100 處於該待機模式時，靜態隨機存取記憶體 100 的該控制單元

會將位元線 112 上的電壓準位充電至高電壓準位 VH，將字元線 114 上的電壓準位放電至低電壓準位 VL 以關閉第三開關電路 108，以及將第一控制訊號 WWLB 以及第二控制訊號 WWL 的電壓準位設定為低電壓準位 VL 以分別關閉第一開關電路 104 以及第二開關電路 106。此外，為了減少位元線 112 上的電荷的漏電現象，該控制單元會提升參考電位 VVSS 的電壓準位。舉例來說，當靜態隨機存取記憶體 100 處於該待機模式時，該控制單元會將參考電位 VVSS 的電壓準位設定為高電壓準位 VH。如此一來，由於位元線 112 和第四開關電路 110 之第二端點 N8 之間會被一個開關電路(亦即第三開關電路 108)所斷開，且位元線 112 上的電壓準位係大致上相等於第四開關電路 110 之第二端點 N8 的電壓準位，因此位元線 112 上的電荷就不會透過第四開關電路 110 而漏電至第四開關電路 110 之第二端點 N8。

此外，為了更進一步改善靜態隨機存取記憶體 100 處於該待機模式時的漏電現象，在本發明之另一實施例靜態隨機存取記憶體 200 中另包含有一第五開關電路，如第 7 圖所示。第 7 圖係本發明一靜態隨機存取記憶體 200 之一第二實施例示意圖。靜態隨機存取記憶體 200 包含有一閘鎖電路 202、一第一開關電路 204、一第二開關電路 206、一第三開關電路 208、一第四開關電路 210 以及一第五開關電路 212。閘鎖電路 202 係用來儲存一位元資料(亦即邏輯 1 或邏輯 0)。相似於該第一實施例記憶體將置 100，閘鎖電路 202 包含有四個場效電晶體 M1'-M4'，其係以一正迴授的方式連接以構成一

門鎖電路(Latch)。此外，門鎖電路 202 係操作於一電源電壓 VCS' 和一接地電壓 VSS' 之間。第一開關電路 204 具有一第一端點耦接於門鎖電路 202 之輸出端 N1'，一第二端點 N3'，以及一控制端點 N4' 用以接收一第一控制訊號 WWLB'。第二開關電路 206 具有一第一端點耦接於門鎖電路 202 之輸出端 N2'，一第二端點耦接於第一開關電路 204 之第二端點 N3'，以及一控制端點 N5' 耦接於一第二控制訊號 WWL'。第三開關電路 208 具有一第一端點耦接於第一開關電路之第二端點 N3'，一第二端點 N6' 耦接於一位元線 214，以及一控制端點 N7' 耦接於一字元線 216。第四開關電路 210 具有一控制端點耦接於門鎖電路 202 之輸出端 N1'，一第一端點 N8'，以及一第二端點 N9' 耦接於一參考電位 VVSS'。第五開關電路 212 具有一第一端點耦接於第四開關電路 210 之第一端點 N8'，一第二端點耦接於第三開關電路 208 之第一端點以及一控制端點耦接於字元線 216(亦即 N7')，其中第一開關電路 204 的第一控制訊號 WWLB' 及第二開關電路 206 的第二控制訊號 WWL' 係以欄為基準(Column Based)，用以控制沿著位元線 214 的第一開關電路 204 及第二開關電路 206；以及第三開關電路 208 的控制端點 N7'(耦接於字元線 216) 係以列為基準(Row Based)，用以控制沿著字元線 216 的第三開關電路 208。

依據本發明之實施例靜態隨機存取記憶體 200，第一開關電路 204、第二開關電路 206、第三開關電路 208、第四開關電路 210 以及第五開關電路 212 均係以 N 型場效電晶體來加以實作，其耦接關

系已繪示於第 7 圖中，在此不另加贅述。由於靜態隨機存取記憶體 200 包含有九個場效電晶體，因此靜態隨機存取記憶體 200 可以係一 9-T 靜態隨機存取記憶體單元。相似於靜態隨機存取記憶體 100，當靜態隨機存取記憶體 200 處於一資料寫入模式時，第一控制訊號 WWLB' 以及第二控制訊號 WWL' 係分別控制第一開關電路 204 以及第二開關電路 206 不同時導通。更進一步來說，當靜態隨機存取記憶體 200 處於該資料寫入模式時，第一控制訊號 WWLB' 以及第二控制訊號 WWL' 係依據待寫入門鎖電路 202 之一位元資料來分別控制第一開關電路 204 以及第二開關電路 206 之導通與否。也就是說，當待寫入門鎖電路 202 之該位元資料係對應一第一邏輯準位時，位元線 214 係處於異於該第一邏輯準位之一第二邏輯準位，字元線 216 導通第三開關電路 208，第一控制訊號 WWLB' 不導通第一開關電路 204 以及第二控制訊號 WWL' 導通第二開關電路 206；以及當待寫入門鎖電路 202 之該位元資料係對應該第二邏輯準位時，位元線 214 係處於該第二邏輯準位，字元線 216 導通第三開關電路 208，第一控制訊號 WWLB' 導通第一開關電路 204 以及第二控制訊號 WWL' 不導通第二開關電路 206。

另一方面，當靜態隨機存取記憶體 200 處於一資料讀出模式時，位元線 214 係處於該第一邏輯準位，參考電位 VVSS' 係處於異於該第一邏輯準位之該第二邏輯準位，字元線 216 導通第三開關電路 208 及第五開關電路 212，第一控制訊號 WWLB' 不導通第一開關電路 204 以及第二控制訊號 WWL' 不導通第二開關電路 206。當靜

態隨機存取記憶體 200 處於一待機模式時，位元線 214 與參考電位 VVSS' 係對應同一邏輯準位(第一邏輯準位)，字元線 214 不導通第三開關電路 208 以及第五開關電路 212，第一控制訊號 WWLB' 不導通第一開關電路 204 以及第二控制訊號 WWL' 不導通第二開關電路 206。

請注意，靜態隨機存取記憶體 200 和靜態隨機存取記憶體 100 係具相似的該資料讀出模式、該資料寫入模式以及該待機模式。換句話說，上述用來控制靜態隨機存取記憶體 100 以進行該資料位元讀出、該資料位元寫入以及該待機的操作方法均適用於靜態隨機存取記憶體 200，因此在此不另加贅述。本段僅針對第五開關電路 212 的操作做進一步地描述。請參考第 8 圖。第 8 圖係本發明實施例靜態隨機存取記憶體 200 於該待機模式時的一示意圖。當靜態隨機存取記憶體 200 處於該待機模式時，靜態隨機存取記憶體 200 的一控制單元會將位元線 214 上的電壓準位充電至一高電壓準位 VH'，將字元線 216 上的電壓準位放電至一低電壓準位 VL' 以關閉第三開關電路 208 以及第五開關電路 212，以及將第一控制訊號 WWLB' 以及第二控制訊號 WWL' 的電壓準位設定為低電壓準位 VL' 以分別關閉第一開關電路 204 以及第二開關電路 206。同時，該控制單元會提升參考電位 VVSS' 的電壓準位。舉例來說，當靜態隨機存取記憶體 200 處於該待機模式時，該控制單元會將參考電位 VVSS' 的電壓準位設定為高電壓準位 VH'。如此一來，由於位元線 214 和第四開關電路 210 之第二端點 N9' 之間會被兩個開關電路(亦即第三開關電路

208 和第五開關電路 212)所斷開，且位元線 214 上的電壓準位係大致上相等於第四開關電路 210 之第二端點 N9' 的電壓準位，因此位元線 214 上的電荷就不會透過第四開關電路 210 而漏電至第四開關電路 210 之第二端點 N9'。

另一方面，本發明所揭露的實施例靜態隨機存取記憶體 100 以及靜態隨機存取記憶體 200 並不受限於操作於上述所揭露的該資料寫入模式、該資料讀出模式以及該待機模式。此領域具有通常知識者應可瞭解靜態隨機存取記憶體 100 以及靜態隨機存取記憶體 200 亦可以只執行上述所揭露的該資料寫入模式、該資料讀出模式以及該待機模式中的一個或兩個模式，此亦為本發明之範疇所在。

此外，請再次參考第 3 圖以及第 9 圖。第 9 圖係本發明另一實施例靜態隨機存取記憶體 900 處於該資料讀出模式時的一示意圖。相較於第 3 圖所示的實施例靜態隨機存取記憶體 100，靜態隨機存取記憶體 900 係省略了靜態隨機存取記憶體 100 的第四開關電路 110。為了方便起見，靜態隨機存取記憶體 900 內的元件和訊號的標號均相似於靜態隨機存取記憶體 100 內的元件和訊號的標號，然而此領域具有通常知識者應可瞭解靜態隨機存取記憶體 900 內的元件和訊號的電氣特性並不受限於靜態隨機存取記憶體 900 內的元件和訊號的電氣特性。更進一步來說，靜態隨機存取記憶體 100 的第四開關電路 110 對靜態隨機存取記憶體 100 來說是非必須的 (optional)。換句話說，靜態隨機存取記憶體 900 亦可以包含有第四



開關電路 110，其操作相似於靜態隨機存取記憶體 100 的第四開關電路 110。同理，靜態隨機存取記憶體 900 亦可以包含有第四開關電路 210 以及第五開關電路 212，其操作相似於靜態隨機存取記憶體 200 的第四開關電路 210 以及第五開關電路 212。

靜態隨機存取記憶體 900 處於該資料讀出模式時，第一控制訊號 WWLB 的電壓準位會係一低電壓準位 VL 以將第一開關電路 104 關閉，而第二控制訊號 WWL 的電壓準位會係一高電壓準位 VH 以導通第二開關電路 106。接著，位元線 112 上的電壓準位會先被充電至高電壓準位 VH，亦即該第一邏輯準位係高電壓準位 VH。接著，字元線 114 上的電壓準位會被充電至高電壓準位 VH 以導通第三開關電路 108。當第三開關電路 108 被導通時，位元線 112 上的電壓準位就會依據閃鎖電路 102 內所儲存的位元資料而被放電至大致上接近參考電位 VVSS，亦即低電壓準位 VL，或大致上維持在高電壓準位 VH。更進一步來說，在本實施例中，當閃鎖電路 102 內所儲存的位元資料係邏輯 0 時，則輸出端 N2 上的電壓準位會係低電壓準位 VL。如此一來，位元線 112 上的電荷就會通過第二開關電路 106 以及第三開關電路 108 而被放電至輸出端 N2，進而使得位元線 112 上的電壓準位降為低電壓準位 VL。反之，當閃鎖電路 102 內所儲存的位元資料係邏輯 1 時，則輸出端 N2 上的電壓準位會係高電壓準位 VH。如此一來，位元線 112 上的電荷就不會被放電，進而使得位元線 112 上的電壓準位能大致上維持在高電壓準位 VH。因此，當靜態隨機存取記憶體 900 處於該資料讀出模式時，靜

態隨機存取記憶體 900 的一感測單元(例如本實施例的該感測放大器)就可以依據位元線 112 上的電壓準位來判斷儲存在門鎖電路 102 內的位元資料。請注意，由於靜態隨機存取記憶體 900 處於該資料寫入模式和該待機模式時的操作係大致上相似於靜態隨機存取記憶體 100 的該資料寫入模式和該待機模式，故在此不另贅述。請注意靜態隨機存取記憶體 900 克服了傳統靜態隨機存取記憶體 10 所面臨的讀取半選干擾和寫入半選干擾現象。但由於資料讀出模式類似傳統靜態隨機存取記憶體 10 的讀出模式，故仍有讀取干擾現象。惟由於態隨機存取記憶體 900 係經由第二開關電路 106 以及第三開關電路 108 兩層開關來讀取，故其讀取干擾會較傳統靜態隨機存取記憶體 10 為小。

綜上所述，本發明所揭露的實施例靜態隨機存取記憶體 100、靜態隨機存取記憶體 200 以及靜態隨機存取記憶體 900 可操作在較低的電源電壓  $V_{CS}$ ，且克服了傳統靜態隨機存取記憶體 10 所面臨的讀取干擾現象以及讀取半選干擾和寫入半選干擾現象。此外，由於靜態隨機存取記憶體 100、靜態隨機存取記憶體 200 以及靜態隨機存取記憶體 900 僅使用一個外部開關電路以及一條位元線，因此靜態隨機存取記憶體 100、靜態隨機存取記憶體 200 以及靜態隨機存取記憶體 900 所佔用的面積會大幅地減小。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

**【圖式簡單說明】**

第 1 圖係一傳統的靜態隨機存取記憶體之一示意圖。

第 2 圖係本發明一靜態隨機存取記憶體之一實施例示意圖。

第 3 圖係本發明實施例該靜態隨機存取記憶體處於一資料讀出模式時之一示意圖。

第 4 圖係本發明實施例該靜態隨機存取記憶體於一資料寫入模式時將邏輯 0 寫入一閃鎖電路之一示意圖。

第 5 圖係本發明實施例該靜態隨機存取記憶體於該資料寫入模式時將邏輯 1 寫入該閃鎖電路之一示意圖。

第 6 圖係本發明實施例該靜態隨機存取記憶體於一待機模式時之一示意圖。

第 7 圖係本發明該靜態隨機存取記憶體之一第二實施例示意圖。

第 8 圖係本發明該第二實施例之該靜態隨機存取記憶體於該待機模式時之一示意圖。

第 9 圖係本發明一第三實施例之該靜態隨機存取記憶體處於該資料讀出模式時之一示意圖。

**【主要元件符號說明】**

10 靜態隨機存取記憶體單元

11、102、202 閃鎖電路

11a、11b 反相器

12、16、112、214 位元線

14、114、216 字元線

100、200、900 靜態隨機存取記憶體

104、106、108、110、204、206、208、210、212 開關電路

## 七、申請專利範圍：

1. 一種靜態隨機存取記憶體(Static Random Access Memory)，包含有：
  - 一門鎖電路，具有一第一存取端和一第二存取端；
  - 一第一開關電路，具有一第一位元傳送端耦接於該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端；
  - 一第二開關電路，具有一第三位元傳送端耦接於該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端；
  - 一第三開關電路，具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端點耦接於一字元線，和一第六位元傳送端耦接於一位元線；以及
  - 一感測放大器，耦接於該位元線，用以判斷藉由該位元線所傳遞之位元值。
2. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準(Column Based)，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該第三開關的該第三控制端上的一第三控制訊號係以列為基準(Row Based)，該第三控制訊

號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一資料寫入模式時，該第一控制訊號以及該第二控制訊號係分別控制該第一開關電路以及該第二開關電路不同時導通。

3. 如申請專利範圍第 2 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於該資料寫入模式時，該第一控制訊號以及該第二控制訊號係依據待寫入該門鎖電路之一位元資料來分別控制該第一開關電路以及該第二開關電路之導通與否。
4. 如申請專利範圍第 3 項所述之靜態隨機存取記憶體，其中當待寫入該門鎖電路之該位元資料係對應一第一邏輯準位時，該位元線係處於異於該第一邏輯準位之一第二邏輯準位，該字元線導通該第三開關電路，該第一控制訊號導通該第一開關電路以及該第二控制訊號不導通該第二開關電路；以及當待寫入該門鎖電路之該位元資料係對應該第二邏輯準位時，該位元線係處於該第二邏輯準位，該字元線導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號導通該第二開關電路。
5. 如申請專利範圍第 2 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一資料讀出模式時，該字元線導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號導通該第二開關電路。

6. 如申請專利範圍第 2 項所述之靜態隨機存取記憶體，更包含有：
  - 一 第四開關電路，具有一控制端點耦接於該第一開關電路之該第一位元傳送端，一第一端點耦接於該第三開關電路之該第五位元傳送端，以及一第二端點耦接於一參考電位。
7. 如申請專利範圍第 6 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一資料讀出模式時，該位元線係處於一第一邏輯準位，該參考電位係處於異於該第一邏輯準位之一第二邏輯準位，該字元線導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。
8. 如申請專利範圍第 6 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一待機模式時，該位元線與該參考電位係對應同一邏輯準位，該字元線不導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。
9. 如申請專利範圍第 6 項所述之靜態隨機存取記憶體，更包含：
  - 一 第五開關電路，具有一第一端點耦接於該第四開關電路之該第一端點，一第二端點耦接於該第三開關電路之該第五位元傳送端以及一控制端點耦接於該字元線。

10. 如申請專利範圍第 9 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一資料讀出模式時，該位元線係處於一第一邏輯準位，該參考電位係對應異於該第一邏輯準位之一第二邏輯準位，該字元線導通該第三開關電路以及該第五開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。
11. 如申請專利範圍第 9 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一待機模式時，該位元線與該參考電位係處於同一邏輯準位，該字元線不導通該第三開關電路以及該第五開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。
12. 一種靜態隨機存取記憶體，包含有：
  - 一閃鎖電路，具有一第一存取端和一第二存取端；
  - 一第一開關電路，具有一第一位元傳送端耦接於該閃鎖電路之該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端；
  - 一第二開關電路，具有一第三位元傳送端耦接於該閃鎖電路之該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端；
  - 一第三開關電路，具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端耦接於一字元線，和一第六位元傳送



端耦接於一位元線；以及

一第四開關電路，具有一控制端點耦接於該第一開關電路之該第一位元傳送端，一第一端點耦接於該第三開關電路之該第五位元傳送端，以及一第二端點耦接於一參考電位；

其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準 (Column Based)，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該其第三開關的該第三控制端上的一第三控制訊號係以行為基準 (Row Based)，該第三控制訊號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一資料讀出模式時，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。

13. 如申請專利範圍第 12 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於該資料讀出模式時，該位元線係處於一第一邏輯準位，該參考電位係處於異於該第一邏輯準位之一第二邏輯準位，以及該字元線導通該第三開關電路。
14. 如申請專利範圍第 12 項所述之靜態隨機存取記憶體，其中當該靜態隨機存取記憶體處於一待機模式時，該位元線與該參考電位係對應同一邏輯準位，該字元線不導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該

第二開關電路。

15. 一種靜態隨機存取記憶體，包含有：

一門鎖電路，具有一第一存取端和一第二存取端；

一第一開關電路，具有一第一位元傳送端耦接於該門鎖電路之該第一存取端，一第一控制端耦接於一第一寫入字元線，和一第二位元傳送端；

一第二開關電路，具有一第三位元傳送耦接於該門鎖電路之該第二存取端，一第二控制端耦接於一第二寫入字元線，和一第四位元傳送端耦接於該第二位元傳送端；

一第三開關電路，具有一第五位元傳送端耦接於該第四位元傳送端，一第三控制端點耦接於一字元線，和一第六位元傳送端耦接於一位元線；以及

一第四開關電路，具有一控制端點耦接於該第一開關電路之該第一位元傳送端，一第一端點耦接於該第三開關電路之該第五位元傳送端，以及一第二端點耦接於一參考電位；

其中該第一開關的該第一控制端上的一第一控制訊號及該第二開關的該第二控制端上的一第二控制訊號係以欄為基準

(Column Based)，該第一控制訊號以及該第二控制訊號係用以分別控制沿著該位元線的第一開關及第二開關，該第三開關的該第三控制端上的一第三控制訊號係以列為基準(Row

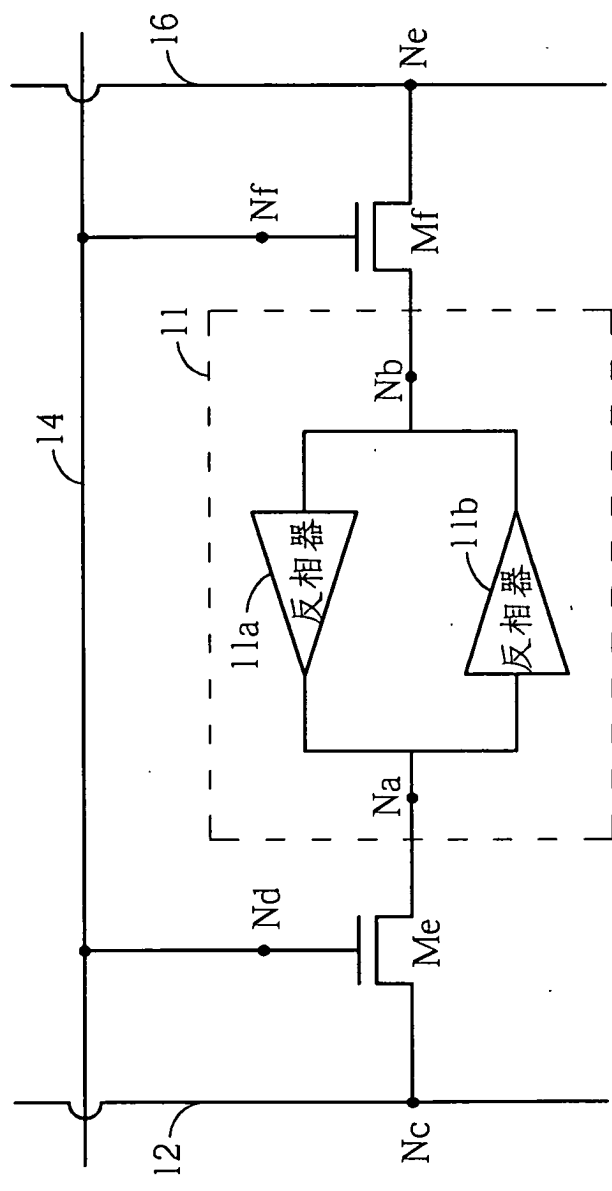
Based)，該第三控制訊號係用以控制沿著該字元線的該第三開關，以及當該靜態隨機存取記憶體處於一待機模式時，該位元

線與該參考電位係處於同一邏輯準位，該字元線不導通該第三開關電路，該第一控制訊號不導通該第一開關電路以及該第二控制訊號不導通該第二開關電路。

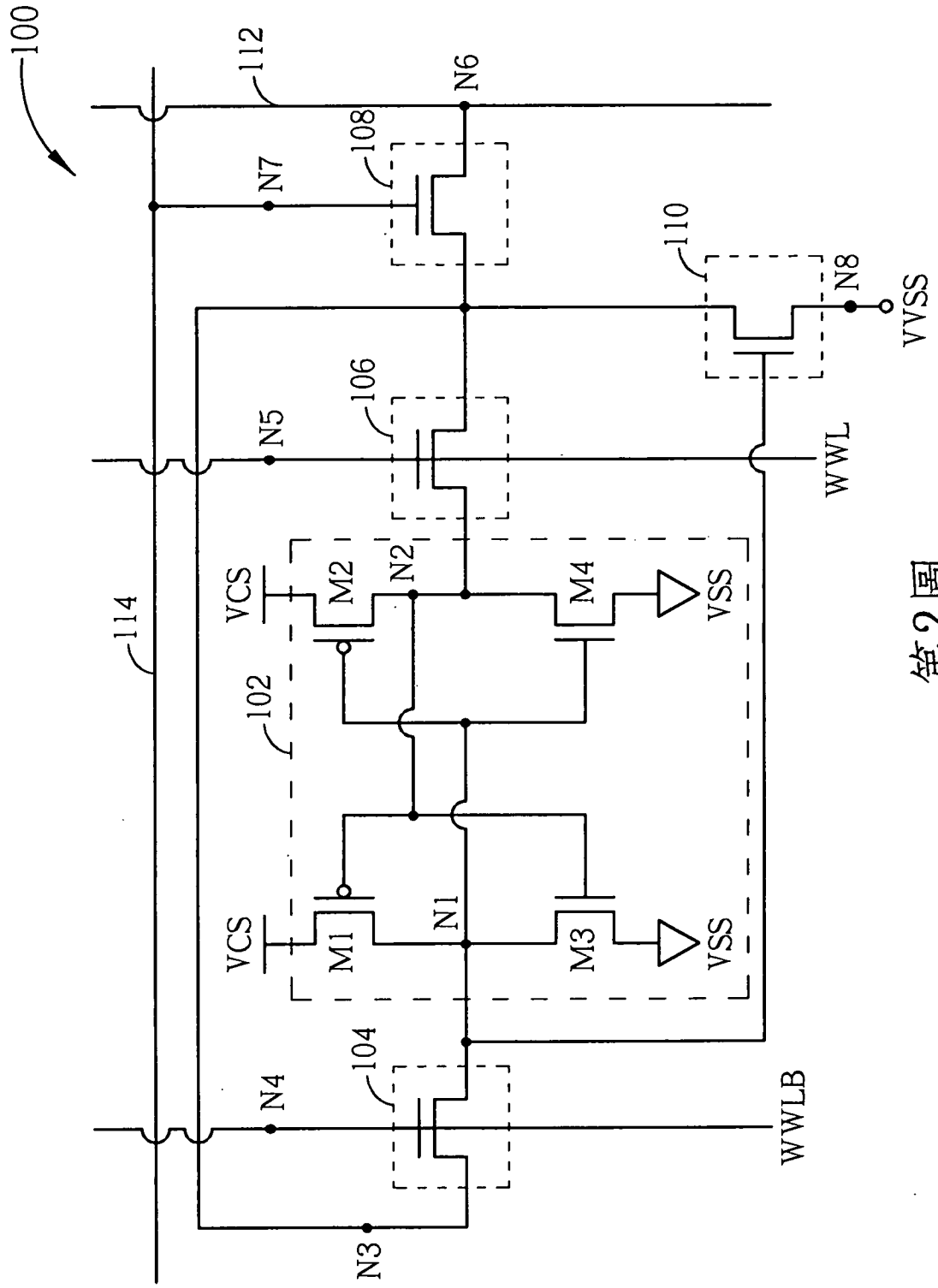
16. 如申請專利範圍第 15 項所述之靜態隨機存取記憶體，另包含：
- 一第五開關電路，具有一第一端點耦接於該第四開關電路之該第一端點，一第二端點耦接於該第三開關電路之該第五位元傳送端以及一控制端點耦接於該字元線；
- 其中當該靜態隨機存取記憶體處於該待機模式時，該字元線不導通該第五開關電路。

八、圖式：

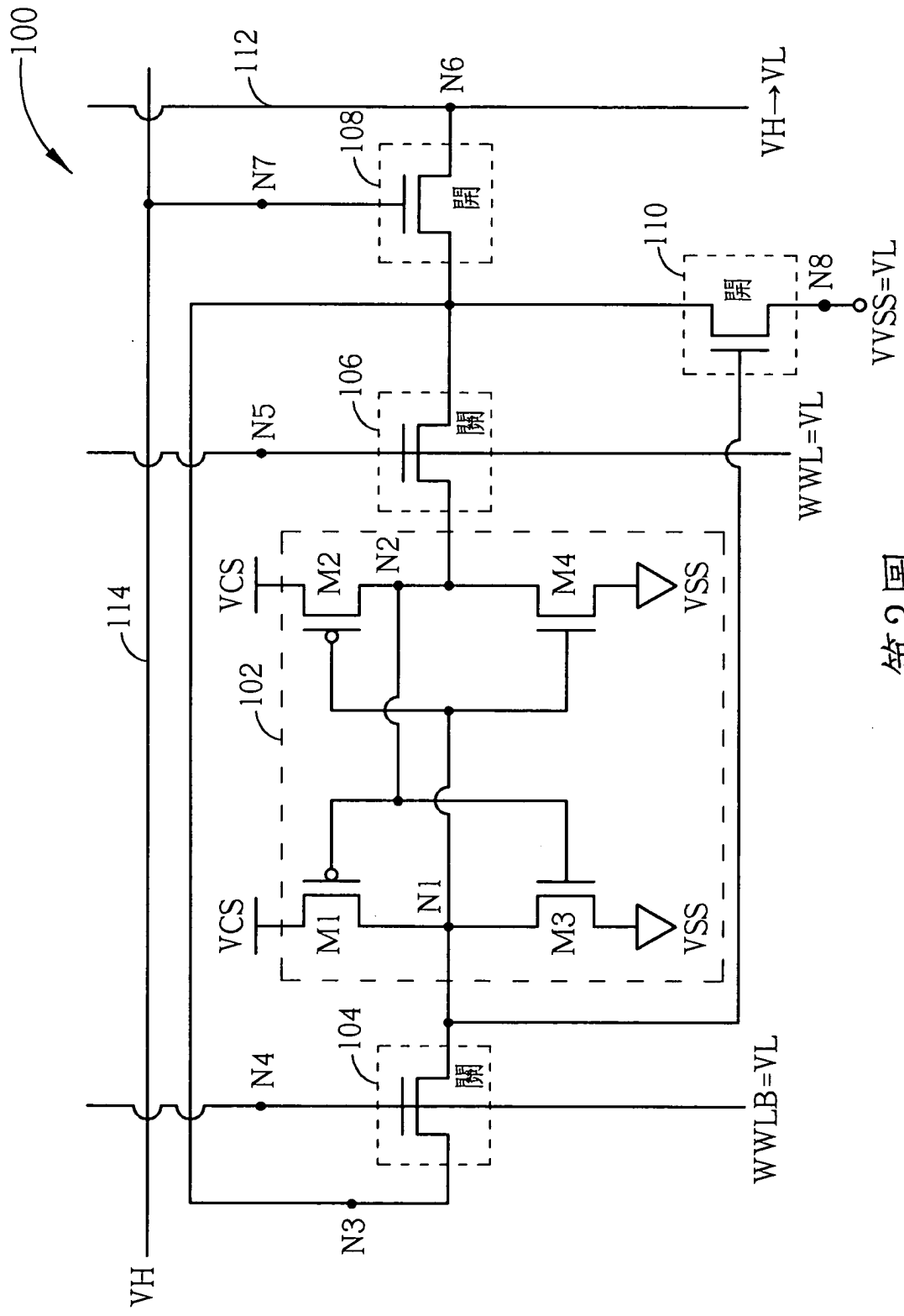
10



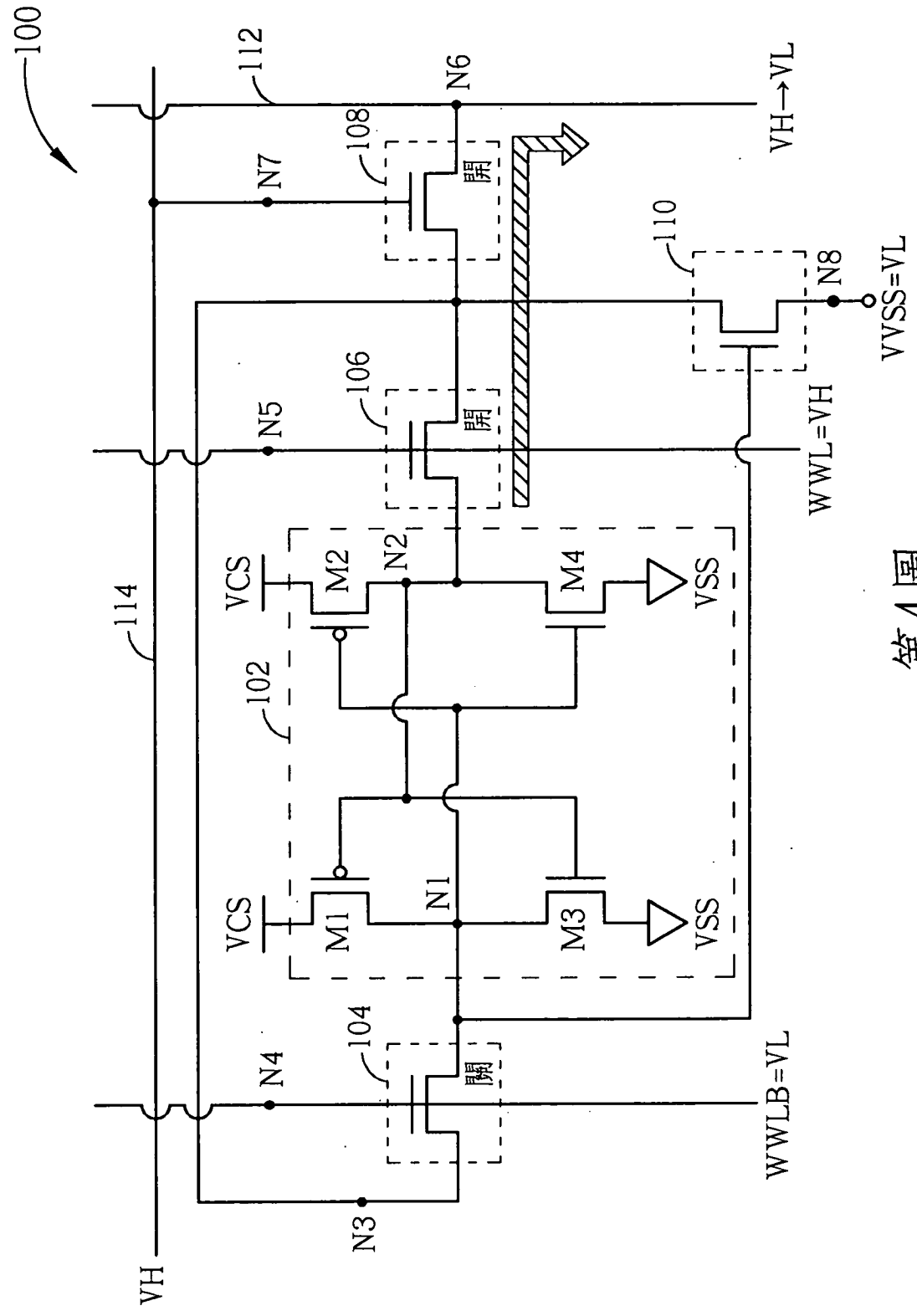
第1圖



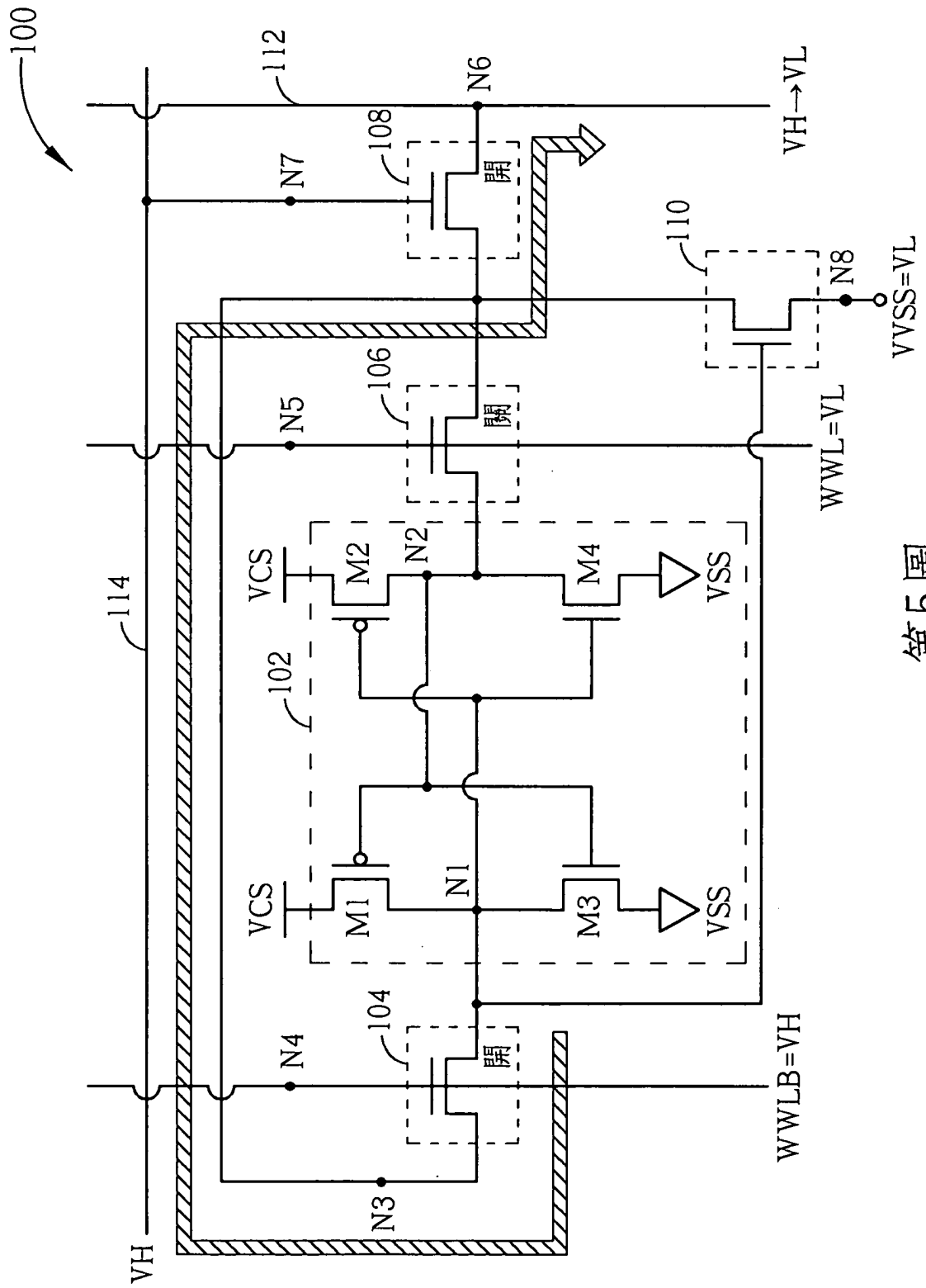
第2圖



第3圖

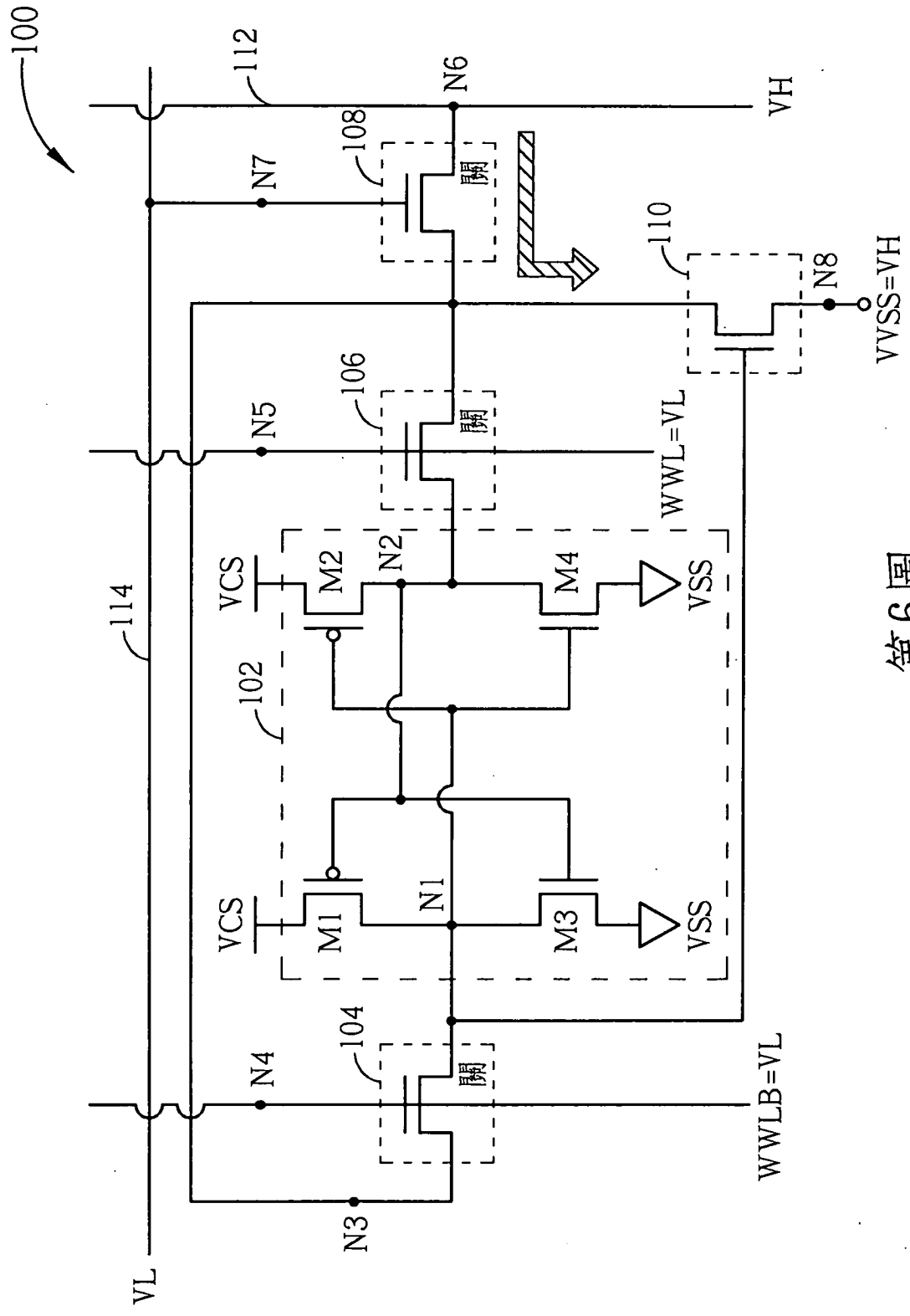


第4圖



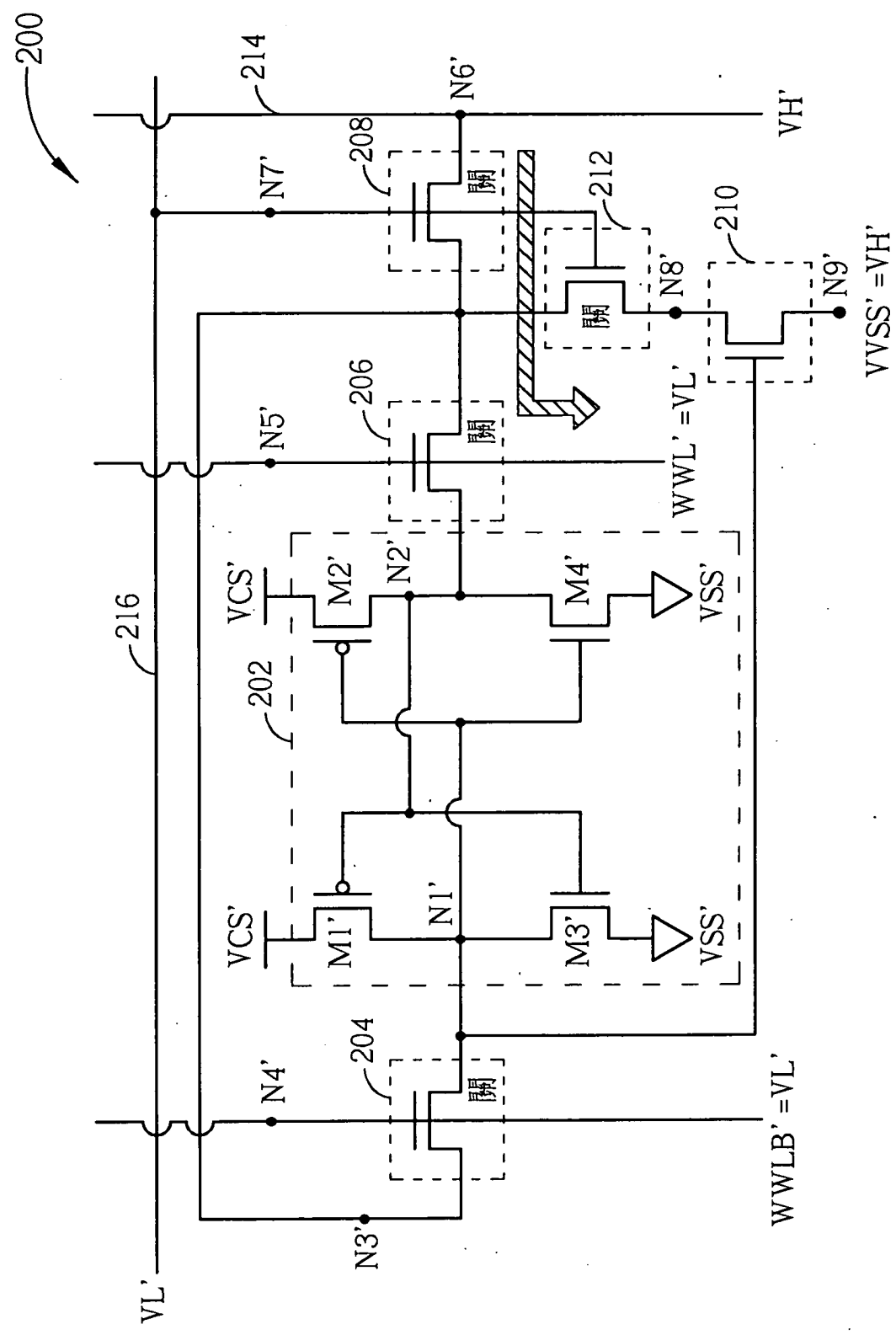
第5圖





第6圖





第8圖

