



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I410819 B

(45) 公告日：中華民國 102 (2013) 年 10 月 01 日

(21) 申請案號：099114823

(22) 申請日：中華民國 99 (2010) 年 05 月 10 日

(51) Int. Cl. : G06F17/50 (2006.01)

H01L27/04 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：江蕙如 JIANG, IRIS HUI RU (TW) ; 楊喻名 YANG, YU MING (TW)

(74) 代理人：蘇建太；蘇清澤

(56) 參考文獻：

TW 201005566A

US 7139987B2

US 2007/0022399A1

US 2008/0016483A1

審查人員：林琮烈

申請專利範圍項數：13 項 圖式數：13 共 0 頁

(54) 名稱

考量元件與佈線對稱之類比佈局方法

METHOD FOR ANALOG PLACEMENT AND GLOBAL ROUTING CONSIDERING WIRING SYMMETRY

(57) 摘要

本發明提供一種考量元件與佈線對稱之類比佈局方法，其對一電路進行佈局，電路由具有一組元件及其連接線的一網路表所描述，首先輸入網路表，網路表的每一元件具有一設計限制並對應至一優先次序；再依據優先次序對每一元件進行排序，以建立一限制庫；又依據每一元件的設計限制及對應的優先次序，建立一階層式限制樹；依據階層式限制樹對每一元件進行元件擺置，每一元件的可能形狀係使用形狀曲線表示；再對於元件的每一擺置計算相對應的花費函數，並依據花費函數選取元件的最佳擺置；對每一連接線建立直線式史坦納最小樹；最後執行類比繞線。

The invention provides a method for analog placement and global routing considering wiring symmetry. The method performs a layout for a circuit which is described by a netlist having a set of components and wires connected thereon. First, the method inputs the netlist, whereas each component of the netlist has a design constraint and a corresponding priority. Based on the priorities, it performs a sorting on the components to establish a constraint library. Then, based on the design constraint and corresponding priority of each component, the method establishes a hierarchical constraint tree. According to the hierarchical constraint tree, the method performs placement of each component, wherein possible shapes of each component is represented by a shape curve. For each placement of the component, the method calculates a corresponding cost function. Then, it selects an optimum placement of the component according to the cost functions. The method establishes a Rectilinear Steiner Minimal Tree for each wire and then performs an analog routing.

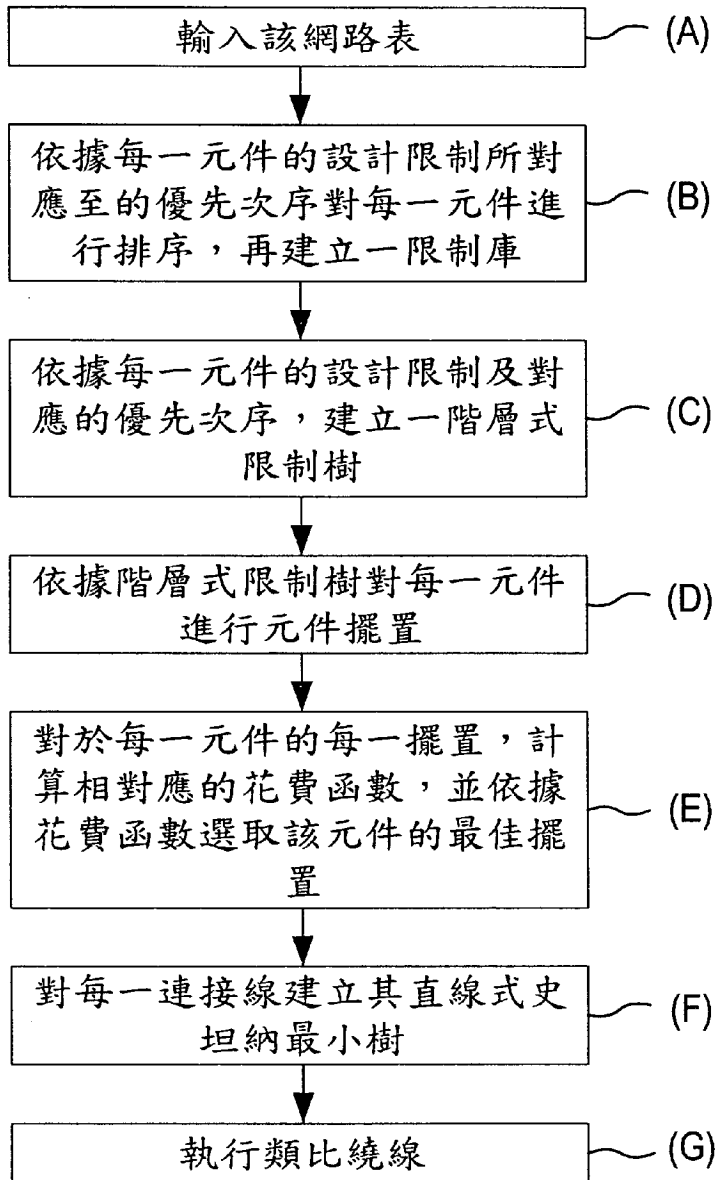
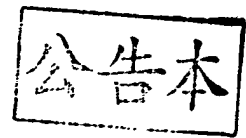


圖 2



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99114823

G.06F 17/50

(2006.01)

※申請日：99.5.10

※IPC 分類：H.01L 27/04

(2006.01)

一、發明名稱：(中文/英文)

考量元件與佈線對稱之類比佈局方法

Method for analog placement and global routing considering wiring symmetry

二、中文發明摘要：

本發明提供一種考量元件與佈線對稱之類比佈局方法，其對一電路進行佈局，電路由具有一組元件及其連接線的一網路表所描述，首先輸入網路表，網路表的每一元件具有一設計限制並對應至一優先次序；再依據優先次序對每一元件進行排序，以建立一限制庫；又依據每一元件的設計限制及對應的優先次序，建立一階層式限制樹；依據階層式限制樹對每一元件進行元件擺置，每一元件的可能形狀係使用形狀曲線表示；再對於元件的每一擺置計算相對應的花費函數，並依據花費函數選取元件的最佳擺置；對每一連接線建立直線式史坦納最小樹；最後執行類比繞線。

三、英文發明摘要：

The invention provides a method for analog placement and global routing considering wiring symmetry. The method performs a layout for a circuit which is described by a netlist having a set of components and wires connected thereon. First, the method inputs the netlist, whereas each component of the netlist has a design constraint and a corresponding priority. Based on the priorities, it performs a sorting on the components to establish a constraint library. Then, based on the design constraint and corresponding priority of each component, the method establishes a hierarchical constraint tree. According to the hierarchical constraint tree, the method performs placement of each component, wherein possible shapes of each component is represented by a shape curve. For each placement of the component, the method calculates a corresponding cost function. Then, it selects an optimum placement of the component according to the cost functions. The method establishes a Rectilinear Steiner Minimal Tree for each wire and then performs an analog routing.

四、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

步驟(A)~ 步驟(G)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於類比電路佈局之技術領域，尤指一種考量元件與佈線對稱之類比佈局方法。

【先前技術】

從佈局觀點而言，類比電路設計和數位電路設計有著極大的不同。類比電路設計不像大型數位電路設計，類比電路一般有著較小的芯片尺寸(die size)，然而類比電路的實際行為卻對佈局幾何形狀非常敏感，例如寄生耦合效應、小信號傳輸、接線交叉。因此芯片面積的最小化往往非類比電路設計者的主要考量。數位電路設計者往往可藉由成熟的EDA工具進行自動化的佈局。然而，現行存在且受歡迎的類比電路佈局與自動化仍有一段距離。手工、費時且易出錯的類比電路佈局，往往取決於佈局設計人員的經驗和智慧。因此類比電路佈局的自動化有迫切的需求。

為方便自動類比電路佈局生成，設計師的專業知識可以轉化為拓撲限制。為擺設類比元件，習知技術提出三種對稱性的限制：元件匹配限制、元件鏡像限制、及元件鄰近限制。

該元件匹配限制的產生係用於二元件共享共同閘極或是應該擺置在鄰近處。該元件鏡像限制的產生係用於將二元件對稱擺置以避免寄生不匹配。該元件鄰近限制

的產生係用於將具有同一功能的各元件互相擺置於鄰近處。

二元件之間的寄生不匹配可藉由前述的元件匹配限制、元件鏡像限制、及元件鄰近限制而將之降至最小。然而，在對稱限制模組中，如果該模組的輸出和輸入信號路徑不是對稱的話，信號仍然不匹配，可能導致電路故障。在類比佈局設計自動化技術領域中，習知技術只考慮了元件間的對稱性，並未考量信號路徑是否對稱。圖1(a)、(b)、(c)、(d)係二個類比電路佈局之示意圖，其顯示於類比電路佈局中路徑對稱的重要性。如圖1所示，元件A及元件B具有元件鏡像限制，且具有對稱擺置。元件A及元件B均連接至元件C。圖1(a)顯示一具有走線不對稱的擺置拓撲，圖1(b)顯示一具有走線對稱的擺置拓撲。由圖1(a)及圖1(b)可以看出，對稱不僅取決於對稱的元件，而且也依靠與元件連接的走線，因為非對稱佈局會導致不對稱的佈線，從而導致對稱元件間不同的物理行為。由圖1(c)及圖1(d)顯示可知，儘管鏡像元件A和元件B是對稱擺置它們共同連接元件C，然而粗心的佈線可能扭曲的對稱性。顯然，相對於圖1(c)，圖1(d)的拓撲圖在佈局和佈線均是對稱的。因此習知的類比自動佈局技術只考慮了元件間的對稱性，但在類比電路中，導線間互相影響所產生的物理效應也大大左右著電路的效能，如果在佈局時只考慮元件對稱性而忽略了導線對稱性，則之後的繞線結果會使考慮元件對稱性的佈局電路效能無法

符合預期。故習知的類比自動佈局技術有予以改進之必要。

【發明內容】

本發明之主要目的係在提供一種考量元件與佈線對稱之類比佈局方法，俾能使產生的類比擺置與繞線設計能保有元件對稱性，還能兼顧導線對稱性，進而提高類比電路之訊號品質及降低製程在元件間所產生不匹配效果。

依據本發明之一特色，本發明提出一種考量元件與佈線對稱之類比佈局方法，該類比佈局方法係執行於一電腦中，以使該電腦可執行一類比電路佈局，該類比電路係由一網路表(netlist)所描述，該網路表(netlist)包含一組元件及其連接線，該方法包括步驟：(A) 輸入該網路表(netlist)，其中，該網路表(netlist)的每一元件具有一設計限制(design constraint)，每一設計限制(design constraint)對應至一優先次序；(B) 依據每一元件的設計限制(design constraint)所對應至的優先次序對每一元件進行排序，再建立一限制庫(constraint library)；(C) 依據每一元件的設計限制(design constraint)及對應的優先次序，建立一階層式限制樹(hierarchical constraint tree)；(D) 依據階層式限制樹(hierarchical constraint tree)對每一元件進行元件擺置，其中，每一元件的可能形狀係使用形狀曲線(shape curve)表示；(E) 對於每一元件的每一擺置，計算相對應的花費函數(cost function)，並依

據花費函數(cost function)選取該元件的最佳擺置；(F) 對每一連接線建立其直線式史坦納最小樹(Rectilinear Steiner Minimal Tree)；(G) 執行類比繞線。

【實施方式】

圖2係本發明一種考量元件與佈線對稱之類比佈局方法之流程圖，該類比佈局方法係執行於一電腦中，以使該電腦可執行一類比電路佈局。該類比電路係由一網路表(netlist)所描述，該網路表包含一組元件(device)及其連接線(wire)。該方法首先於步驟(A)中輸入該網路表，其中，該網路表的每一元件具有一設計限制(design constraint)，每一設計限制對應至一優先次序(priority)。

圖3係本發明一網路表之示意圖。該網路表係一運算放大器的spice格式描述。於本發明中，該網路表(netlist)係一SPICE(Simulation Program with Integrated Circuit, SPICE)格式描述，而該設計限制係以註解方式存在於該網路表(netlist)中。SPICE格式的註解係在「*」之後，如圖3所示，電晶體M1具有symmetry1設計限制及proximity1設計限制。該等設計限制可由電路設計者填入；或由自動樣型識別方法去識別各元件，而產生各元件的設計限制。

於其他實施例中，該設計限制可以另存於另一檔案，而無需與電路的SPICE檔案為同一檔案。

於其他實施例中，步驟(A)中亦可輸入由schematic繪製電路圖工具所繪製的電路圖。該電路圖具有多個元件

(device)及其連接線(wire)，每個元件的設計限制可於一屬性欄位中設定。

圖4係本發明設計限制之示意圖。如圖4所示，該設計限制可為輸入(input)、差動(differential)、鏡像(mirroring)、匹配(matching)、鄰近(proximity)、電源(power)、及其他(others)。該設計限制中的輸入(input)、差動(differential)、鏡像(mirroring)、匹配(matching)、鄰近(proximity)、電源(power)、及其他(others)之優先次序依序為6、5、4、3、2、1、0。當中，數字越大具有較高的優先次序。

設計限制沒有順序關係，因此於步驟(B)中，本發明會先依優先次序進行排序後再建立一限制庫(constraint library)。當具有相同優先次序的設計限制時，其係依照字母順序決定先後，舉例來說，如果Proximity2和Proximity3同時存在某一個元件，則Proximity2會先被處理。

於步驟(C)中，依據每一元件的設計限制及對應的優先次序，建立一階層式限制樹(hierarchical constraint tree)。

在限制驅動的佈局(constraint-driven placement)，電路分析是最重要的一步。本發明在電路分析這一部份，則建立了一類比電路的階層式限制樹，一樹節點則代表一對稱限制模組。其中，該階層式限制樹的結構係依據該網路表元件的功能產生。

圖5係一運算放大器之電路圖。其係一摺疊式疊接運算放大器 (folded cascode operational amplifier)。圖6係圖5運算放大器之階層式限制樹的示意圖。如圖5所示，差動訊號由電晶體M1、M2輸入，因此電晶體M1、M2必須被對稱限制所約束，且形成輸入級。

如圖6所示，其中，於該階層式限制樹中，一鄰近 (proximity) 設計限制可涵蓋一鏡像設計限制及一匹配設計限制。由圖5可以看出，使用鄰近 (proximity) 設計限制可將對稱限制模組的元件及其連接元件綁在一起，因此達到佈線對稱的考量。

如圖6所示，階層式限制樹的每一節點具有一優先次序，其係標示於附在每一節點的一鑽石形狀的框中，其中，具有較高優先次序的模組或元件會較具有較低優先次序的模組或元件先擺置。優先次序會往上傳遞，父節點的優先次序則為子節點中最大的優先次序。

於步驟(D)中，依據階層式限制樹對每一元件進行元件擺置，其中，每一元件的可能形狀係使用形狀曲線 (shape curve) 表示。

於步驟(D)中，首先處理的元件是有輸入訊號的元件，也就是圖6中的Mirroring1，處理完後會依照連線關係，將相連的元件放進待擺置的隊列(queue)內，而隊列內的順序則是依照優先次序大小排列。

如果相連的元件是在同一個鄰近 (proximity) 設計限制中，如電晶體M11相對於Mirroring1，電晶體M11與

Mirroring1是在同一個鄰近(proximity)設計限制中，則直接放入待擺置的隊列(queue)內。

如果屬於不同的鄰近(proximity)設計限制，例如和Mirroring1相連的Mirroring2，則放入隊列(queue)的是Proximity2，也就是將整個有相同功能的Constraint放入的隊列(queue)內。如果新放入的鄰近(proximity)設計限制之優先次序比原本的高，則將新的鄰近(proximity)設計限制插入到隊列(queue)的最前面，要先處理這些優先次序高的元件以得到較好的元件及佈線對稱。

元件的尺寸和擺置結果會形成一個形狀曲線(shape curve)。因此，本發明使用元件摺疊(device folding)技巧，以增加擺置的彈性。故本發明將每個元件的可能形狀用形狀曲線(shape curve)表示。類比元件可以使用元件摺疊(device folding)技巧，以將類比元件摺疊到更方正的形狀。

元件摺疊(device folding)可將大的長寬比(large aspect ratio)元件分解成具有單一寬高比(uni-aspect ratio)的較小元件。此外，可施行的折疊尺寸(folded dimension)受到長寬比的限制。

每一個折疊尺寸被視為候選者且作為形狀曲線上的一個點，亦即，每一元件的形狀曲線(shape curve)係依據該元件摺疊(device folding)而產生。換句話說，一形狀曲線(shape curve)上的點數目係對應元件可折疊維度(folding dimension)。

同時需注意，即使具有相同的面積，對一類比元件執行任意維度的元件摺疊(device folding)是不可行的，亦即不能無限制的對一類比元件執行摺疊元件，所以一個類比元件的可能形狀和其可摺疊的次數有關，因此該形狀曲線(shape curve)是離散(discrete)。

圖7係本發明一元件之元件摺疊(device folding)的示意圖。圖8係圖7的元件執行元件摺疊所產生形狀曲線的示意圖。藉由修剪多餘的解決方案，使用形狀曲線可以減少解決空間。因而增加擺置的靈活性及增加佈局的對稱性。

於本發明中，各元件的優先次序即為擺置次序，亦即優先次序較高的元件先予以擺置。當有了各元件擺置的順序及元件可用的形狀後，接下來就是擺置的方法。於本發明中，該每一元件進行元件的擺置係使用力強度導向的方法(force-directed method)。

於本發明中，使用絕對坐標，因為每一元件應放置在一定的位置，以盡量減少佈線的差異。其使用力強度導向的方法(force-directed method)依據連線以決定一新加入元件或一新加入設計限制模組的理想的位置。

理想的位置通常是在目前的局部擺置的中心位置。下一步是推動新擺置的元件/模組沿一方向移動，直到新擺置的元件/模組與原先的擺置沒有重疊。由於原先擺置的輪廓在四個方向均可能不同，因此新擺置的元件/模組需依序考慮四個方向。對於匹配設計限制的模組需進行先前擺置。

圖9係本發明力強度導向的方法的擺置之示意圖。如圖9所示，M5和M6是要擺放的元件，而M1、M2和M11則是已經擺好的元件。如圖9(b)-(e)所示，先用力強度導向的方法(force-directed method)運用連線關係計算出最佳位置(ideal position)後，再將擺放元件(M5和M6)向四個方向推出，直到沒有重疊為止。

由於形狀曲線(shape curve)上的每一點代表一元件的可能形狀，因此對於形狀曲線(shape curve)上每個點(也就是可能的形狀)都要作此動作，但是因為擺置有對稱性，所以可以利用翻轉(flipping)的方式以節省計算的時間。

如圖9(f)所示，對於鏡像模組，有第五種擺置拓撲可以選擇，因為鏡像模組的對稱性，在擺置更有彈性。

於步驟(E)中，對於每一元件的每一擺置，計算相對應的花費函數(cost function)，並依據花費函數(cost function)選取該元件的最佳擺置。

對於每個擺置的結果，依據花費函數(cost function)計算出一個分數，公式如下：

$$\text{Cost}(P) = \alpha \times (1 + \text{Total_Wiring_Difference}) \times \text{Wirelength} + \text{Aspect_Ratio} \times \text{Layout_Area}$$
，該公式考量連線和面積的因素，其中， α 是為了調整連線長度和面積大小的權重，而Total_Wiring_Difference是用來估計佈線對稱(wiring symmetry)的程度，如果此項數字越大，花費越高，表示此擺置結果並不保證佈線對稱，Wirelength為連線總長度之估計值，本發明使用曼哈頓距離(Manhattan distance)

估計連線長度，Aspect_Ratio是佈局的長寬比，Layout_Area是佈局面積。圖10係本發明Total_Wiring_Difference的示意圖。由圖10可知，Total_Wiring_Difference越小，佈線對稱(wiring symmetry)越好。

圖11係圖9(b)-(f)擺置的花費函數之示意圖。由數據可以發現，M5和M6同時放在左邊或右邊時，因為有佈線差異(wiring difference)，明顯地Cost較高，M5和M6分別放在左右兩邊的擺法，其Cost為1585，在這個例子上並沒有明顯的優勢，原因在於M5和M6與M1和M2大小不同，其佈線長度比M5和M6同時放在上方時的長度還要長。在這幾個擺置拓撲中，Cost最好的是將M5和M6同時放在上方。

於步驟(F)中，對每一連接線建立其直線式史坦納最小樹(Rectilinear Steiner Minimal Tree, RSMT)。直線式史坦納最小樹(RSMT)是一個繞線上常用的一種方法，將要繞線的點先建立直線式史坦納最小樹(RSMT)，再利用其他種繞線方法將所有點連起來。

於步驟(G)中，執行類比繞線。於步驟(G)中，係先用一樣型繞線(pattern routing)來繞線，如果沒法繞線，再用迷宮繞線(maze routing)對剩下的線進行繞線。

在繞線前要先對每一條線進行線對稱分析(wiring symmetry analysis)，其依據限制庫(constraint library)對每條線所連接的元件之優先次序進行加總，以產生每一條線的繞線加權，再依據每一條線的繞線加權進行繞線。

圖 12 係本發明線對稱分析之示意圖。如圖 12 所示，Net 2 連接到 M1、M2 和 M11，三個元件的優先次序依序是 6、6、1，所以 Net2 得到的分數是 13，比其他線還要高，所以先做繞線動作，另外 Net1 和 Net3 是一組對稱線 (symmetry wires)，所以他們的分數是一樣的，依照繞線的順序，Net1 和 Net3 應該會相鄰著被處理，加上前面擺置產生的結果，就能夠保持線對稱 (wiring symmetry) 之特性。

圖 13 係圖 5 佈局結果之示意圖。由圖 13 所示，本發明提出的技術，使產生的類比擺置與繞線設計能保有元件對稱性，還能兼顧導線對稱性。習知的類比佈局設計自動化技術只考慮每個元件彼此的關係，卻忽略了訊號線連接的好壞也大大左右著類比佈局設計的品質。訊號線連接的影響在對稱元件上尤為明顯，如果連接到兩對稱元件的訊號線沒有對稱，除了造成訊號的不匹配，更進一步會影響電路的運作。本發明技術將元件折疊的技術巧妙融入擺置的形狀大小的設計當中，如此一來將有比較高的彈性可以產生出更對稱的佈局。

由前述說明，本發明之優點可歸納如下：

1. 佈局設計考慮導線對稱性：類比電路的佈局結果影響電路效能甚巨，尤其對稱性元件通常對訊號最為敏感，在佈局時元件和導線都要有對稱的結構，而導線的對稱性不只在擺置時就要考慮，在繞線階段也要參考佈局的資訊來完成，才能有效提昇電路的效能。

2. 擺置優先權：將元件與導線的對稱性以及電路中訊號傳遞的流向一起考量，排出擺置的優先權重。

3. 導線對稱性的量度方法：提出簡便的量度法反映導線的對稱性。

4. 元件折疊擺置：在類比佈局中，折疊元件可使其保有物理特性與相同面積，但有多種可能的長寬比可以應用，我們利用形狀曲線描述經過折疊後，使擺置的元件可選擇的各種長寬外型，在擺置過程中選擇最適合的元件形狀，增加類比佈局設計自動化的靈活性與可行性，以求得到更好的結果。

由上述可知，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，極具實用價值。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1(a)、(b)、(c)、(d)係二個類比電路佈局之示意圖。

圖2係本發明一種考量元件與佈線對稱之類比佈局方法之流程圖。

圖3係本發明一網路表之示意圖。

圖4係本發明設計限制之示意圖。

圖5係一運算放大器之電路圖。

圖6係圖5運算放大器之階層式限制樹的示意圖。

圖7係本發明一元件之元件摺疊的示意圖。

圖8係圖7的元件執行元件摺疊所產生形狀曲線的示意圖。

圖9係本發明力強度導向的方法的擺置之示意圖。

圖10係本發明Total_Wiring_Difference的示意圖。

圖11係圖9(b)-(f)擺置的花費函數之示意圖。

圖12係本發明線對稱分析之示意圖。

圖13係圖5佈局結果之示意圖。

【主要元件符號說明】

步驟(A)~ 步驟(G)

102年5月17日修正
對照頁(本)

七、申請專利範圍：

1. 一種考量元件與佈線對稱之類比佈局方法，該類比佈局方法係執行於一電腦中，以使該電腦可執行一類比電路佈局，該類比電路係由一網路表(netlist)所描述，該網路表(netlist)包含一組元件及其連接線，該方法包括步驟：

(A). 輸入該網路表(netlist)，其中，該網路表(netlist)的每一元件具有一設計限制(design constraint)，該每一設計限制(design constraint)對應至一優先次序；

(B) 依據該每一元件的該設計限制(design constraint)所對應至的該優先次序對該每一元件進行排序，再建立一限制庫(constraint library)；

(C) 依據該每一元件的該設計限制(design constraint)及對應的該優先次序，建立一階層式限制樹(hierarchical constraint tree)；

(D) 依據該階層式限制樹(hierarchical constraint tree)對該每一元件進行元件擺置，其中，該每一元件的可能形狀係使用形狀曲線(shape curve)表示；

(E) 對於該每一元件的每一擺置，計算相對應的花費函數(cost function)，並依據花費函數(cost function)選取該元件的最佳擺置；

(F) 對每一連接線建立其直線式史坦納最小樹(Rectilinear Steiner Minimal Tree)；以及

(G) 執行類比繞線。

2. 如申請專利範圍第1項所述之類比佈局方法，其中，該設計限制(design constraint)為輸入(input)、差動(differential)、鏡像(mirroring)、匹配(matching)、鄰近(proximity)、電源(power)、及其他(others)。

3. 如申請專利範圍第2項所述之類比佈局方法，其中，該設計限制中的輸入(input)、差動(differential)、鏡像(mirroring)、匹配(matching)、鄰近(proximity)、電源(power)、及其他(others)之優先次序依序為6、5、4、3、2、1、0。

4. 如申請專利範圍第3項所述之類比佈局方法，其中，相同優先次序時，該設計限制依照字母順序決定先後。

5. 如申請專利範圍第4項所述之類比佈局方法，其中，該網路表(netlist)係一SPICE格式，該設計限制係以註解方式存在於該網路表(netlist)中。

6. 如申請專利範圍第5項所述之類比佈局方法，其中，該階層式限制樹(hierarchical constraint tree)的結構係依據該網路表(netlist)元件的功能產生。

7. 如申請專利範圍第6項所述之類比佈局方法，其中，於該階層式限制樹(hierarchical constraint tree)中，一鄰近(proximity)設計限制可涵蓋一鏡像(mirroring)設計限制及一匹配(matching)設計限制。

8. 如申請專利範圍第7項所述之類比佈局方法，其中，該每一元件的形狀曲線(shape curve)係依據元件摺疊(device folding)而產生。

9. 如申請專利範圍第8項所述之類比佈局方法，其中，一形狀曲線(shape curve)上的點數目係對應元件可折疊維度(folding dimension)。

10. 如申請專利範圍第9項所述之類比佈局方法，其中，該形狀曲線(shape curve)是離散(discrete)。

11. 如申請專利範圍第10項所述之類比佈局方法，其中，該每一元件進行元件的擺置係使用力強度導向的方法(force-directed method)。

12. 如申請專利範圍第11項所述之類比佈局方法，其中，步驟(G)更包含：

(G1) 對每一條線進行線對稱分析，其依據該限制庫(constraint library)對該每一條線所連接的元件之優先次序進行加總，以產生該每一條線的繞線加權；以及

(G2) 依據該每一條線的該繞線加權進行繞線。

13. 如申請專利範圍第12項所述之類比佈局方法，其中，於步驟(G)中，係先用樣型繞線(pattern routing)來繞線，如果沒法繞線，再用迷宮繞線(maze routing)對剩下的線進行繞線。

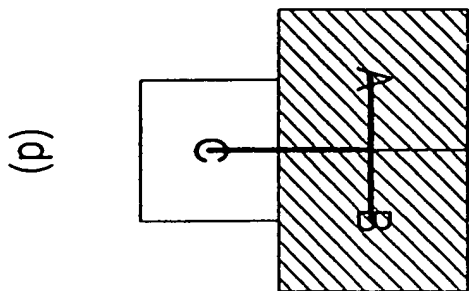
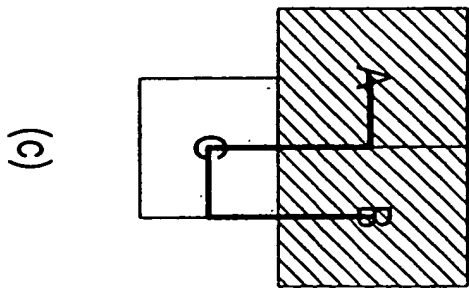
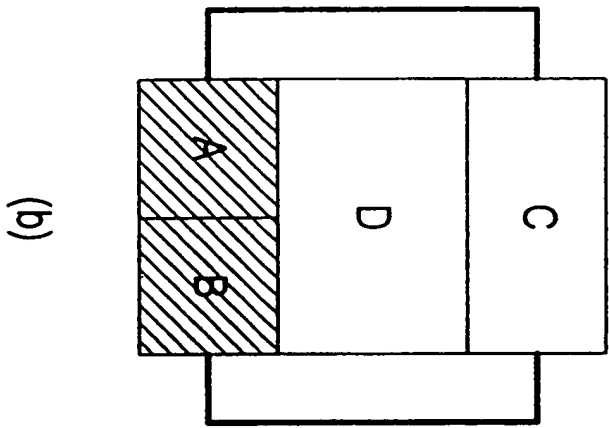
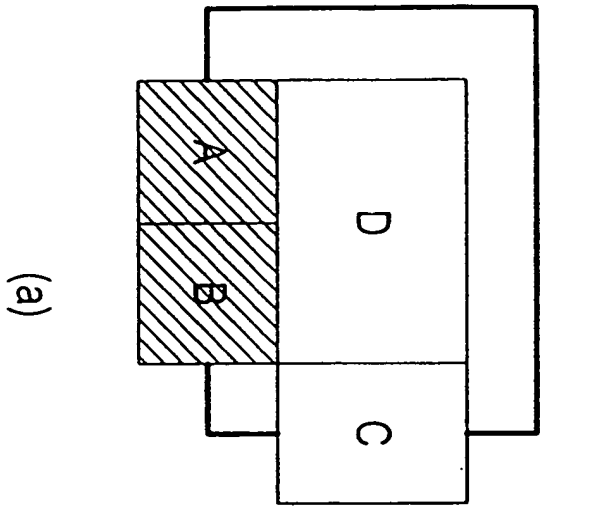


圖 1

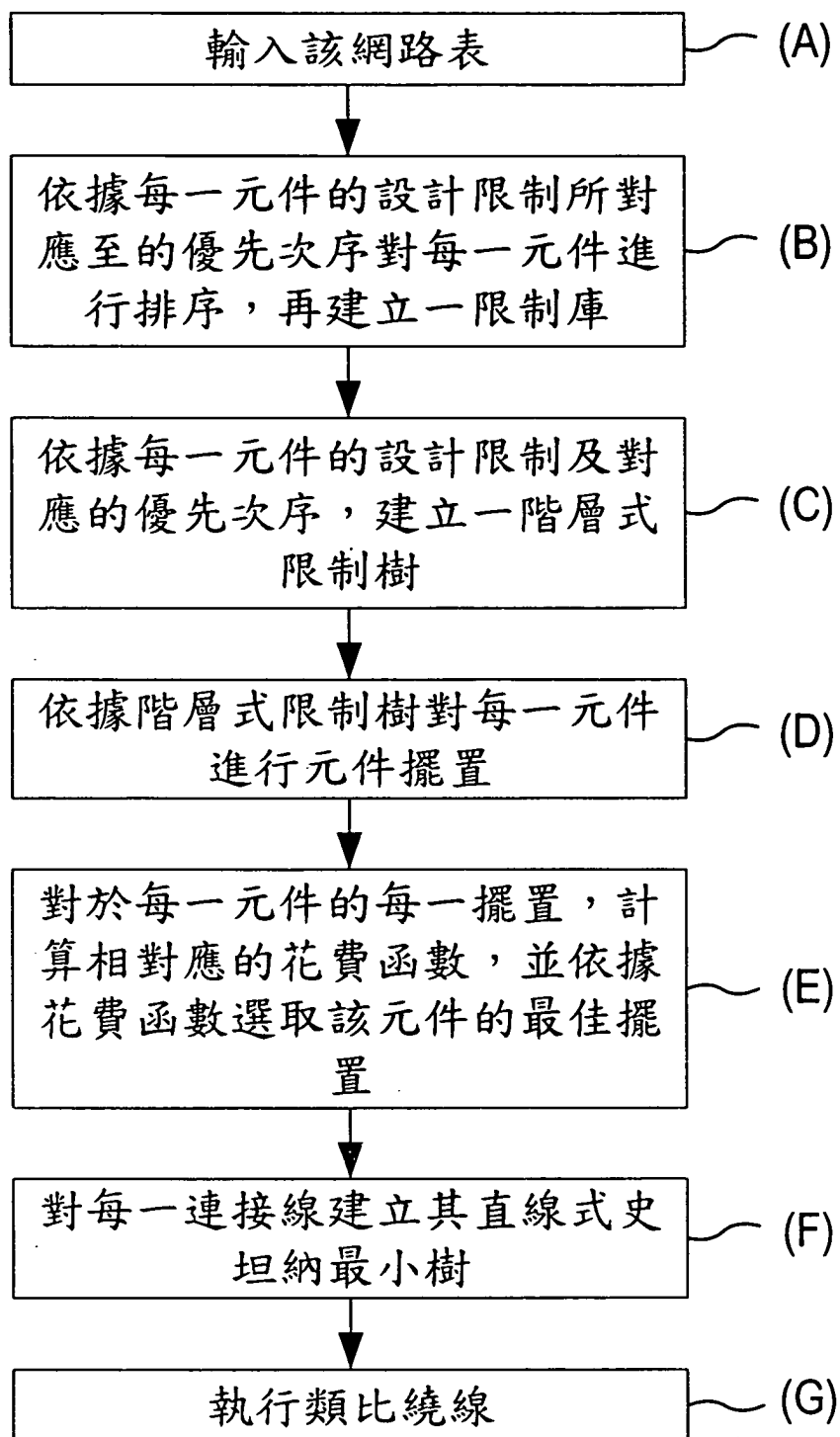


圖 2

```

*****op amp*****
M1 net1 vi+ net2 gnd nch L=1u W=10u m=12 *symmetry1 proximity1
M2 net3 vi- net2 gnd nch L=1u W=10u m=12 *symmetry1 proximity1
M3 vo- vb3 net1 net1 pch L=1u W=20u m=16 *symmetry2 proximity2
M4 vo+ vb3 net3 net3 pch L=1u W=20u m=16 *symmetry2 proximity2
M5 net1 vb4 vdd vdd pch L=1u W=20u m=20 *symmetry3 proximity2
M6 net3 vb4 vdd vdd pch L=1u W=20u m=20 *symmetry3 proximity2
M7 vo- vb2 net4 gnd nch L=1u W=9.75u m=13 *symmetry4 proximity2
M8 vo+ vb2 net5 gnd nch L=1u W=9.75u m=13 *symmetry4 proximity2
M9 net4 vb1 gnd gnd nch L=1u W=9.45u m=12 *symmetry5 proximity2
M10 net5 vb1 gnd gnd nch L=1u W=9.45u m=12 *symmetry5 proximity2
M11 net2 vb0 gnd gnd nch L=1u W=10u m=14 *proximity1

```

圖 3

設計限制	輸入(input)	差動(differential)	鏡像(mirroring)	匹配(matching)
優先次序	6	5	4	3
設計限制	鄰近(proximity)	電源(power)	其他(others)	
優先次序	2	1	0	

圖 4

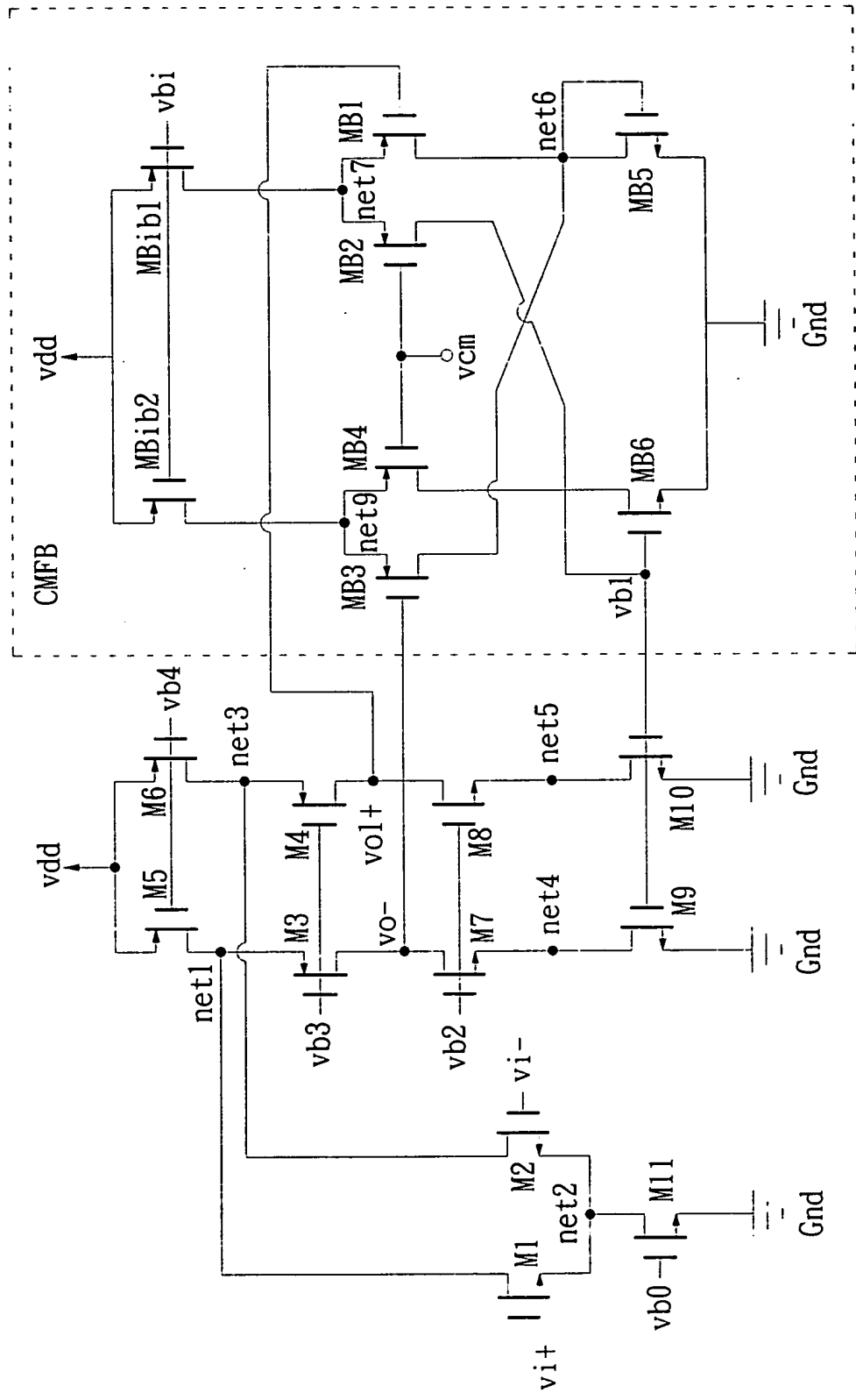


圖 5

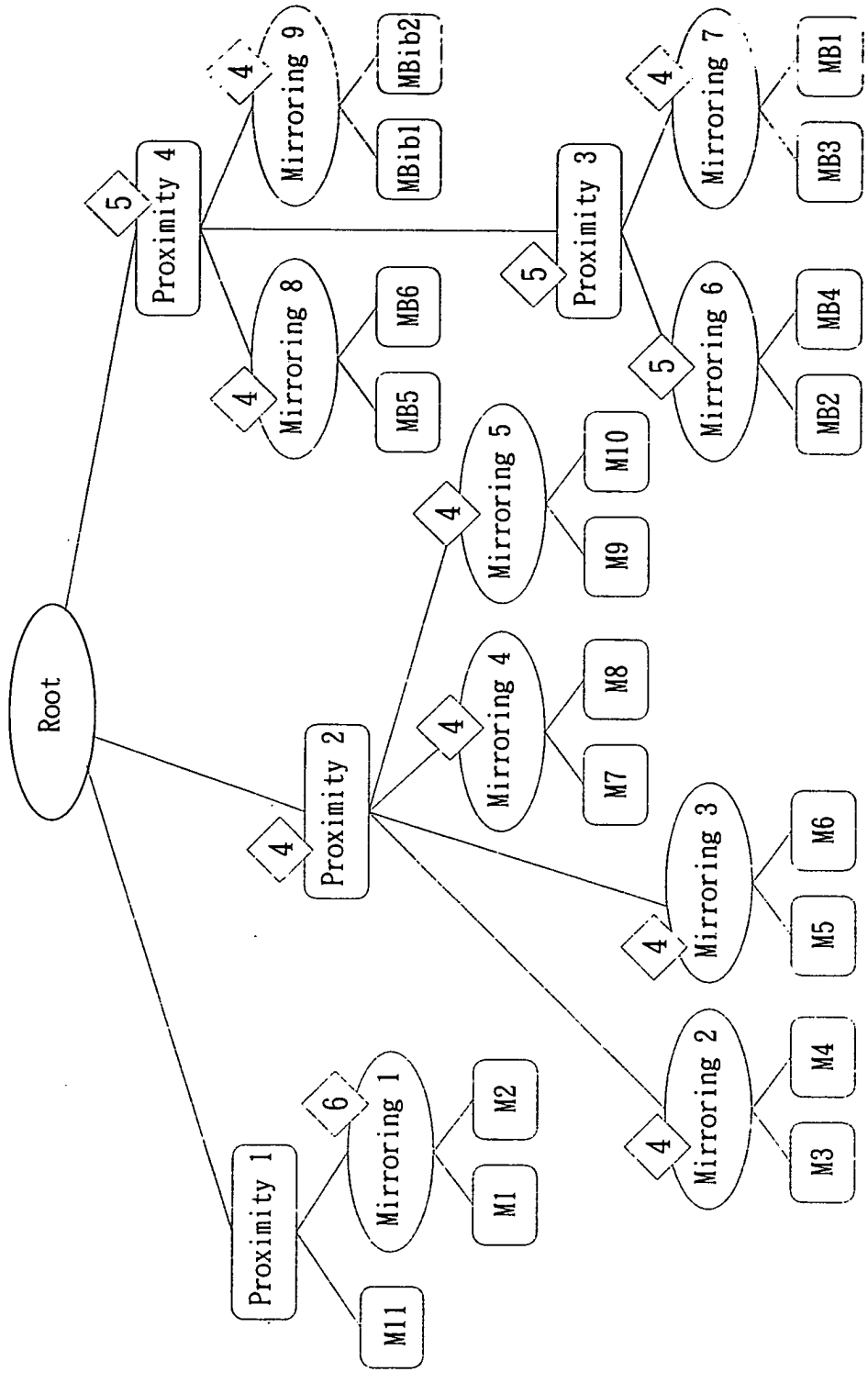


圖 6

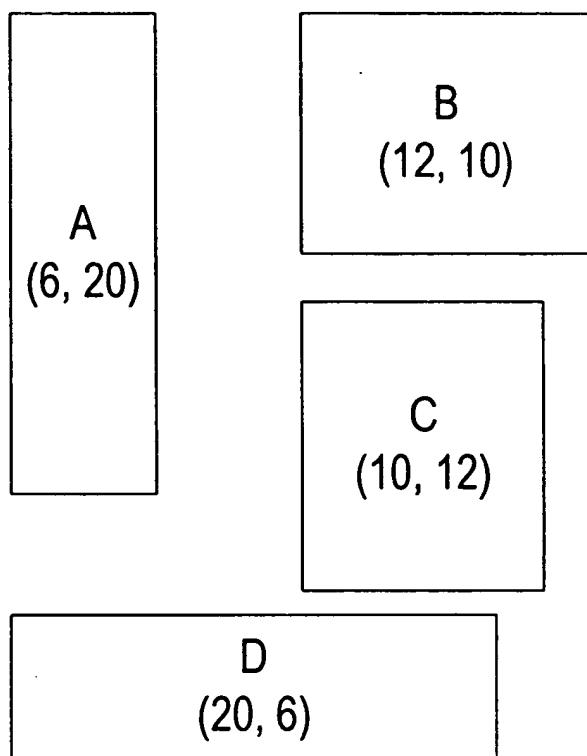


圖 7

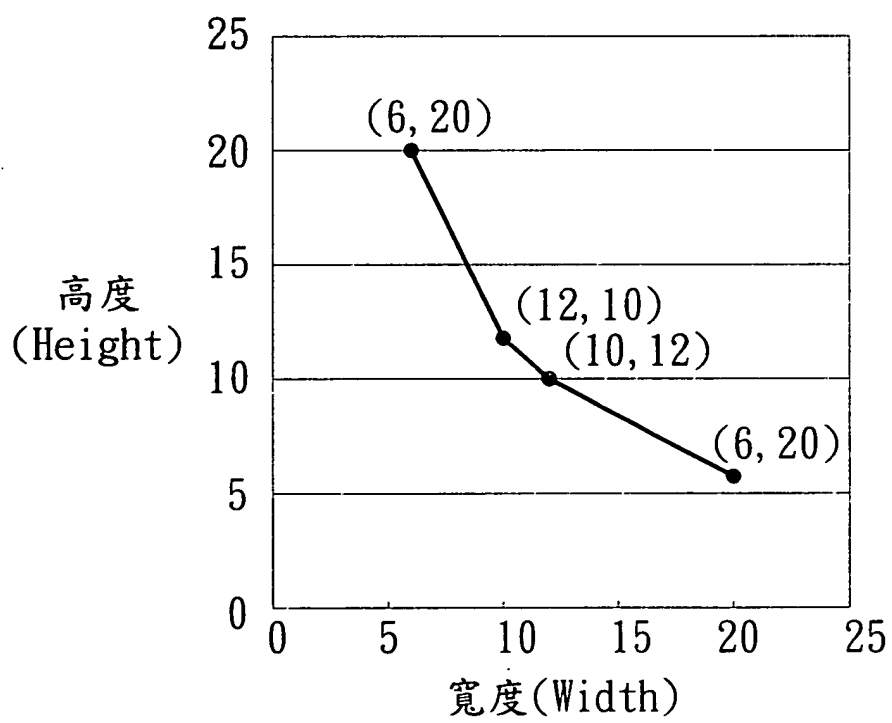


圖 8

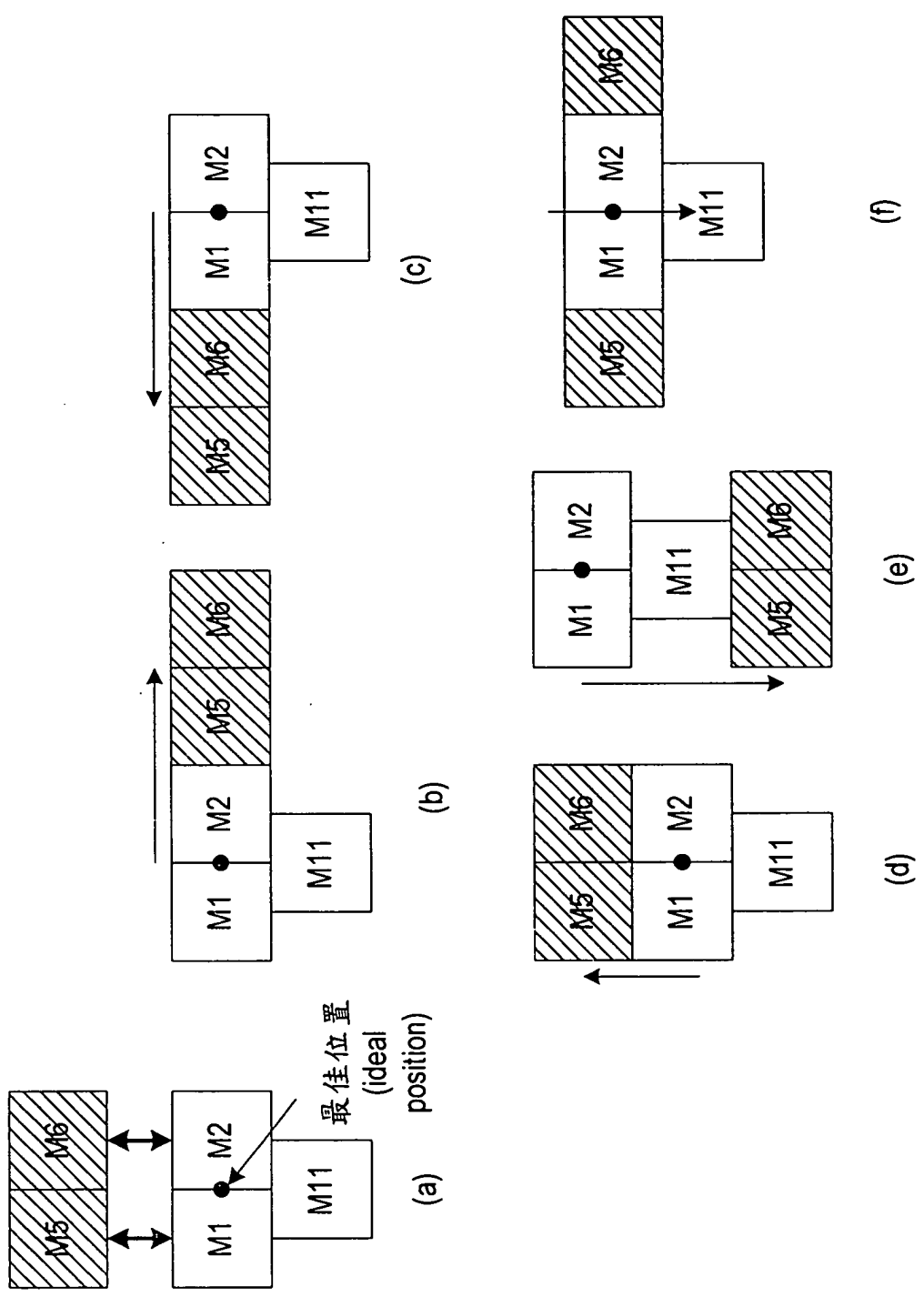
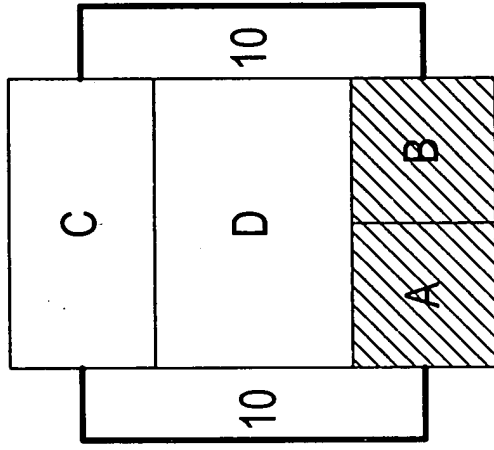
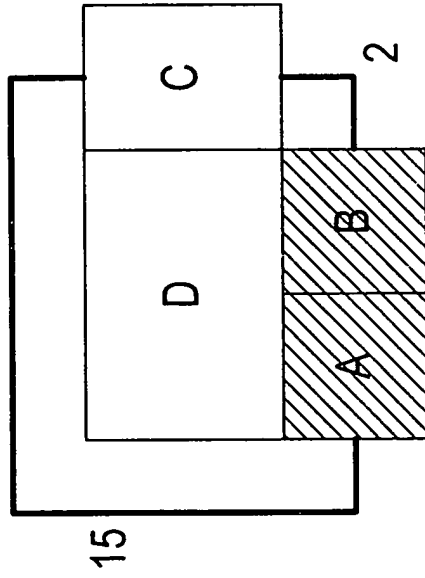


圖 9



$$\begin{aligned} \text{Total_Wiring_Difference} \\ &= 10 \\ &= 0 \end{aligned}$$



$$\begin{aligned} \text{Total_Wiring_Difference} \\ &= 15-2 \\ &= 13 \end{aligned}$$

圖 10

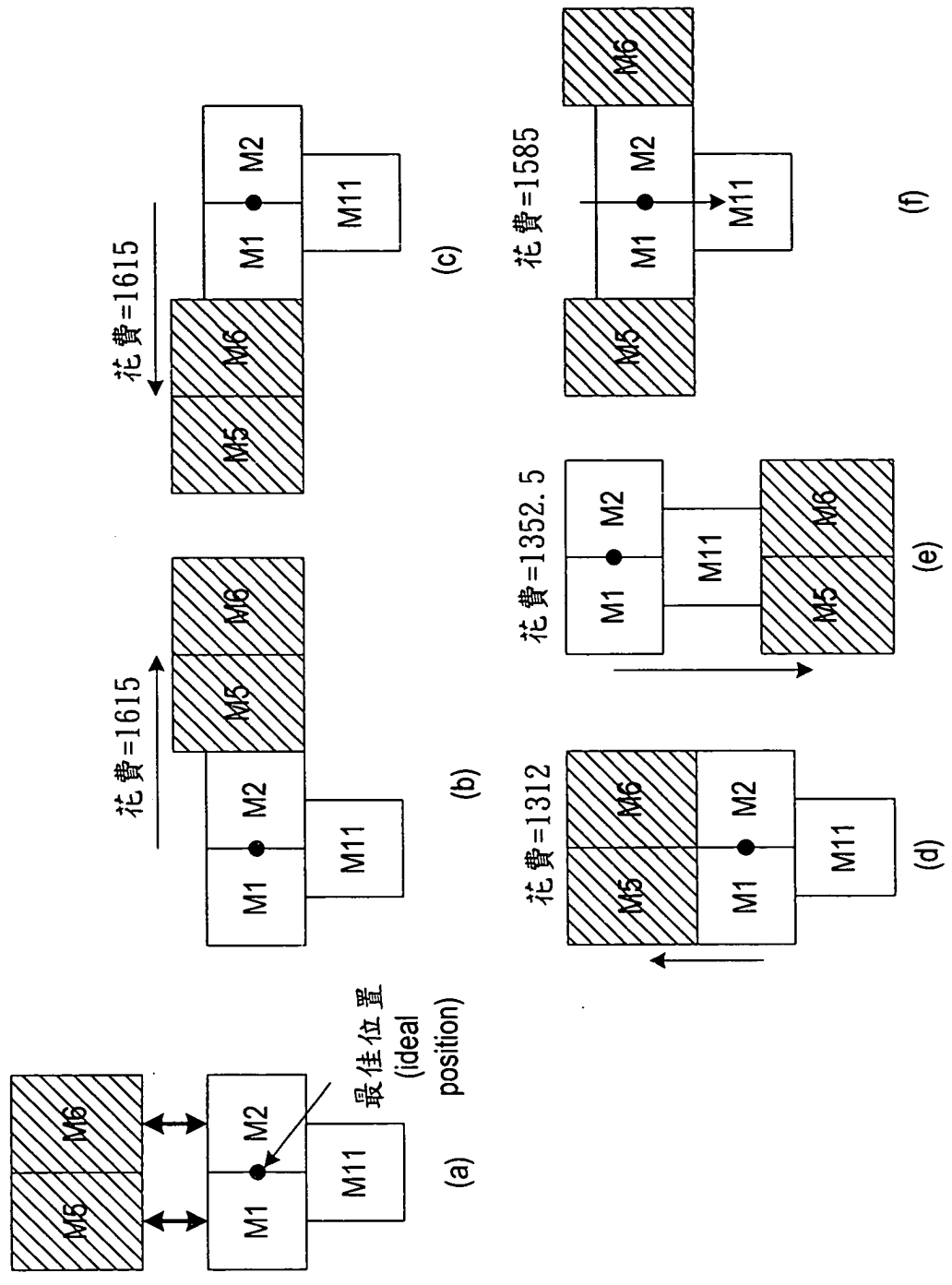


圖 11

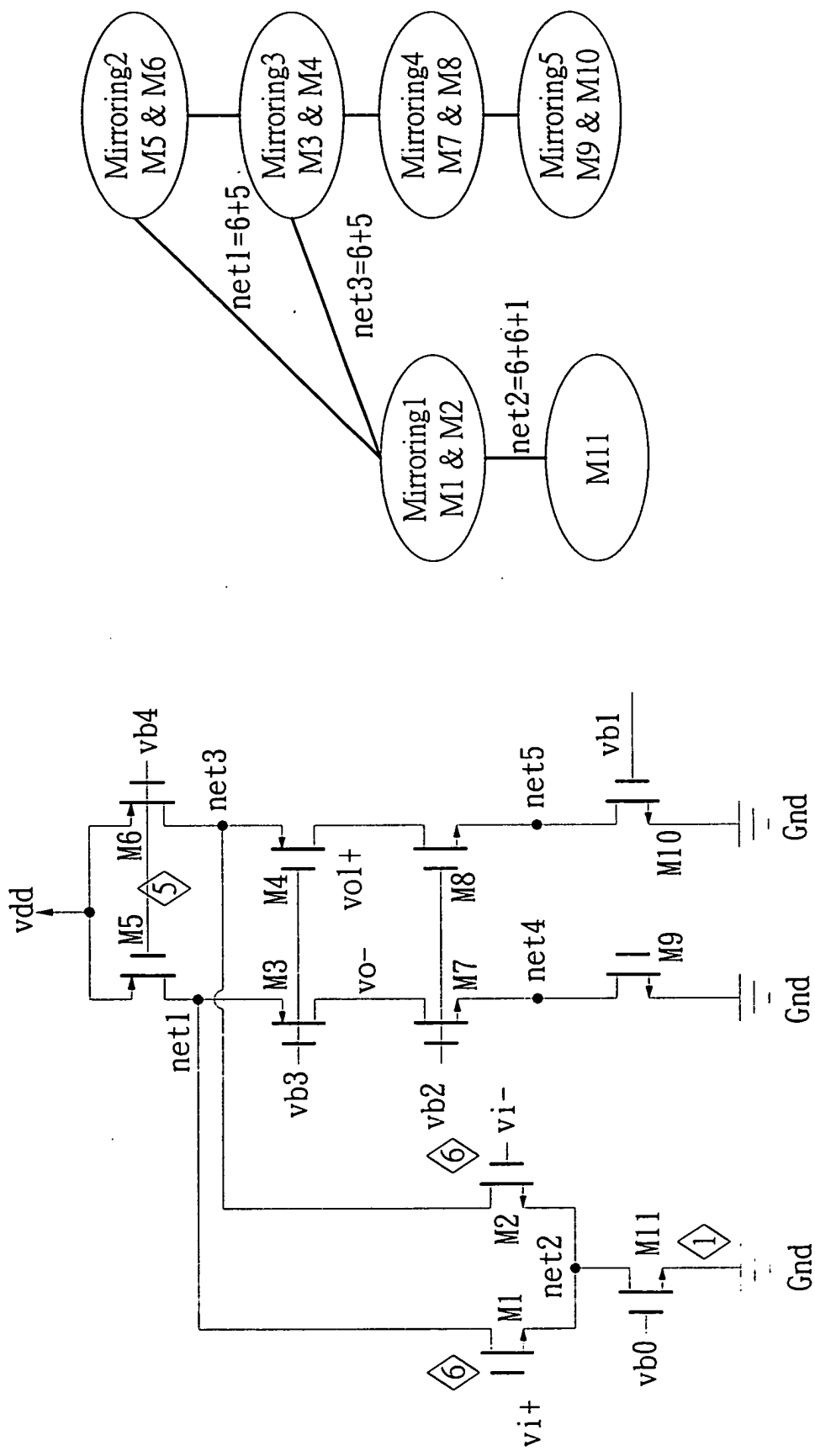


圖 12

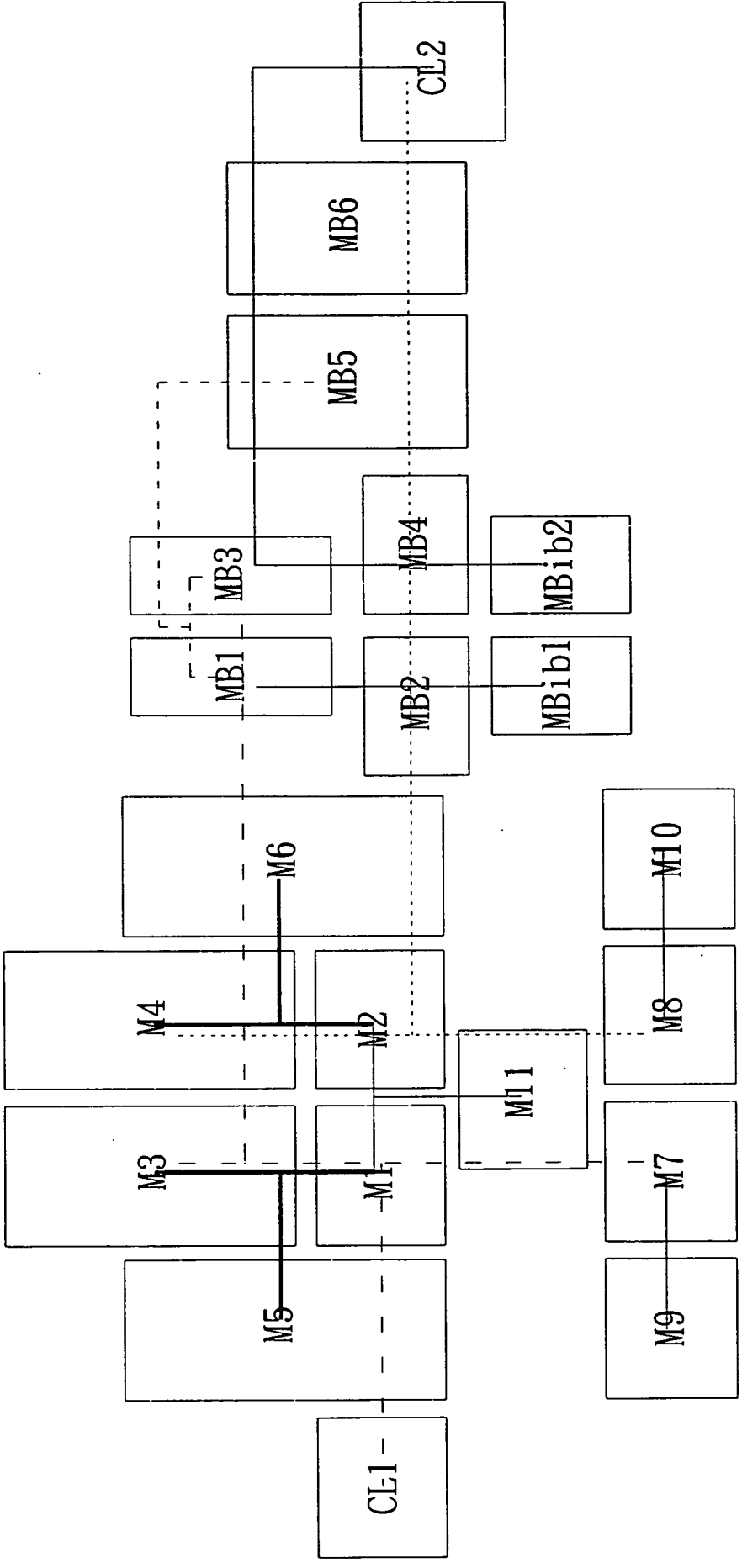


圖 13