



(21)申請案號：101128031

(22)申請日：中華民國 101 (2012) 年 08 月 03 日

(51)Int. Cl. : G06F17/50 (2006.01)

G06F11/16 (2006.01)

(30)優先權：2012/05/07 中華民國

101116185

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

國立臺灣大學(中華民國) NATIONAL TAIWAN UNIVERSITY (TW)

臺北市大安區羅斯福路 4 段 1 號

(72)發明人：張華宇 CHANG, HUA YU (TW)；江蕙如 JIANG, HUI RU (TW)；張耀文 CHANG, YAO WEN (TW)

(74)代理人：高玉駿；楊祺雄

(56)參考文獻：

TW 200849051A

US 6480991B1

US 2008/0052652A1

審查人員：林信宏

申請專利範圍項數：17 項 圖式數：15 共 0 頁

(54)名稱

時序設計變更的方法

METHOD OF IMPLEMENTING A TIMING ENGINEERING CHANGE ORDER

(57)摘要

一種利用路徑平滑化之時序設計變更的方法，首先將一電路的複數個時序違規路徑分解成複數個違規路徑區段。接著對各該違規路徑區段計算出一參數平滑曲線，且於該參數平滑曲線上產生複數個參考點。接著對各該違規路徑區段的各元件計算一可修性參數，該可修性參數與該元件及其對應之參考點之間的距離有關。接著根據各該元件的可修性參數對各該違規路徑區段選取至少一元件。接著為各該被選取的元件選取一備用元件，並將該備用元件配置於該被選取的元件所對應之違規路徑區段中。藉由該參數平滑曲線，元件的時序關鍵性能被較準確地判斷。

A method of implementing a timing engineering change order using smooth parametric curves includes the steps of: (a) decomposing a plurality of timing violating paths of a circuit into a plurality of violating path segments, each of which has gates; (b) computing a smooth parametric curve for each violating path segment and computing a plurality of reference points on each smooth parametric curve; (c) computing a fixability parameter for each gate of each violating path segment wherein the fixability parameter is related to the distance between a corresponding one of the gates and a corresponding one of the reference points corresponding to the gate; (d) choosing at least one gate for each violating path segment according the fixability parameter of each gate; and (e) choosing a spare cell for each chosen gate and disposing the chosen spare cell into the violating path segment of the chosen gate.

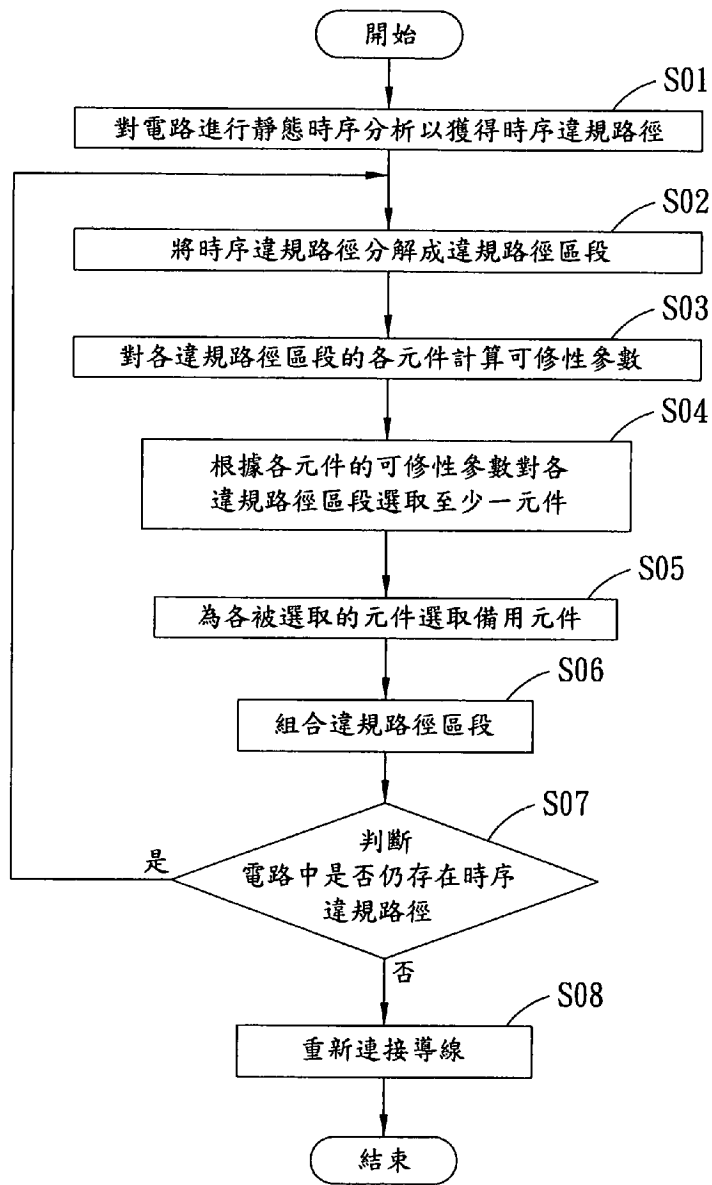


圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101128031

※申請日：101. 8. 03

※IPC 分類：G06F 17/50(2006.01)

G06F 11/16(2006.01)

一、發明名稱：(中文/英文)

時序設計變更的方法 / Method of implementing a timing engineering change order

二、中文發明摘要：

一種利用路徑平滑化之時序設計變更的方法，首先將一電路的複數個時序違規路徑分解成複數個違規路徑區段。接著對各該違規路徑區段計算出一參數平滑曲線，且於該參數平滑曲線上產生複數個參考點。接著對各該違規路徑區段的各元件計算一可修性參數，該可修性參數與該元件及其對應之參考點之間的距離有關。接著根據各該元件的可修性參數對各該違規路徑區段選取至少一元件。接著為各該被選取的元件選取一備用元件，並將該備用元件配置於該被選取的元件所對應之違規路徑區段中。藉由該參數平滑曲線，元件的時序關鍵性能被較準確地判斷。

三、英文發明摘要：

A method of implementing a timing engineering change order using smooth parametric curves includes the steps of: (a) decomposing a plurality of timing violating paths of a circuit into a plurality of violating path segments, each of which has gates; (b) computing a smooth parametric curve for each violating path segment and computing a plurality of reference points on each smooth

parametric curve; (c) computing a fixability parameter for each gate of each violating path segment wherein the fixability parameter is related to the distance between a corresponding one of the gates and a corresponding one of the reference points corresponding to the gate; (d) choosing at least one gate for each violating path segment according the fixability parameter of each gate; and (e) choosing a spare cell for each chosen gate and disposing the chosen spare cell into the violating path segment of the chosen gate.

四、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件符號簡單說明：

S01~S08……流程步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是關於一種時序設計變更的方法，特別是指一種考量電路路徑平滑度之時序設計變更的方法。

【先前技術】

由於現代積體電路設計的設計複雜度快速增長，造成一些難以檢測的設計故障遲至後期設計階段才被發現，例如佈局完成後，或甚至晶片製造完成之後。為了改正後期發現的故障，目前的積體電路設計公司並不回溯到更早的設計階段，相反的，其廣泛採用只修改金屬層的設計變更（metal-only engineering change order; ECO）。其原因在於相關研究發現，電晶體層光罩的價格比金屬層光罩高昂許多。因此，採用只修改金屬層的設計變更而保持電晶體層的光罩完好是一種節省成本的方式。為了做到金屬層的設計變更，佈置工具軟體（placement tool）先將備用元件（spare cell）插入設計中。一旦設計故障被檢測出來，可經由選擇適當的備用元件，並重新連接以修正故障。一個電路設計通常需要經過許多次的設計變更運作。因此，如何節省的使用備用元件來完成設計變更是一個重要的課題。

設計變更可分為功能設計變更（functional ECO）和時序設計變更（timing ECO）。功能設計變更是用來更正功能的錯誤及修改規格。時序設計變更則是利用元件的尺寸替換（gate sizing）及緩衝器的插入（buffer insertion）來彌補信號缺陷（signal imperfection）和修復時序違規（timing

violations)。

一般而言，元件的時序關鍵性 (timing criticality) 是透過其餘裕 (slack) 或延遲 (delay) 的大小來判斷。然而，餘裕及延遲無法有效的反應時序關鍵性，導致時序改善的效果不足。因此，如何發展出一種新的時序設計變更的方法，其能較準確地判斷元件的時序關鍵性，且以較少的備用元件完成時序的修正，遂成為本案進一步要探討的主題。

【發明內容】

因此，本發明之目的，即在提供一種效率較佳之時序設計變更的方法。

於是，本發明時序設計變更的方法，包含：(A) 對一電路進行靜態時序分析以獲得該電路中的複數條時序違規路徑；(B) 將該等時序違規路徑分解成複數個違規路徑區段，各該違規路徑區段是包括複數個相連接之元件且具有相同邊餘裕的連續路徑；(C) 對各該違規路徑區段計算出一參數平滑曲線，且將各該參數平滑曲線的曲線區間均勻分割而產生複數個參考點，該等參考點分別對應所屬之參數平滑曲線對應的違規路徑區段之元件；(D) 對各該違規路徑區段的各該元件計算一可修性參數，該可修性參數與一平滑度參數有關，該平滑度參數與該元件及其對應之參考點之間的距離有關；(E) 根據各該元件的可修性參數對各該違規路徑區段選取至少一元件；(F) 判斷各該被選取的元件附近是否存在至少一可改善其餘裕之備用元件，若是，則選取其中一備用元件，並將該備用元件配置於該被

選取的元件所對應之違規路徑區段中；(G) 對該電路進行靜態時序分析，並判斷該電路中是否仍存在任何時序違規路徑，若是，則執行步驟 (B)，若否，則執行步驟 (H)；及 (H) 將該電路重新以導線連接以套用該等被選取的備用元件。

較佳地，於步驟 (D) 中，該可修性參數還與一靈活性參數有關，該靈活性參數與一導線負載參數有關，該導線負載參數與該元件於該電路中的延遲及該元件沒有掛載導線的延遲之差異有關。

較佳地，於步驟 (D) 中，該靈活性參數還與一餘裕差異參數有關，該餘裕差異參數與該元件至其複數個扇出元件之邊餘裕中最差的邊餘裕及第二差的邊餘裕之差異有關。

更佳地，該靈活性參數與該導線負載參數及該餘裕差異參數其中較小之一者有關。

較佳地，於步驟 (D) 中，該可修性參數還與一路徑共享參數有關，該路徑共享參數與通過該元件之時序違規路徑的數目有關。

較佳地，於步驟 (D) 中，該可修性參數還與一可得性參數有關，該可得性參數與該元件附近之備用元件的數目有關。更佳地，該可得性參數與該元件及其扇出並扇入元件所形成之邊界盒內的備用元件的數目有關。

較佳地，於步驟 (C) 中，該參數平滑曲線為一貝茲曲線。

較佳地，於步驟 (D) 中，該平滑度參數與一曲線延遲

參數及該元件沒有掛載導線時的延遲之差異有關，該曲線延遲參數是當該元件掛載的導線之長度等於該元件與其對應的參考點之間的距離時該元件的延遲。

較佳地，該可修性參數與該靈活性參數及該平滑度參數的總和有關。

較佳地，於步驟（F）中，以能將該違規路徑區段之邊餘裕修正為零之備用元件具有最高被選取的優先性，其次為能將該違規路徑區段之邊餘裕修正為正值之備用元件，再其次為將該違規路徑區段之邊餘裕修正為負值之備用元件。

較佳地，於步驟（D）中，值越大之可修性參數表示越高之時序關鍵性，且步驟（E）包含：（E1）將各該違規路徑區段之元件依可修性參數的大小由大至小排序；（E2）對各該違規路徑區段之各該元件計算一餘裕改善參數，該餘裕改善參數是將該元件附近的任一備用元件配置於該元件對應之違規路徑區段後所能獲得的最大餘裕改善；（E3）對各該違規路徑區段計算一選取數目參數，該選取數目參數為將該違規路徑區段的該等元件所對應之餘裕改善參數依該等元件的排序依序加總至不小於該違規路徑區段之邊餘裕所需加總之餘裕改善參數的最小數目；及（E4）根據該可修性參數及該選取數目參數於各該違規路徑區段選取至少一元件。

或者，於步驟（E）係選取一對應之可修性參數最高的元件。

較佳地，於步驟（F）與（G）之間還包括一步驟（I）將該等違規路徑區段根據傳播性質組合，且判斷各該被選取的元件是否為一冗餘元件，若是，則取消該冗餘元件對應的備用元件配置至對應的違規路徑區段，其中，該冗餘元件為其餘裕於其他違規路徑區段配置對應之備用元件後被修正至不小於零之元件。

較佳地，於步驟（B）中，各該違規路徑區段是包括複數個相連接之元件且具有相同邊餘裕的最長連續路徑。

較佳地，於步驟（F）中，係於由該元件的扇出元件及該元件對應之時序違規路徑所形成的凸殼區域內搜索備用元件。

較佳地，於步驟（F）中，該備用元件用於取代該被選取的元件，或用於插設於該被選取的元件對應之違規路徑區段上。

本發明之功效在於藉由參數平滑曲線計算違規路徑區段各元件的可修性參數，以考量路徑的幾何平滑度對電路時序違規的影響，從而能較準確地判斷元件的時序關鍵性。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之四個較佳實施例的詳細說明中，將可清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

參閱圖 1，是本發明時序設計變更的方法之第一較佳實

施例。該第一較佳實施例適用於利用多數個給定的備用元件 (Spare cell) 修正一電路的時序違規。其中， $H = (G, E)$ 是用來代表該電路， $g_i \in G$ 代表該電路的一元件 (Gate)， $D(i)$ 代表元件 g_i 的上升/下降延遲 (Delay)， $e(i, j) \in E$ 代表兩個元件 $g_i, g_j \in G$ 之間的邊 (edge)，也就是連接元件 g_i 與 g_j 的導線。時序設計變更的方法的流程步驟說明如下。

首先，如步驟 S01，對該電路進行靜態時序分析 (Static Timing Analysis; STA) 以獲得該電路中的複數條時序違規路徑 (Timing Violating Path)。有關時序違規路徑的相關定義說明如下。

首先，元件 $g_i \in G$ 的輸出訊號的到達時間 (arrival time) $A(i)$ 的計算方法為

$$A(i) = \max_j \{A(j) | e(j, i) \in E\} + D(i)$$

元件 $g_i \in G$ 的所需時間 (required time，即要求訊號到達的時間) $R(i)$ 的計算方法為

$$R(i) = \min_k \left\{ \begin{array}{l} R(i, k) | R(i, k) = R(k) - D(k), \\ e(i, k) \in E \end{array} \right\}$$

其中 $R(i, k)$ 是 $e(i, k)$ 的邊所需時間 (edge required time)。

邊餘裕 $S(i, j)$ 是邊 $e(i, j)$ 的餘裕，其計算方法為

$$S(i, j) = R(i, j) - A(i)$$

元件 g_i 的餘裕 $S(i)$ 之計算方法為

$$S(i) = \min_j \{S(i, j) | e(i, j) \in E\}$$

計算餘裕 $S(i)$ 的方式也可以是 $S(i) = R(i) - A(i)$ 。

基於前述定義，時序違規路徑 P 定義為一個具有

$S(i,j) < 0, \forall e(i,j) \in P$ 的路徑。

以下透過圖 2 舉例說明上述定義。圖 2 中的圓圈代表電路之元件，圓圈內的數字代表元件的識別碼，例如標示 5 的圓圈表示元件 g_5 。圖 2 中的箭號表示元件與元件的連接關係。各圓圈下方的多個數字分別表示元件的延遲/到達時間/所需時間/餘裕。則由圖 2 配合上述定義可知 $S(3,1) = 4 - 4 = 0$ ， $S(3,2) = 3 - 4 = -1$ ，且 $S(3) = -1$ 。再者，圖 2 中通過元件 g_5 ， g_3 ， g_2 的路徑之邊餘裕皆小於零，因此通過元件 g_5 ， g_3 ， g_2 的路徑為一條時序違規路徑。

於步驟 S01 獲得該電路中的時序違規路徑後，接著執行步驟 S02，將該等時序違規路徑分解成複數個違規路徑區段。其中，各該違規路徑區段 $P(i,j)$ 是包括複數個相連接之元件且具有相同邊餘裕的最長連續路徑。以圖 3 左側之電路為例，箭號旁的數字表示邊餘裕，故由圖 3 可知該電路存在多條時序違規路徑。經由執行步驟 S02 後能將該電路之時序違規路徑分解成如圖 3 右側之三條違規路徑區段，分別是 $P(6,1)$ 、 $P(7,1)$ 及 $P(4,2)$ ，且該等違規路徑區段分別具有相同的邊餘裕 -1、-2 及 -1。補充說明的是，在本實施例中，於執行步驟 S02 時，將會釋放時序違規路徑上的緩衝器及反向器，並將所釋放的緩衝器及反向器視為可使用的備用元件。也就是說，該等違規路徑區段不包含原時序違規路徑上的緩衝器及反向器。

接著，步驟 S03 係對各該違規路徑區段的各該元件計算一可修性 (Fixability) 參數 $T_x(i)$ 。可修性參數與一平滑度

(Smoothness) 參數 $T_s(i)$ 、一靈活性 (Flexibility) 參數 $T_f(i)$ 及一路徑共享 (Path Sharing) 參數 $T_h(i)$ 相關。可修性參數 $T_x(i)$ 可以下方的關係式表示

$$T_x(i) = (T_f(i) + T_s(i))T_h(i), \forall g_i \in G$$

該可修性參數用以表示對應之元件的時序關鍵性，於本實施例中該可修性參數的值越大表示越高之時序關鍵性。平滑度參數、靈活性參數及路徑共享參數的計算方式說明如下。

靈活性參數 $T_f(i)$ 代表時序可以改進的餘地，其與一導線負載參數 $T_l(i)$ 及一餘裕差異參數 $T_d(i)$ 有關。導線負載參數用於表示導線負載的影響，其定義為元件於電路中的延遲 $D(i)$ 及元件沒有掛載導線的延遲 $D_0(i)$ 之差異，即

$$T_l(i) = D(i) - D_0(i), \forall g_i \in G$$

導線負載參數意指可以通過減少導線負載所獲得的最大的改善。餘裕差異參數則定義為元件至其複數個扇出元件之邊餘裕中最差的邊餘裕及第二差的邊餘裕之差異，即

$$T_d(i) = \min_k \left\{ \begin{array}{l} S(k, j) - S(i) | S(i) = S(i, j), \\ e(k, j) \in E \end{array} \right\}$$

餘裕差異參數定出改善對應之元件的延遲時對餘裕的影響的上限。靈活性參數等於該導線負載參數及該餘裕差異參數其中較小之一者，即

$$T_f(i) = \min(T_l(i), T_d(i))$$

良好時序的路徑是幾何上平滑的。平滑度參數與違規路徑區段於幾何上的平滑程度有關。平滑度參數的計算方式首先是對各違規路徑區段計算出一參數平滑曲線，該參

數平滑曲線做為判斷違規路徑區段之平滑度的基準。在本實施例中，該參數平滑曲線為一以違規路徑區段之元件為控制點（Control Point）的貝茲曲線（Bézier curve）。 $n+1$ 個元件的貝茲曲線定義為

$$C(t) = \sum_{i=0}^n g_i B_{in}(t)$$

其中， $B_{in}(t)$ 是伯恩斯坦多項式（Bernstein polynomial），且 $t \in [0,1]$ 。如圖 4 所示，曲線 C 為違規路徑區段 $P(1,5)$ 對應之貝茲曲線。

接著，將各參數平滑曲線的曲線區間均勻分割而產生複數個參考點（Reference Point），該等參考點分別對應所屬之參數平滑曲線對應的違規路徑區段之元件。以圖 4 之違規路徑區段 $P(1,5)$ 及貝茲曲線 C 為例，由於貝茲曲線的曲線區間為 $[0,1]$ ，且違規路徑區段 $P(1,5)$ 具有五個元件，因此該等元件 $g_1 \sim g_5$ 對應的參考點分別為 $C(t = 0.00)$ 、 $C(t = 0.25)$ 、 $C(t = 0.50)$ 、 $C(t = 0.75)$ 及 $C(t = 1.00)$ 。

各違規路徑區段之各元件和其對應的參考點之間的連線長度可被視為線長損失（Wirelength Penalty）。故該平滑度參數被定義為一曲線延遲參數 $D_B(i)$ 及元件沒有掛載導線時的延遲 $D_0(i)$ 之差異，其中該曲線延遲參數 $D_B(i)$ 是當元件掛載的導線之長度等於元件與其對應的參考點之間的距離時元件的延遲。平滑度參數可以下方關係式表示

$$T_s(i) = D_B(i) - D_0(i), \forall g_i \in G$$

值得一提的是，貝茲曲線具有下述多個特性。首先，貝茲曲線位於控制點形成的凸殼（Convex Hull）區域（即

貝茲多邊形)內。如圖 5 所示，貝茲曲線 C 位於元件 $g_1 \sim g_5$ 所形成的凸殼區域 A_1 內。

再者，參閱圖 6，任何直線 (如 L_1 及 L_2) 和貝茲曲線 C 的交點個數最多和相同直線 (L_1 及 L_2) 與控制點 (元件 $g_1 \sim g_5$) 所形成的多邊線段的交點個數相同。此特性稱為變化遞減 (Variation Diminishing) 特性。

再者，貝茲曲線具有高可預測性 (High predictability)。貝茲曲線會隨控制點的移動方向做相同趨勢的改變。如圖 7 所示，當元件 g_3 朝圖 7 的左上方移動，貝茲曲線 C 亦朝左上方變化。基於前述三個特性，貝茲曲線很合適用於評估幾何上的平滑度。

路徑共享參數 $T_h(i)$ 定義為通過同一元件之時序違規路徑之數目。由於越多時序違規路徑通過同一元件時，改善該元件的時序能同時改善越多的時序違規路徑的時序。因此路徑共享參數能有效表達元件在時序上的關鍵性。

於步驟 S03 計算出各違規路徑區段的各元件之可修性參數後，接著於步驟 S04 根據各元件的可修性參數對各違規路徑區段選取至少一元件。在本實施例中是於各違規路徑區段選取一個可修性參數最大的元件。

接著於步驟 S05 為各被選取的元件選取一備用元件。為了縮小搜索備用元件的範圍，本實施例係於由被選取元件的扇出元件及該被選取元件對應之時序違規路徑所形成的凸殼區域內搜索備用元件。且在凸殼區域內的備用元件稱為候選備用元件。以圖 8 所示之電路為例，當違規路徑

區段 $P(1,4)$ 中的元件 g_3 被選取，則於元件 g_3 的扇出元件 (g_4 、 g_5 、 g_6) 及違規路徑區段 $P(1,4)$ 所形成的凸殼區域 A_2 內搜索備用元件。備用元件 g_{s1} 及 g_{s2} 由於位於凸殼區域 A_2 內，因此備用元件 g_{s1} 及 g_{s2} 為元件 g_3 的候選備用元件。備用元件 g_{s3} 由於位於凸殼區域 A_2 外，因此備用元件 g_{s3} 不為元件 g_3 的候選備用元件。

在本實施例中將步驟 S05 視為一個最小權重完美匹配 (minimum weight perfect matching) 問題。參閱如圖 9 所示的雙邊圖 (bipartite graph) $B = (G_C, G_S, E_B)$ ， $g_{ci} \in G_C$ 代表在第 i 個違規路徑區段上被選取的元件 (即可修性參數最高的元件)，而 $g_{sj} \in G_S$ 代表候選備用元件。權重 $w(g_{ci}, g_{sj})$ 反映出使 g_{ci} 與 g_{sj} 配對後的餘裕。將元件 g_{ci} 與備用元件 g_{sj} 配對後的餘裕可以下方關係式表示

$$S'(c_i|s_j) = R(g_{ci}) - A(g_{sj})$$

上述關係式之餘裕可透過屏蔽效應 (shielding effect) 負載支配 (loading dominance) 進行估算。屏蔽效應及負載支配的詳細內容可參考刊載於 *Proc. IEEE/ACM Int'l Conf. on Computer-Aided Design (ICCAD)* 之論文「ECO timing optimization using spare cells and technology remapping」，以下簡稱「先前技術 DCP」。本實施例權重 $w(g_{ci}, g_{sj})$ 是以下方關係式表示

$$w(g_{ci}, g_{sj}) = \begin{cases} 0, & S'(c_i|s_j) = 0; \\ \frac{S'(c_i|s_j)}{\max_k \{S'(c_i|s_k) | S'(c_i|s_k) > 0\}}, & S'(c_i|s_j) > 0; \\ 1 + \frac{S'(c_i|s_j)}{\min_k \{S'(c_i|s_k) | S'(c_i|s_k) < 0\}}, & S'(c_i|s_j) < 0. \end{cases}$$

$w(g_{ci}, g_{sj}) \in [0, 2]$ 。於選取候選備用元件時，以能將違規路徑區段之邊餘裕修正為零之候選備用元件具有最高被選取的優先性（即 $w(g_{ci}, g_{sj}) = 0$ ）；其次為能將違規路徑區段之邊餘裕修正為正值之候選備用元件（即 $0 < w(g_{ci}, g_{sj}) \leq 1$ ）；再其次為將違規路徑區段之邊餘裕修正為負值之候選備用元件（即 $1 < w(g_{ci}, g_{sj}) \leq 2$ ）。藉此能提升進行時序設計變更的成本效益。補充說明的是，在計算權重 $w(g_{ci}, g_{sj})$ 時，是忽略於配對後會產生更差餘裕的候選備用元件。也就是說，在計算權重 $w(g_{ci}, g_{sj})$ 時，只考慮可改善餘裕之後選備用元件。

被選取的備用元件用於配置於其對應之被選取的元件所對應之違規路徑區段中。更具體的說，被選取的備用元件可以用於取代其對應之被選取的元件（即所謂元件尺寸替換，gate sizing），或用於插設於被選取的元件對應之違規路徑區段上（即所謂緩衝器插入，buffer insertion）。

接著，步驟 S06 係組合違規路徑區段。於組合時會使用到一傳播性質（Propagation property），因此先行說明如下。傳播性質是指當一個違規路徑區段 $P(i, j)$ 上的元件的延遲改善（減少） t ， $t \leq \min\{T_d(w) | g_w \in P(i, j)\}$ ，則在該違規路徑區段 $P(i, j)$ 上的所有的邊餘裕將改善（增加） t 。值得一提的是，當該元件被複數個違規路徑區段通過，所有通過該元件的違規路徑區段的邊餘裕皆將改善（增加） t 。

組合違規路徑區段的方法可以圖 10 至圖 13 四種情況進行說明，其中圖 10 及圖 11 為兩違規路徑區段 $P(i,j)$ 、 $P(l,k)$ 於元件 g_k 會合的情況，圖 12 及圖 13 為兩違規路徑區段 $P(i,j)$ 、 $P(k,l)$ 於元件 g_k 分岔的情況。假設違規路徑區段 $P(i,j)$ 的邊餘裕為 S_1 ，被選取的元件為 g_a ，且於配置備用元件後餘裕改善了 t_1 ，又假設違規路徑區段 $P(l,k)$ 、 $P(k,l)$ 的邊餘裕為 S_2 ，被選取的元件為 g_b ，且於配置備用元件後餘裕改善了 t_2 。當組合圖 10 的違規路徑區段 $P(i,j)$ 、 $P(l,k)$ 後，違規路徑區段 $P(i,j)$ 的邊餘裕為 $S_1 + t_1$ ，違規路徑區段 $P(l,k)$ 的邊餘裕為 $S_2 + t_1 + t_2$ 。當組合圖 11 的違規路徑區段 $P(i,j)$ 、 $P(l,k)$ 後，產生三條違規路徑區段，分別為 $P(i,k)$ 、 $P(l,k)$ 及 $P(k,j)$ ，違規路徑區段 $P(i,k)$ 的邊餘裕為 $S_1 + t_1$ ，違規路徑區段 $P(l,k)$ 的邊餘裕為 $S_2 + t_2$ ，違規路徑區段 $P(k,j)$ 的邊餘裕為 $S_1 + \max \{A(u) + D(k) - t_1, A(w) + D(k) - t_2\}$ 。

當組合圖 12 的違規路徑區段 $P(i,j)$ 、 $P(k,l)$ 後，違規路徑區段 $P(i,j)$ 的邊餘裕為 $S_1 + t_1$ ，違規路徑區段 $P(k,l)$ 的邊餘裕為 $S_2 + t_1 + t_2$ 。當組合圖 13 的違規路徑區段 $P(i,j)$ 、 $P(k,l)$ 後，產生三條違規路徑區段，分別為 $P(i,k)$ 、 $P(k,l)$ 及 $P(k,j)$ ，違規路徑區段 $P(i,k)$ 的邊餘裕為 $S_1 + \min \{R(v) - D(v) + t_1, R(w) - D(w) + t_2\}$ ，違規路徑區段 $P(k,l)$ 的邊餘裕為 $S_2 + t_2$ ，違規路徑區段 $P(k,j)$ 的邊餘裕為 $S_1 + t_1$ 。

於該等組合違規路徑區段後還判斷各被選取的元件是否為一冗餘元件，若是，則取消該冗餘元件對應的備用元件配置至對應的違規路徑區段。其中，該冗餘元件為其餘

裕於其他違規路徑區段配置對應之備用元件後被修正至不小於零之元件。以圖 10 為例，若 $S_2 \leq t_1$ ，則 g_b 為冗餘元件。

接著，於步驟 S07 對該電路進行靜態時序分析，並判斷該電路中是否仍存在任何時序違規路徑，若是，則執行步驟 S02，若否，則執行步驟 S08。

最後，將該電路重新以導線連接以套用該等被選取的備用元件 (Rewire design)，即完成本實施例的流程步驟。

本發明時序設計變更的方法的第二較佳實施例與第一實施例相近，只是可修性參數 $T_x(i)$ 還與一可得性 (Spare-cell Availability) 參數 $T_a(i)$ 相關。在本實施例中，可修性參數是以下方的關係式表示

$$T_x(i) = (T_f(i) + T_s(i))T_h(i)T_a(i), \forall g_i \in G$$

可得性參數與元件附近之備用元件的數目有關。元件要進行時序設計變更必須要透過備用元件，當元件附近無備用元件時是無法進行時序設計變更的。可得性參數為一對應可得備用元件的影響之程度因數 (scale factor)。在本實施例中，可得性參數 $T_a(i)$ 定義為

$$T_a(i) = \begin{cases} 1, n_s(i) > 0; \\ \alpha, n_s(i) = 0 \end{cases}$$

其中， α 為使用者指定的參數 (user-specified parameter) $\in (0,1]$ ， n_s 為元件及其扇出並扇入元件所形成之邊界盒 (Bounding Box) 內的備用元件的數目。當 $n_s(i) = 0$ 時， α 用於縮小可得性參數 $T_a(i)$ ，從而降低元件的可修性參數。以圖 14 之電路為例，當違規路徑區段 $P(1,5)$ 中被選取的元件為 g_2 ，則於計算可得性參數 $T_a(2)$ 時，是考慮元件 g_2 及其扇出並扇入

元件 g_1 、 g_3 、 g_5 所形成之邊界盒 A_3 內的備用元件的數目。由於備用元件 g_{s1} 位於邊界盒 A_3 內且備用元件 g_{s2} 位於邊界盒 A_3 外，因此 $n_s(i) = 1$ ，故 $T_a(2) = 1$ 。考量可得性參數之可修性參數能更準確地反映元件的時序關鍵性。

本發明時序設計變更的方法的第三較佳實施例與第二實施例相近，只是於步驟 S05 中還考量對各違規路徑區段選取元件的數目。

本實施例的步驟 S05 首先將各違規路徑區段之元件依可修性參數的大小由大至小排序，以 g_{c1} 、 g_{c2} 、... 表示。

接著，對各違規路徑區段之各元件計算一餘裕改善參數 $T_m(j)$ ，該餘裕改善參數是將該元件附近的任一備用元件配置於該元件對應之違規路徑區段後所能獲得的最大餘裕改善。假設違規路徑區段的餘裕為 S_i ，餘裕改善參數 $T_m(j)$ 可以下方關係式表示

$$T_m(j) = \max_k \{S'(c_j | s_k) - S_i\}$$

接著，對各違規路徑區段計算一選取數目參數 n ，該選取數目參數 n 為將該違規路徑區段的該等元件所對應之餘裕改善參數依該等元件的排序依序加總至不小於該違規路徑區段之邊餘裕所需加總之餘裕改善參數的最小數目。選取數目參數 n 可以下方關係式求得

$$S_i \geq - \sum_{j=1}^n T_m(j) = - \sum_{j=1}^n \max_k \{S'(c_j | s_k) - S_i\}$$

最後，根據可修性參數 $T_x(i)$ 及該選取數目參數 n 於各該違規路徑區段選取元件。以下以圖 15 之違規路徑區段 $P(1,4)$

舉例說明。圖 15 中各元件的可修性參數標示於該元件的右上方（如 g_1 的可修性參數為 3），各元件的餘裕改善參數標示於該元件的右下方（如 g_1 的餘裕改善參數為 1）。假設該違規路徑區段的餘裕為 -3。則選取數目參數 n 為 2，且選取的元件為 g_3 及 g_1 （因為 $-3 \geq -(2+1)$ ）。本實施例由於還考量對各違規路徑區段選取元件的數目，因此能進一步提升時序設計變更的效率。

本發明時序設計變更的方法的第四較佳實施例與第一實施例相近，只是可修性參數僅與平滑度參數相關，即

$$T_x(i) = T_s(i), \forall g_i \in G$$

以下提供採用第一、第二、第三、第四實施例之時序設計變更的方法之相關實驗數據，並與二先前技術做比較。其中一用於與本發明比較之先前技術為先前技術 DCP，另一者為刊載於 *Proc. IEEE/ACM Int'l Conf. on Computer-Aided Design (ICCAD)* 之論文「Redundant-wires-aware ECO timing and mask-cost optimization.」，以下簡稱「先前技術 ILP」。實驗使用的五個電路是工業界標準檢查電路。於先前技術 DCP 及 ILP 之文獻中亦採用相同電路進行實驗。該等電路的統計數據顯示於下方表一。

下方表二比較了先前技術 DCP 及 ILP 與本發明第三實施例之總負餘裕及執行時間。表二顯示第三實施例能將五個電路的總負餘裕皆修正至 0，且效率分別為先前技術 DCP 及 ILP 的 122.71 倍及 229.14 倍。值得一提的是，比較表一之被時序違規路徑通過的元件總數與表二之違規路徑區段

數量，顯示違規路徑區段數量遠小於時序違規路徑通過的元件，因此本發明能有效降低進行時序設計變更的複雜度，從而能提升進行時序設計變更的效率。此外，表二中的反覆執行次數相當小，同樣顯示本發明能有效率的修正電路的時序違規。

電路名稱	元件數量	備用元件數量	時序週期 (ns)	時序違規路徑數量	最大元件數量的時序違規路徑之元件數量	被時序違規路徑通過的元件總數	最差負餘裕 (ns)	總負餘裕 (ns)
業界 1	28,927	860	38	16	164	2,604	1.1	9.8
業界 2	200,504	860	40	80	178	13,627	10.8	312.0
業界 3	91,107	860	37	27	173	4,059	19.3	319.0
業界 4	18,932	860	18	22	85	1,278	6.8	70.0
業界 5	38,011	8,600	18	137	72	9,160	2.8	161.0

表一

下方表三比較了第一、第二、第三實施例之執行時間、剩下備用元件個數、使用緩衝器數量、釋放緩衝器/反向器數量，及反覆執行次數。表三顯示第二實施例使用的緩衝器數量較第一實施例少，第三實施例使用的緩衝器數量較第二實施例少，且第三實施例使用的緩衝器數量為零，顯示第三實施例的成本效益最佳。再者，第三實施例的反覆執行次數要比第一、第二實施例少，且執行時間分別為第一實施例及第二實施例的 3.32 倍及 4.09 倍，顯示第三實施例的效率最佳。

下方表四顯示本發明第四較佳實施例的實驗數據。比較表四與表三可知，第四較佳實施例同樣可以將總負餘裕

修正為零，只是反覆執行次數較第三實施例略為增加。

電路名稱	初始		DCP		ILP		本發明第三實施例									
	備用元件數量	總餘裕 (ns)	執行時間 (s)	總餘裕 (ns)	執行時間 (s)	總餘裕 (ns)	執行時間 (s)	剩餘元件數	使用緩衝數量	釋放緩衝 / 反器數量	反覆執行次數	路徑數值	共享最大路徑數	違規區段數量		
業界 1	860	0.0	6.12	0.0	42.42	0.0	0.28	880	0	8/12	1	16	19			
業界 2	860	0.0	25.71	0.0	109.48	0.0	3.90	893	0	7/26	2	30	138			
業界 3	860	14.93	12.33	0.0	26.29	0.0	0.99	949	0	19/70	2	27	73			
業界 4	860	6.27	24.31	0.0	55.41	0.0	0.05	898	0	32/6	1	9	22			
業界 5	8600	0.0	1761.16	0.0	3182.87	0.0	9.69	8,600	0	0/0	31	5	137			
比例	1.00		122.71		229.14		1.00	1.01								

電路名稱	本發明第三實施例						本發明第二實施例						本發明第一實施例					
	執行時間 (s)	剩餘元件個數	使用緩衝器數量	釋放緩衝器 / 反器數量	反執行次數	執行時間 (s)	剩餘元件個數	使用緩衝器數量	釋放緩衝器 / 反器數量	反執行次數	執行時間 (s)	剩餘元件個數	使用緩衝器數量	釋放緩衝器 / 反器數量	反執行次數			
業界 1	0.28	880	0	8/12	1	0.39	879	1	8/12	1	0.38	879	1	8/12	1			
業界 2	3.90	893	0	7/26	2	6.13	895	0	7/28	3	6.14	895	0	7/28	3			
業界 3	0.99	949	0	19/70	2	1.14	944	1	17/68	2	1.11	944	1	17/68	2			
業界 4	0.05	898	0	32/6	1	0.31	898	0	32/6	3	0.29	898	0	32/6	3			
業界 5	9.69	8,600	0	0/0	31	41.56	8,553	47	0/0	74	53.01	8,553	67	0/0	73			
比例	1.00		0.00	1.00	1.00	3.32		0.71	1.00	2.24	4.09		1.00	1.00	2.22			

三
報

電路名稱	本發明第四實施例				
	總負餘裕(ns)	剩下備用元件個數	使用緩衝器數量	釋放緩衝器 / 反向器數量	反覆執行次數
業界 1	0.0	880	0	8/12	1
業界 2	0.0	893	0	7/26	2
業界 3	0.0	936	1	15/62	2
業界 4	0.0	898	0	32/6	1
業界 5	0.0	8,588	12	0/0	52

表四

綜上所述，本發明時序設計變更的方法藉由與平滑度參數相關的可修性參數能較準確地判斷元件的時序關鍵性，且搭配可得性參數及選取數目參數能以較少的備用元件完成時序的修正，再者，透過將時序違規路徑分解成違規路徑區段能有效提高進行時序設計變更的效率，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一本發明時序設計變更的方法之較佳實施例的流程圖；

圖 2 是一電路圖，說明一電路的一時序違規路徑；

圖 3 是一電路圖，說明一電路的複數個時序違規路徑分解成複數個違規路徑區段；

圖 4 是一電路圖，說明一違規路徑區段對應的一貝茲曲線，及其上之複數個參考點；

圖 5 是一類似圖 4 的電路圖，說明貝茲曲線位於控制點形成的凸殼區域內；

圖 6 是一類似圖 4 的電路圖，說明貝茲曲線具有變化遞減特性；

圖 7 是一類似圖 4 的電路圖，說明貝茲曲線具有高可預測性；

圖 8 是一電路圖，說明該較佳實施例於由被選取元件的扇出元件及該被選取元件對應之時序違規路徑所形成的凸殼區域內搜索備用元件；

圖 9 是一雙邊圖，該較佳實施例將選取備用元件視為最小權重完美匹配問題；

圖 10 一電路圖，說明該較佳實施例組合二會合的違規路徑區段的方式；

圖 11 一電路圖，說明該較佳實施例組合二會合的違規路徑區段的方式；

圖 12 一電路圖，說明該較佳實施例組合二分岔的違規路徑區段的方式；

圖 13 一電路圖，說明該較佳實施例組合二分岔的違規路徑區段的方式；

圖 14 是一電路圖，說明一可得性參數與元件及其扇出並扇入元件所形成之邊界盒內的備用元件的數目有關；及

圖 15 是一電路圖，說明該較佳實施例計算一選取數目參數的方式。

【主要元件符號說明】

S01~S08 … 流程步驟

L₁、L₂…… 直線

A₁、A₂…… 凸殼區域

A₃…… 邊界盒

七、申請專利範圍：

1. 一種時序設計變更的方法，包含：

(A) 對一電路進行靜態時序分析以獲得該電路中的複數條時序違規路徑；

(B) 將該等時序違規路徑分解成複數個違規路徑區段，各該違規路徑區段是包括複數個相連接之元件且具有相同邊餘裕的連續路徑；

(C) 對各該違規路徑區段計算出一參數平滑曲線，且將各該參數平滑曲線的曲線區間均勻分割而產生複數個參考點，該等參考點分別對應所屬之參數平滑曲線對應的違規路徑區段之元件；

(D) 對各該違規路徑區段的各該元件計算一可修性參數，該可修性參數與一平滑度參數有關，該平滑度參數與該元件及其對應之參考點之間的距離有關；

(E) 根據各該元件的可修性參數對各該違規路徑區段選取至少一元件；

(F) 判斷各該被選取的元件附近是否存在至少一可改善其餘裕之備用元件，若是，則選取其中一備用元件，並將該備用元件配置於該被選取的元件所對應之違規路徑區段中；

(G) 對該電路進行靜態時序分析，並判斷該電路中是否仍存在任何時序違規路徑，若是，則執行步驟(B)，若否，則執行步驟(H)；及

(H) 將該電路重新以導線連接以套用該等被選取

的備用元件。

2. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟（D）中，該可修性參數還與一靈活性參數有關，該靈活性參數與一導線負載參數有關，該導線負載參數與該元件於該電路中的延遲及該元件沒有掛載導線的延遲之差異有關。
3. 依據申請專利範圍第 2 項所述之時序設計變更的方法，其中，於步驟（D）中，該靈活性參數還與一餘裕差異參數有關，該餘裕差異參數與該元件至其複數個扇出元件之邊餘裕中最差的邊餘裕及第二差的邊餘裕之差異有關。
4. 依據申請專利範圍第 3 項所述之時序設計變更的方法，其中，於步驟（D）中，該可修性參數還與一路徑共享參數有關，該路徑共享參數與通過該元件之時序違規路徑的數目有關。
5. 依據申請專利範圍第 4 項所述之時序設計變更的方法，其中，於步驟（D）中，該可修性參數還與一可得性參數有關，該可得性參數與該元件附近之備用元件的數目有關。
6. 依據申請專利範圍第 5 項所述之時序設計變更的方法，其中，於步驟（C）中，該參數平滑曲線為一貝茲曲線。
7. 依據申請專利範圍第 6 項所述之時序設計變更的方法，其中，於步驟（D）中，該平滑度參數與一曲線延遲參數及該元件沒有掛載導線時的延遲之差異有關，該曲線

延遲參數是當該元件掛載的導線之長度等於該元件與其對應的參考點之間的距離時該元件的延遲。

8. 依據申請專利範圍第 7 項所述之時序設計變更的方法，其中，該靈活性參數與該導線負載參數及該餘裕差異參數其中較小之一者有關。
9. 依據申請專利範圍第 8 項所述之時序設計變更的方法，其中，該可修性參數與該靈活性參數及該平滑度參數的總和有關。
10. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (F) 中，以能將該違規路徑區段之邊餘裕修正為零之備用元件具有最高被選取的優先性，其次為能將該違規路徑區段之邊餘裕修正為正值之備用元件，再其次為將該違規路徑區段之邊餘裕修正為負值之備用元件。
11. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (D) 中，值越大之可修性參數表示越高之時序關鍵性，且步驟 (E) 包含：
 - (E1) 將各該違規路徑區段之元件依可修性參數的大小由大至小排序；
 - (E2) 對各該違規路徑區段之各該元件計算一餘裕改善參數，該餘裕改善參數是將該元件附近的任一備用元件配置於該元件對應之違規路徑區段後所能獲得的最大餘裕改善；
 - (E3) 對各該違規路徑區段計算一選取數目參數，

該選取數目參數為將該違規路徑區段的該等元件所對應之餘裕改善參數依該等元件的排序依序加總至不小於該違規路徑區段之邊餘裕所需加總之餘裕改善參數的最小數目；及

(E4) 根據該可修性參數及該選取數目參數於各該違規路徑區段選取至少一元件。

12. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (D) 中，值越大之可修性參數表示越高之時序關鍵性，於步驟 (E) 係選取一對應之可修性參數最大的元件。

13. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (F) 與 (G) 之間還包括一步驟 (I) 將該等違規路徑區段根據傳播性質組合，且判斷各該被選取的元件是否為一冗餘元件，若是，則取消該冗餘元件對應的備用元件配置至對應的違規路徑區段，其中，該冗餘元件為其餘裕於其他違規路徑區段配置對應之備用元件後被修正至不小於零之元件。

14. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (B) 中，各該違規路徑區段是包括複數個相連接之元件且具有相同邊餘裕的最長連續路徑。

15. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (F) 中，係於由該元件的扇出元件及該元件對應之時序違規路徑所形成的凸殼區域內搜索備用元件。

16. 依據申請專利範圍第 5 項所述之時序設計變更的方法，其中，該可得性參數與該元件及其扇出並扇入元件所形成之邊界盒內的備用元件的數目有關。
17. 依據申請專利範圍第 1 項所述之時序設計變更的方法，其中，於步驟 (F) 中，該備用元件用於取代該被選取的元件，或用於插設於該被選取的元件對應之違規路徑區段上。

八、圖式：

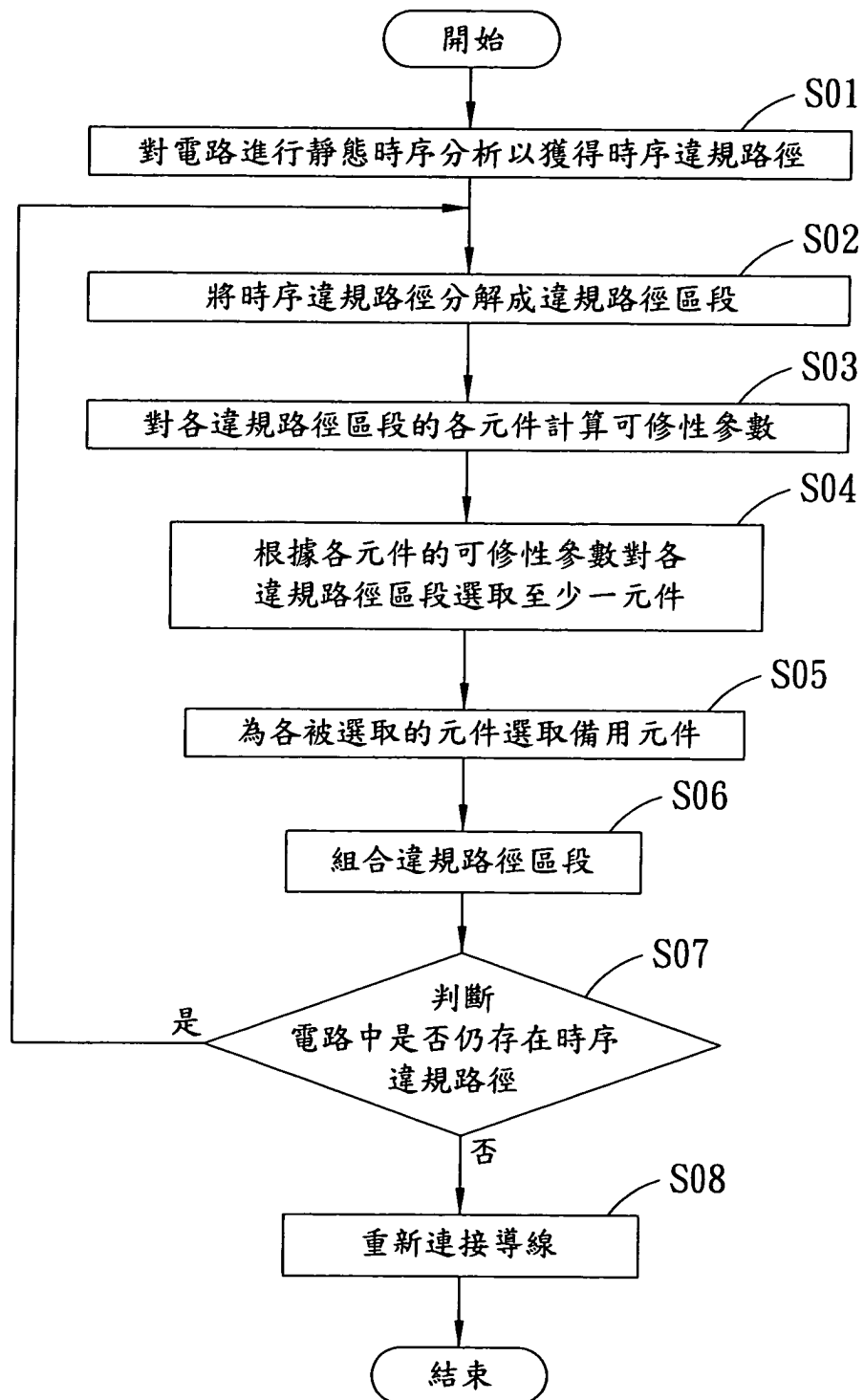


圖 1

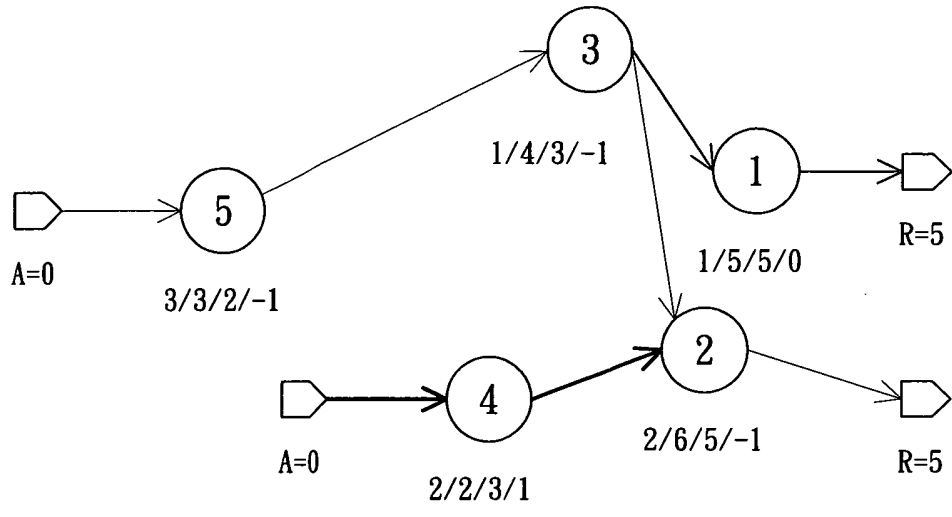


圖 2

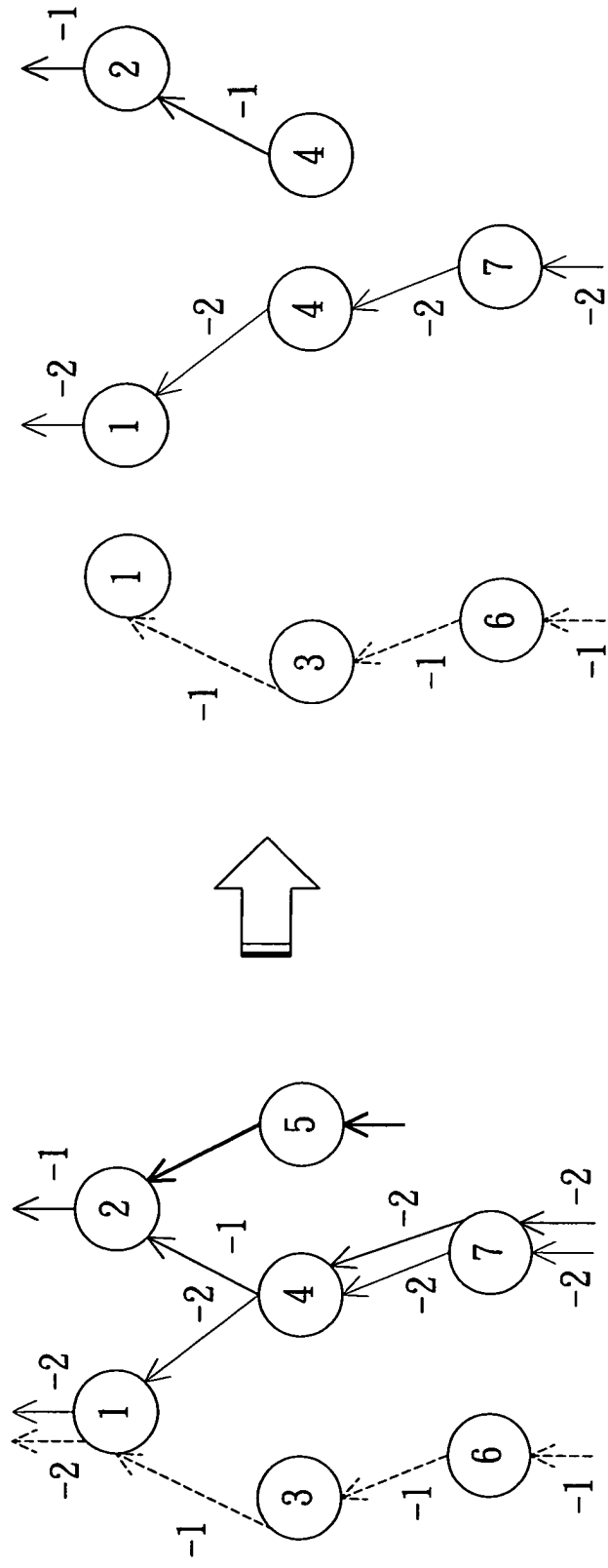


圖3

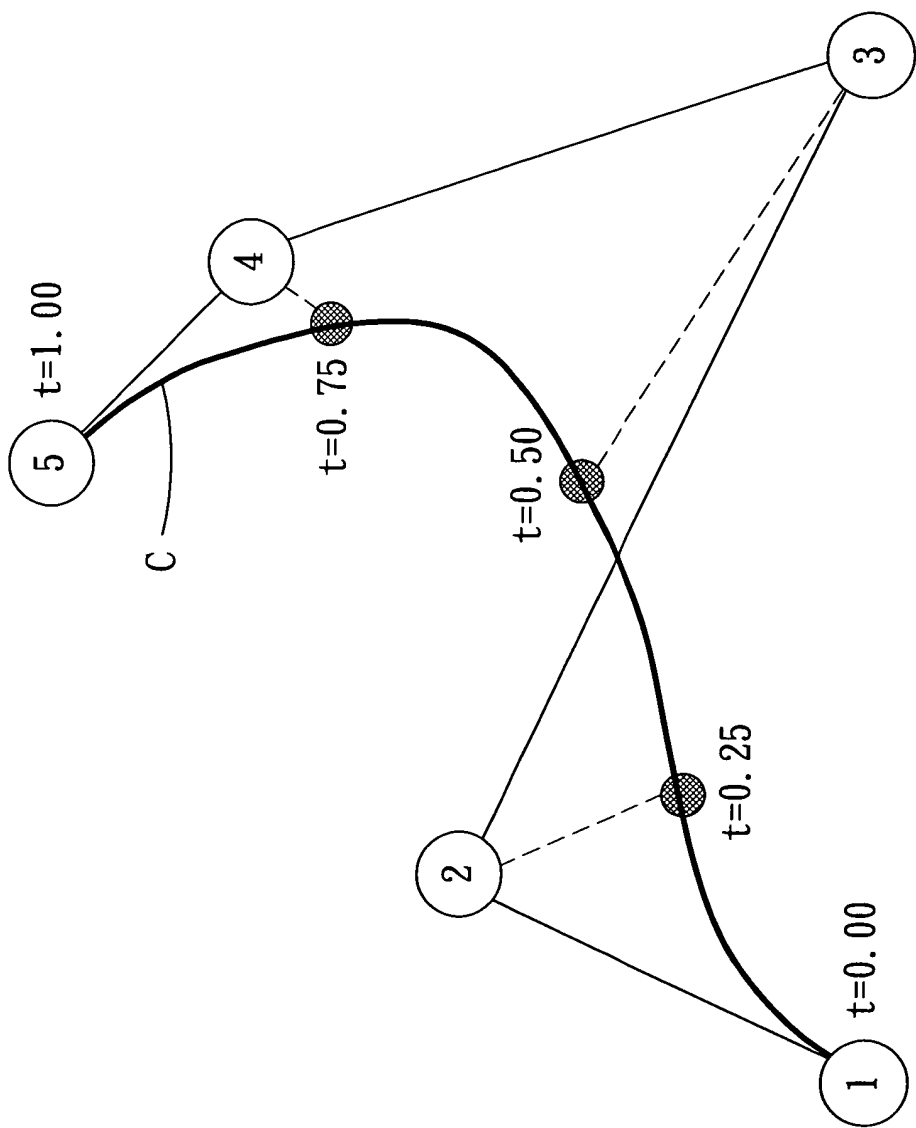


圖4

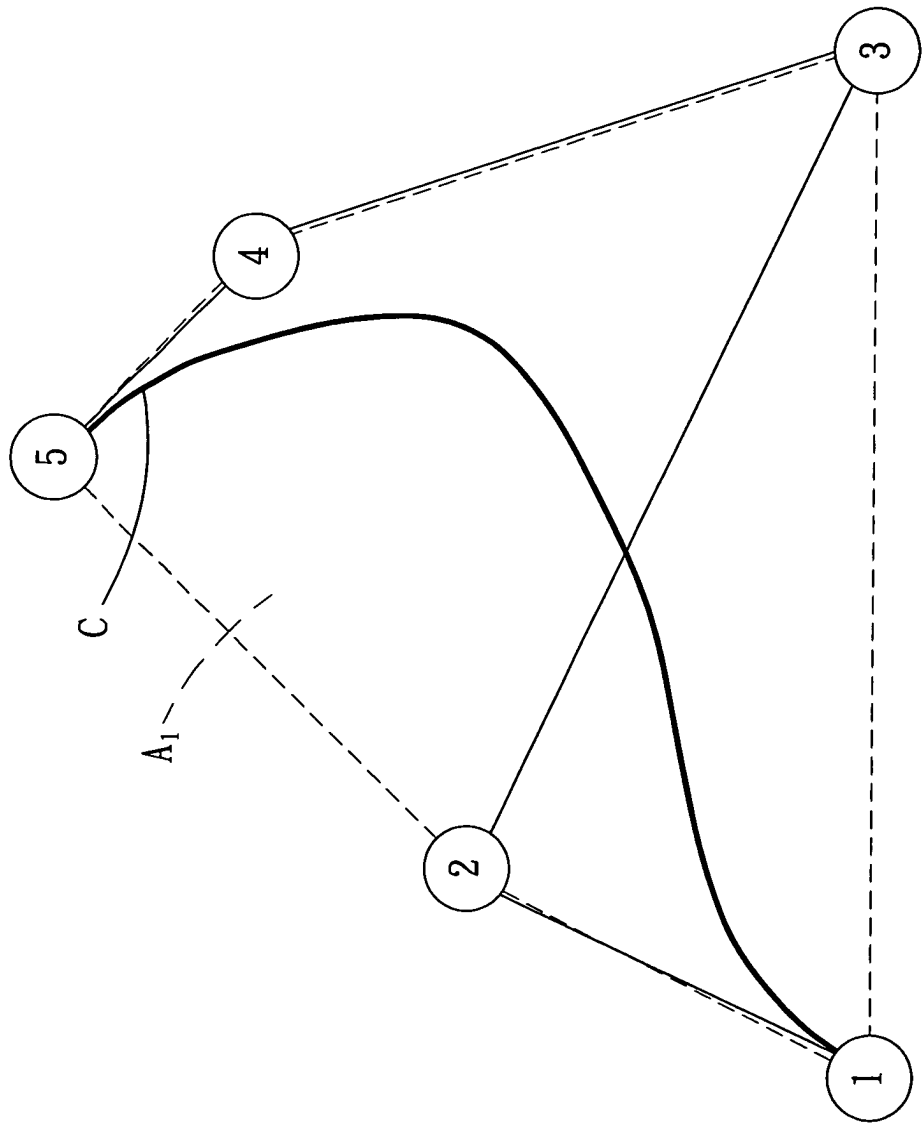


圖5

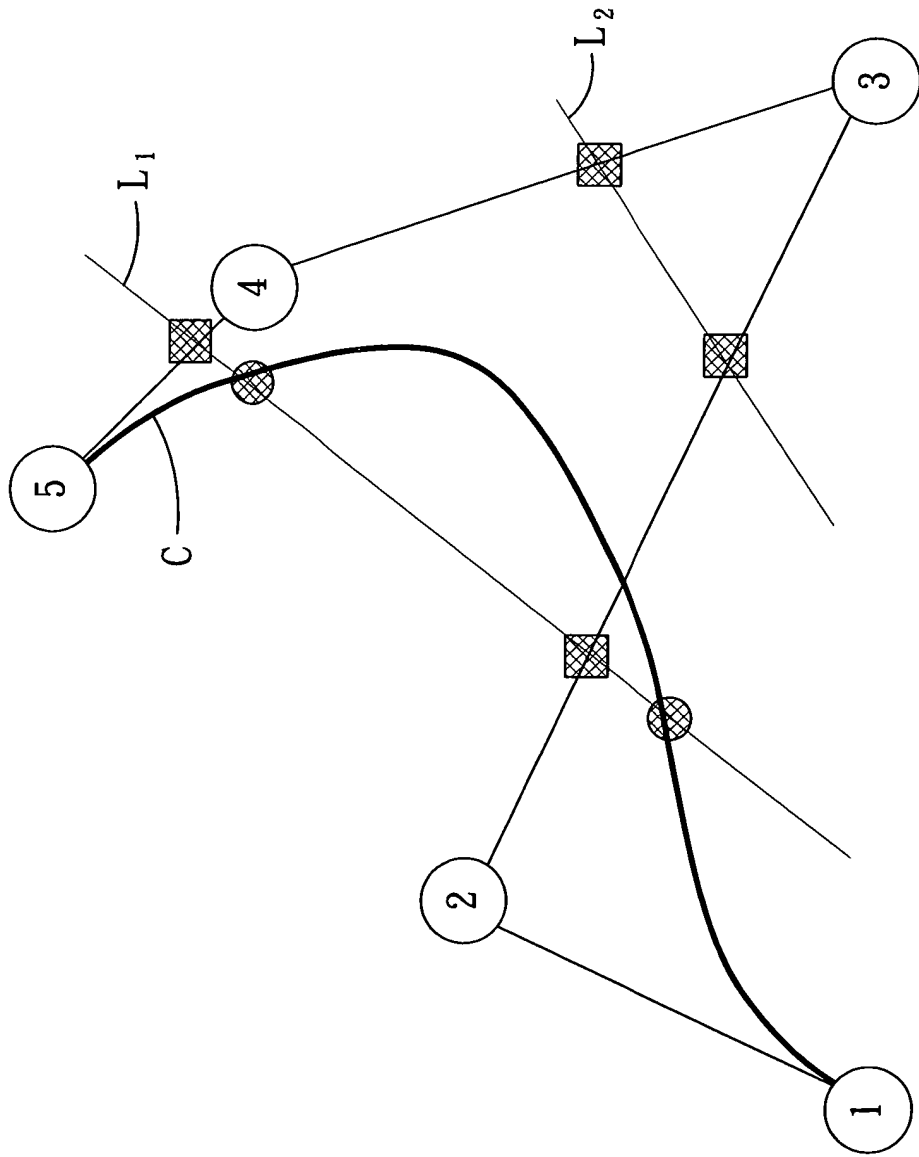


圖6

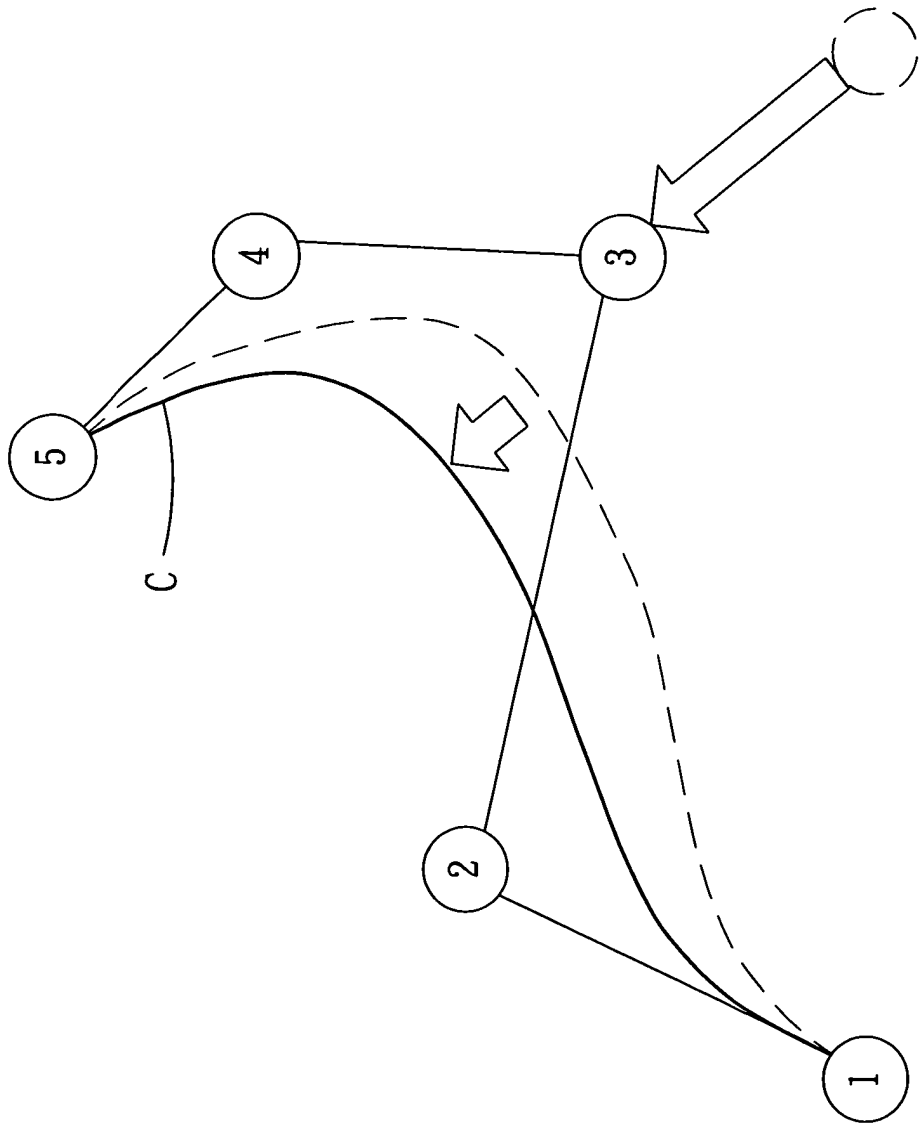


圖7

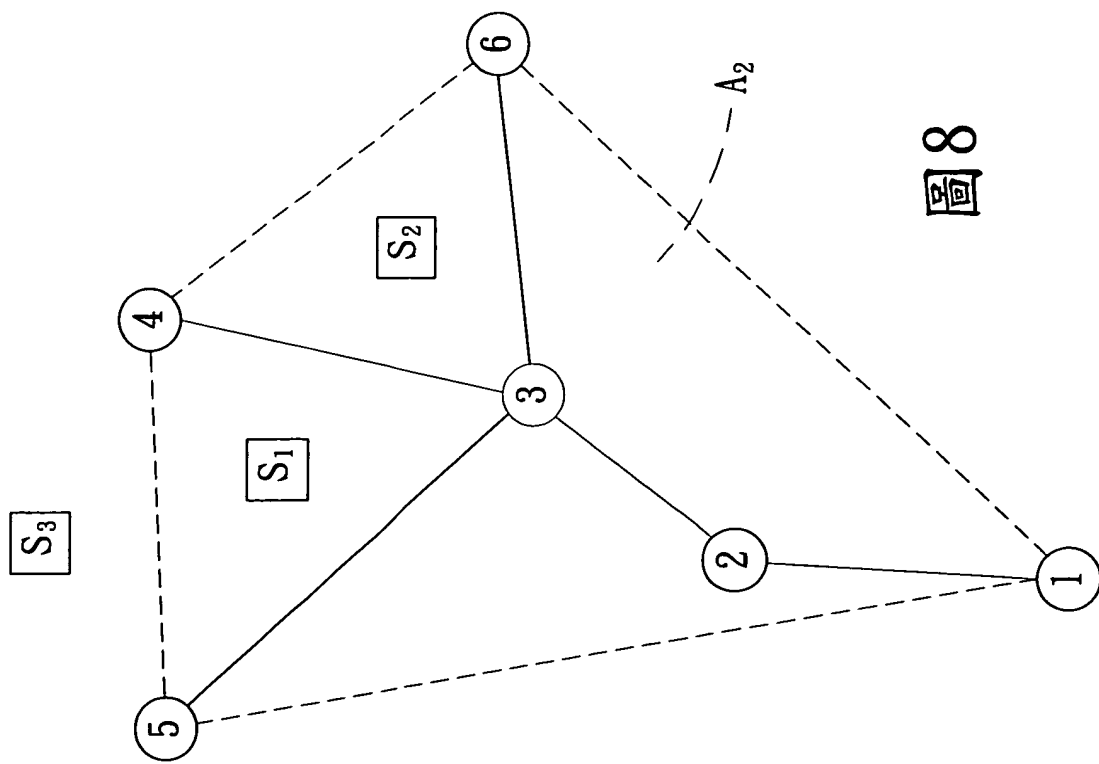


圖8

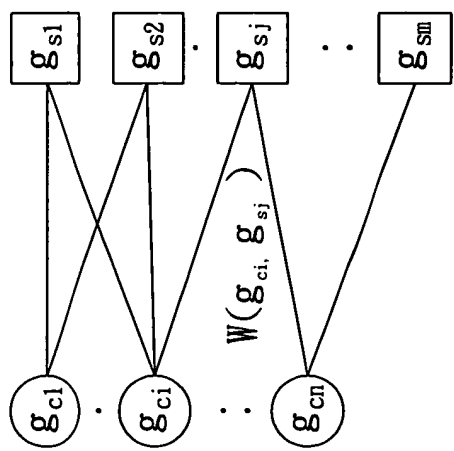


圖9

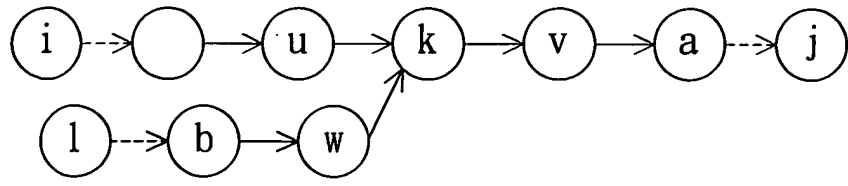


圖 10

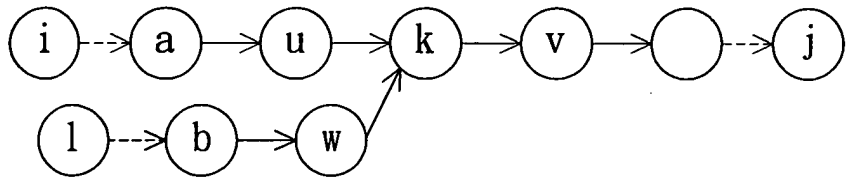


圖 11

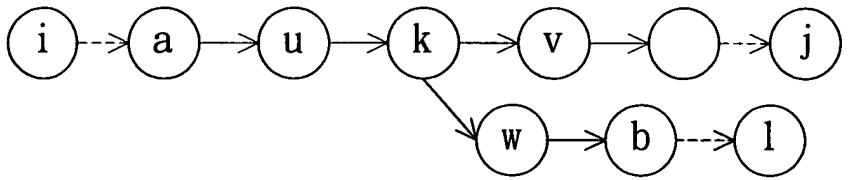


圖 12

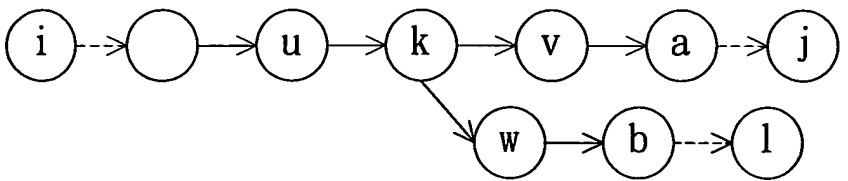


圖 13

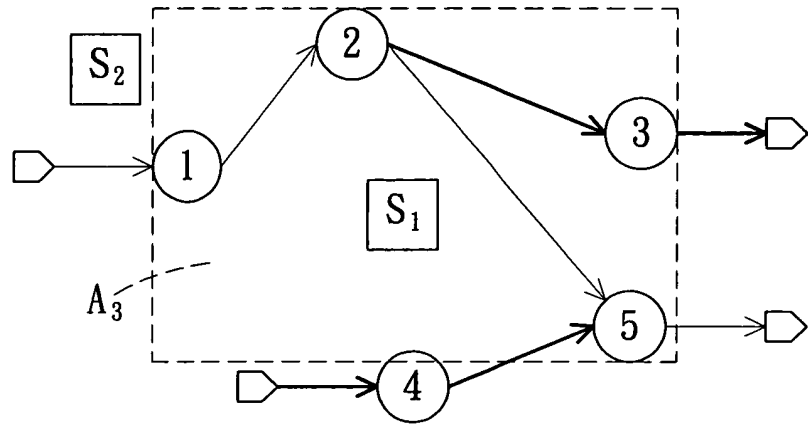


圖 14

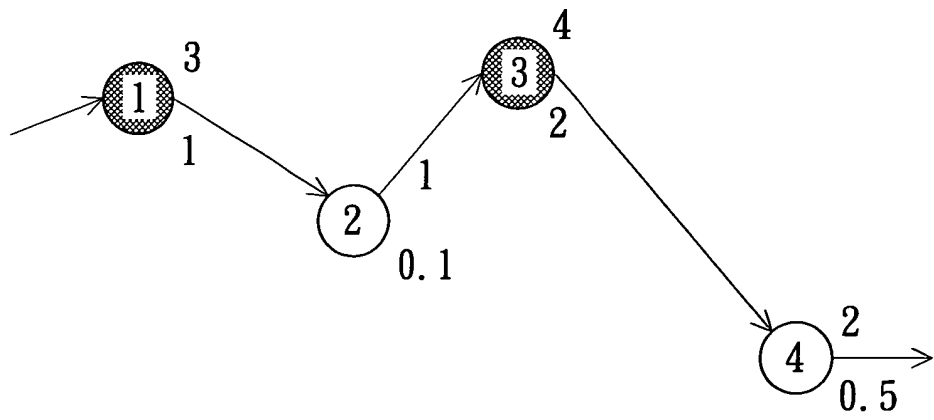


圖 15