



(21)申請案號：098139573

(22)申請日：中華民國 98 (2009) 年 11 月 20 日

(51)Int. Cl. : G09G3/36 (2006.01)

G02F1/136 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：戴亞翔 TAI, YA HSIANG (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW 200823837A

TW 200917219A

TW 200923888A

CN 101191920A

審查人員：葉月芬

申請專利範圍項數：14 項 圖式數：4 共 18 頁

(54)名稱

液晶顯示面板及其掃描線補償電路

LIQUID CRYSTAL PANEL AND SCAN LINE COMPENSATION CIRCUIT THEREOF

(57)摘要

一種液晶顯示面板的掃描線補償電路，包括一補償掃描線與至少一補償單元。補償單元耦接至一關閉電壓與補償掃描線，並透過一掃描線耦接多個畫素單元。掃描線傳送一掃描訊號至上述畫素單元，並於掃描訊號的致能期間開啟上述畫素單元。補償單元接收一關閉訊號，並於關閉訊號的致能期間將上述畫素單元連接至關閉電壓，以關閉上述畫素單元。

A scan line compensation circuit of a liquid crystal display panel has a compensation scan line and at least one compensation unit is provided. The compensation unit is coupled to a turn-off voltage, the compensation scan line, and a plurality of pixel units via a scan line. The scan line delivers a scan signal to the pixel units to turn on the pixel units during the enable period of the scan signal. The compensation unit receives the turn-off signal to connect the turn-off voltage and pixel units during the enable period of the turn-off signal and thus to turn off the pixel units.

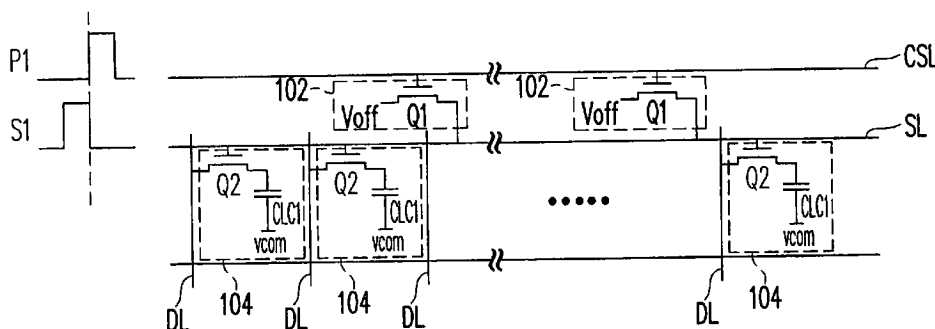


圖 2

102 . . . 補償單元

104 . . . 畫素單元

Voff . . . 關閉電壓

CSL . . . 補償掃描線

SL . . . 掃描線

D1 . . . 資料線

Q1 . . . 補償電晶體

Q2 . . . 薄膜電晶體

CLC1 . . . 液晶電容

VCOM . . . 共同電
壓
P1 . . . 關閉訊號
S1 . . . 掃描線訊號

公告本

102-6-14

發明專利說明書

102年6月14日 修正頁(本)
劃線

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P813P573

※ 申請日：P8.11.20

※ IPC 分類：

G06G 3/36 (2006.01)

G02F 1/36 (2006.01)

一、發明名稱：

液晶顯示面板及其掃描線補償電路 / LIQUID
CRYSTAL PANEL AND SCAN LINE COMPENSATION
CIRCUIT THEREOF

二、中文發明摘要：

一種液晶顯示面板的掃描線補償電路，包括一補償掃描線與至少一補償單元。補償單元耦接至一關閉電壓與補償掃描線，並透過一掃描線耦接多個畫素單元。掃描線傳送一掃描訊號至上述畫素單元，並於掃描訊號的致能期間開啟上述畫素單元。補償單元接收一關閉訊號，並於關閉訊號的致能期間將上述畫素單元連接至關閉電壓，以關閉上述畫素單元。

三、英文發明摘要：

A scan line compensation circuit of a liquid crystal display panel has a compensation scan line and at least one compensation unit is provided. The compensation unit is coupled to a turn-off voltage, the compensation scan line, and a plurality of pixel units via a scan line. The scan line delivers a scan signal to the pixel units to turn on the pixel

units during the enable period of the scan signal. The compensation unit receives the turn-off signal to connect the turn-off voltage and pixel units during the enable period of the turn-off signal and thus to turn off the pixel units.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

102：補償單元

104：畫素單元

Voff：關閉電壓

CSL：補償掃描線

SL：掃描線

D1：資料線

Q1：補償電晶體

Q2：薄膜電晶體

CLC1：液晶電容

VCOM：共同電壓

P1：關閉訊號

S1：掃描線訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

units during the enable period of the scan signal. The compensation unit receives the turn-off signal to connect the turn-off voltage and pixel units during the enable period of the turn-off signal and thus to turn off the pixel units.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

102：補償單元

104：畫素單元

Voff：關閉電壓

CSL：補償掃描線

SL：掃描線

D1：資料線

Q1：補償電晶體

Q2：薄膜電晶體

CLC1：液晶電容

VCOM：共同電壓

P1：關閉訊號

S1：掃描線訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種顯示面板的掃描線電路，且特別是有關於一種降低阻容效應的顯示面板的掃描線電路。

【先前技術】

近年來，由於影像顯示技術已有很大的進步與發展，因此傳統的陰極射線顯示器已逐漸被所謂的面板顯示器取代。面板顯示器一般常見的是薄膜電晶體液晶顯示器(Thin-Film Transistor Liquid Crystal Display, TFT-LCD)，因為具有低消耗功率、薄型化、高解析度等優點，使其晉升為目前顯示器的主流。

然而，液晶顯示裝置發展至今，仍有一些待改善的問題，其中之一是主動元件陣列基板上掃描線會有寄生電阻與寄生電容存在而造成阻容延遲(RC delay)。隨著液晶顯示裝置的大型化，資料傳輸速度勢必增加，對於阻容延遲的容忍度相對的變差。而且訊號線的長度也因為尺寸的變大而增加，進而造成阻抗上升，因此產生較高的阻容延遲。

在閘極驅動器對畫素致能的過程中，由於掃描線上寄生電阻、電容帶來的延遲效應，使得掃描信號的波形產生變化。當掃描線因為設計需求而必須拉長時，掃描線上的寄生電阻、電容勢必會增加，使得信號延遲的情況更加地明顯。也就是說，在設計大尺寸液晶顯示器時，由於掃描線過長，信號延遲的情況會比小尺寸顯示器更加嚴重，導

致其後段的像素無法及時被關閉，而影響其顯示品質。

【發明內容】

本發明提供一種液晶顯示面板及其掃描線補償電路，可改善掃描線上寄生電阻、電容所造成的延遲效應。

本發明提出一種液晶顯示面板的掃描線補償電路，包括一補償掃描線與至少一補償單元。補償單元耦接至一關閉電壓與補償掃描線，並透過一掃描線耦接多個畫素單元。掃描線傳送一掃描訊號至上述畫素單元，並於掃描訊號的致能期間開啟上述畫素單元。補償單元接收一關閉訊號，並於關閉訊號的致能期間將上述畫素單元連接至關閉電壓，以關閉上述畫素單元。

本發明提出一種液晶顯示面板，包括多個掃描線補償電路與多條資料線。其中各掃描線補償電路包括一補償掃描線與至少一補償單元。補償單元耦接至一關閉電壓與補償掃描線，並透過一掃描線耦接多個畫素單元。掃描線傳送一掃描訊號至上述畫素單元，並於掃描訊號的致能期間開啟上述畫素單元。補償單元接收一關閉訊號，並於關閉訊號的致能期間將上述畫素單元連接至關閉電壓，以關閉上述畫素單元。多條資料線則分別耦接至對應的畫素單元。

在本發明之一實施例中，上述之掃描訊號轉為致能期間的時間點早於關閉訊號轉為致能期間的時間點。

在本發明之一實施例中，上述之補償單元為一開關。

在本發明之一實施例中，上述之開關包括一補償電晶

體，其閘極耦接補償掃描線，補償電晶體之第一汲/源極端耦接至關閉電壓，補償電晶體之第二汲/源極端耦接至掃描線。

在本發明之一實施例中，上述之畫素單元包括一薄膜電晶體與一液晶電容。薄膜電晶體之閘極耦接掃描線，薄膜電晶體之第一汲/源極端耦接資料線。液晶電容耦接於薄膜電晶體之第二汲/源極端與一共同電壓之間。

在本發明之一實施例中，上述之補償單元之個數小於畫素單元之個數。

在本發明之一實施例中，上述之關閉電壓為液晶顯示面板之基板上的共用電極所提供。

基於上述，本發明利用補償單元將畫素單元連接至關閉電壓，以快速地關閉畫素單元，減少掃描線上寄生電阻、電容所造成的延遲效應。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

下面將參考附圖詳細闡述本發明的實施例，附圖舉例說明了本發明的示範實施例，其中相同標號指示同樣或相似的元件。

圖 1 繪示為本發明一實施例之液晶顯示面板的示意圖。請參照圖 1，液晶顯示面板 100 包括多條資料線 DL、多條掃描線 SL、多個畫素單元 104 與多個掃描線補償電

路。其中每一掃描線補償電路包括一補償掃描線 CSL 與至少一補償單元 102，且每一掃描線補償電路對應一條掃描線 SL 與多個和掃描線 SL 與其耦接的多個畫素單元 104。掃描線 SL 傳送一掃描線訊號 S1 至與掃描線 SL 耦接的多個畫素單元 104，以開啟多個畫素單元 104。另一方面，多條資料線 DL 分別傳送資料訊號至相對應的畫素單元 104，以使對應耦接至資料線 DL 的多個畫素單元 104 分別呈現不同的灰階值。

當多個畫素單元 104 接收完來自資料線 DL 的資料訊號後，掃描線 SL 關閉與其耦接的多個畫素單元 104。此時補償掃描線 CSL 傳送一關閉訊號 P1 至補償單元 102，以使補償單元 102 將一關閉電壓 Voff 連接至多個畫素單元 104，以提早完成關閉畫素單元 104 的動作，其中關閉電壓 Voff 可由液晶顯示面板 100 中基板上的共用電極提供。透過依序開啟液晶顯示面板 100 上掃描線補償電路中的掃描線 SL，配合多條資料線 DL 改變相對應的多個畫素單元 104 的灰階值，可於液晶顯示面板 100 上顯示影像畫面。藉由掃描線補償電路提早完成關閉畫素單元 104 的動作，可減少掃描線 SL 上的寄生電阻、電容所造成的阻容延遲(RC delay)效應，改善掃描線 SL 末端所對應的畫面失真問題。

圖 2 繪示為本發明一實施例之掃描線補償電路的電路圖。圖 3 繪示為圖 2 之掃描線補償電路的寄生電阻、寄生電容的示意圖。請同時參考圖 2 與圖 3。詳細來說，圖 1 實施例之掃描線補償電路中的補償單元 102 可為一開關，

在本實施例中以一補償電晶體 Q1 實現之，然實際應用上不以此為限。補償電晶體 Q1 的閘極耦接補償掃描線 CSL，第一汲/源極端耦接至關閉電壓 V_{off} ，第二汲/源極端則耦接至掃描線 SL，其中補償電晶體 Q1 例如是薄膜電晶體。另外，畫素單元 104 包括一薄膜電晶體 Q2 與一液晶電容 CLC1，薄膜電晶體 Q2 的閘極耦接掃描線 SL，第一汲/源極端耦接至對應的資料線 DL，液晶電容 CLC1 則耦接於薄膜電晶體 Q2 的第二汲/源極端與一共同電壓 VCOM 之間。

如圖 3 所示，補償掃描線 CSL 具有多個寄生電阻 R1 與多個寄生電容 C1，而掃描線 SL 上則具有多個寄生電阻 R1 與多個寄生電容 C2。其中寄生電阻 R1 為相鄰兩資料線 DL 間補償掃描線 CSL 與掃描線 SL 上所等效的寄生電阻，寄生電容 C1、C2 則分別為相鄰兩資料線 DL 間補償掃描線 CSL 與掃描線 SL 上所等效的寄生電容。由圖 2 可看出補償掃描線 CSL 所耦接的電晶體個數小於掃描線 SL 所耦接的電晶體個數，而耦接的電晶體個數越多意味著伴隨的寄生電容越大，因此補償掃描線 CSL 上的等效寄生電容值將小於掃描線 SL 上的等效寄生電容值。

當掃描線 SL 所傳送的掃描線訊號 S1 為致能期間，也就是掃描線訊號 S1 為高電壓準位(亦即薄膜電晶體 Q2 之閘極為高電壓準位)時，與掃描線 SL 耦接的多個薄膜電晶體 Q2 的通道被開啟，使資料線 DL 得以經由薄膜電晶體 Q2 對液晶電容 CLC1 充電，以改變液晶分子的旋轉角度進行顯像。當掃描線訊號 S1 由致能期間轉為失能期間，亦

即掃描線訊號 S1 由高電壓準位轉為低電壓準位(亦即薄膜電晶體 Q2 之閘極轉為低電壓準位)時，與掃描線 SL 耦接的多個薄膜電晶體 Q2 的通道將被關閉，然而由於掃描線 SL 上寄生電阻 R1 與寄生電容 C2 所造成的延遲效應，導致掃描線 SL 上的多個薄膜電晶體 Q2 的通道無法同時被關閉，而是由掃描線 SL 的訊號輸入端開始依序被關閉。

在掃描線訊號 S1 由高電壓準位轉為低電壓準位的同時，補償掃描線 CSL 傳送的關閉訊號 P1 由失能期間轉為致能期間，也就是關閉訊號 P1 由低電壓準位轉為高電壓準位(亦即補償電晶體 Q1 之閘極轉為高電壓準位)。此時與補償掃描線 CSL 耦接的補償電晶體 Q1 接收高電壓準位的關閉訊號 P1 而開啟其通道，使得薄膜電晶體 Q2 的閘極得以透過補償電晶體 Q1 連接到關閉電壓 V_{off} 。由於補償掃描線 CSL 上的等效寄生電容值將小於掃描線 SL 上的等效寄生電容值，因此關閉訊號 P1 在補償掃描線 CSL 上傳輸的速度將快於掃描線訊號 S1 在掃描線 SL 上的傳輸速度。如此一來，通道開啟的補償電晶體 Q1 可提供一放電路徑使薄膜電晶體 Q2 閘極的電壓準位提早轉為低電壓準位，以幫助薄膜電晶體 Q2 提早完成關閉的動作，避免掃描線 SL 末端所對應的顯示畫面出現失真的情形。

圖 4 繪示為本發明一實施例之利用 HSPICE 模擬使用掃描線補償電路的掃描線的波形圖。請參照圖 4，實線部份為使用本發明實施例之掃描線補償電路的掃描線電壓波形，虛線部份則為使用傳統掃描線電路的掃描線電壓波

形。由圖 4 可看出使用掃描線補償電路的掃描線電壓波形在較短的時間內從高電壓切換至低電壓，可有效減小掃描線 SL 上的寄生電阻 R1、寄生電容 C2 所造成的延遲效應，改善畫面失真的問題。

值得注意的是，本實施例雖以兩個補償電晶體 Q1 為例進行掃描線補償電路的說明，然實際應用上並不以此為限，使用者可依實際情形需求調整補償電晶體 Q1 的個數(例如在解析度為 1920X1080 的液晶顯示面板上，可於掃描線 SL 與補償掃描線 CSL 間配置 4 個補償電晶體 Q1)，以有效控制耦接至掃描線 SL 的薄膜電晶體 Q2 提早完成關閉通道的動作。

另外，本實施例之關閉訊號 P1 由失能期間轉為致能期間的轉態時間點，也不限定於必須同步於掃描線訊號 S1 由致能期間轉為失能期間的時間點。使用者可依實際情形需求調整關閉訊號 P1 的轉態時間點，以配合關閉薄膜電晶體 Q2 的時間，達到提早完成關閉薄膜電晶體 Q2 通道的目的。舉例來說，可使關閉訊號 P1 與掃描線訊號 S1 的致能期間重疊，在掃描線訊號 S1 致能期間使關閉訊號 P1 也轉態為致能期間；亦或是在掃描線訊號 S1 轉態為失能期間後，間隔一短暫時間再使關閉訊號 P1 轉態為致能期間。

綜上所述，本發明可利用補償單元將畫素單元連接至關閉電壓，以提早完成關閉畫素單元的動作，減低掃描線上寄生電阻、電容所造成的延遲效應，改善在大尺寸或高畫面更新率 (high frame rate) 的液晶顯示面板中，掃描線

末端對應的影像畫面失真的情形。另外，本發明的諸實施例還具有下列功效：

1. 關閉電壓為液晶顯示面板的基板共用電極所提供，不需額外的電壓驅動。
2. 可在較低的成本及製程變動下，達到減低阻容延遲(RC delay)效應的效果。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示為本發明一實施例之液晶顯示面板的示意圖。

圖 2 繪示為本發明一實施例之掃描線補償電路的電路圖。

圖 3 繪示為圖 2 之掃描線補償電路的寄生電阻、寄生電容的示意圖。

圖 4 繪示為本發明一實施例之利用 HSPICE 模擬使用掃描線補償電路的掃描線的波形圖。

【主要元件符號說明】

100：液晶顯示面板

102：補償單元

104：畫素單元

Voff：關閉電壓

CSL：補償掃描線

SL：掃描線

D1：資料線

Q1：補償電晶體

Q2：薄膜電晶體

CLC1：液晶電容

VCOM：共同電壓

P1：關閉訊號

S1：掃描線訊號

C1、C2：寄生電容

R1：寄生電阻

七、申請專利範圍：

1. 一種液晶顯示面板的掃描線補償電路，包括：
一補償掃描線，傳送一關閉訊號；以及
至少一補償單元，耦接至一關閉電壓與該補償掃描線，並透過一掃描線耦接多個畫素單元，該掃描線傳送一掃描訊號至該些畫素單元，並於該掃描訊號的致能期間開啟該些畫素單元，該補償單元接收該關閉訊號，並於該關閉訊號的致能期間將該些畫素單元連接至該關閉電壓，以關閉該些畫素單元。
2. 如申請專利範圍第 1 項所述之掃描線補償電路，其中該掃描訊號轉為致能期間的時間點早於該關閉訊號轉為致能期間的時間點。
3. 如申請專利範圍第 1 項所述之掃描線補償電路，其中該補償單元為一開關。
4. 如申請專利範圍第 3 項所述之掃描線補償電路，其中該開關包括：
一補償電晶體，其閘極耦接該補償掃描線，該補償電晶體之第一汲/源極端耦接至該關閉電壓，該補償電晶體之第二汲/源極端耦接至該掃描線。
5. 如申請專利範圍第 1 項所述之掃描線補償電路，其中各該畫素單元包括：
一薄膜電晶體，其閘極耦接該掃描線，該薄膜電晶體之第一汲/源極端耦接一資料線；以及
一液晶電容，耦接於該薄膜電晶體之第二汲/源極端與

一共同電壓之間。

6. 如申請專利範圍第 1 項所述之掃描線補償電路，其中該補償單元之個數小於該些畫素單元之個數。

7. 如申請專利範圍第 1 項所述之掃描線補償電路，其中該關閉電壓為該液晶顯示面板之基板上的共用電極所提供。

8. 一種液晶顯示面板，包括：

多個掃描線補償電路，各該掃描線補償電路包括：

一補償掃描線，傳送一關閉訊號；以及

至少一補償單元，耦接至一關閉電壓與該補償掃描線，並透過一掃描線耦接多個畫素單元，該掃描線傳送一掃描訊號至該些畫素單元，並於該掃描訊號的致能期間開啟該些畫素單元，該補償單元接收該關閉訊號，並於該關閉訊號的致能期間將該些畫素單元連接至該關閉電壓，以關閉該些畫素單元；以及

多條資料線，分別耦接至對應的畫素單元。

9. 如申請專利範圍第 8 項所述之液晶顯示面板，其中該掃描訊號轉為致能期間的時間點早於該關閉訊號轉為致能期間的時間點。

10. 如申請專利範圍第 8 項所述之液晶顯示面板，其中該補償單元為一開關。

11. 如申請專利範圍第 10 項所述之液晶顯示面板，其中該開關包括：

一補償電晶體，其閘極耦接該補償掃描線，該補償電

晶體之第一汲/源極端耦接至該關閉電壓，該補償電晶體之第二汲/源極端耦接至該掃描線。

12. 如申請專利範圍第 8 項所述之液晶顯示面板，其中各該畫素單元包括：

一薄膜電晶體，其閘極耦接該掃描線，該薄膜電晶體之第一汲/源極端耦接該畫素單元對應的資料線；以及

一液晶電容，耦接於該薄膜電晶體之第二汲/源極端與一共同電壓之間。

13. 如申請專利範圍第 8 項所述之液晶顯示面板，其中該補償單元之個數小於該些畫素單元之個數。

14. 如申請專利範圍第 8 項所述之液晶顯示面板，其中該關閉電壓為該液晶顯示面板之基板上的共用電極所提供。

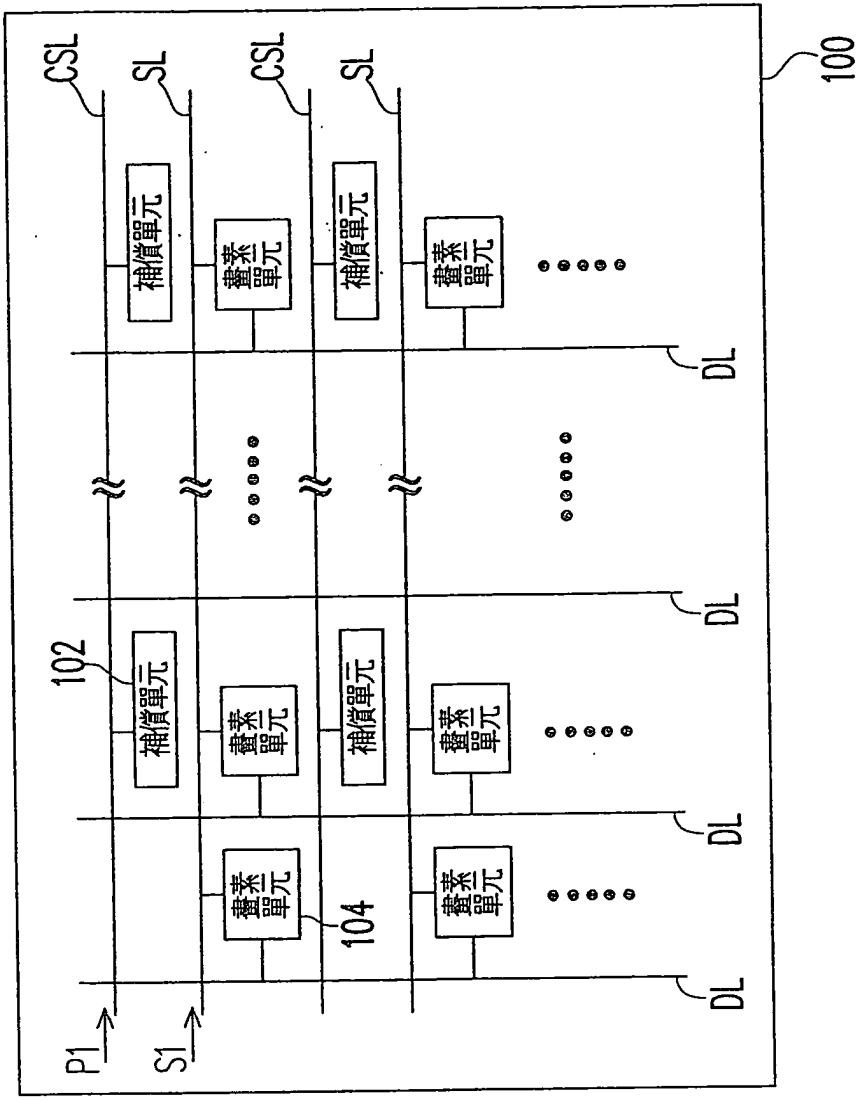


圖 1

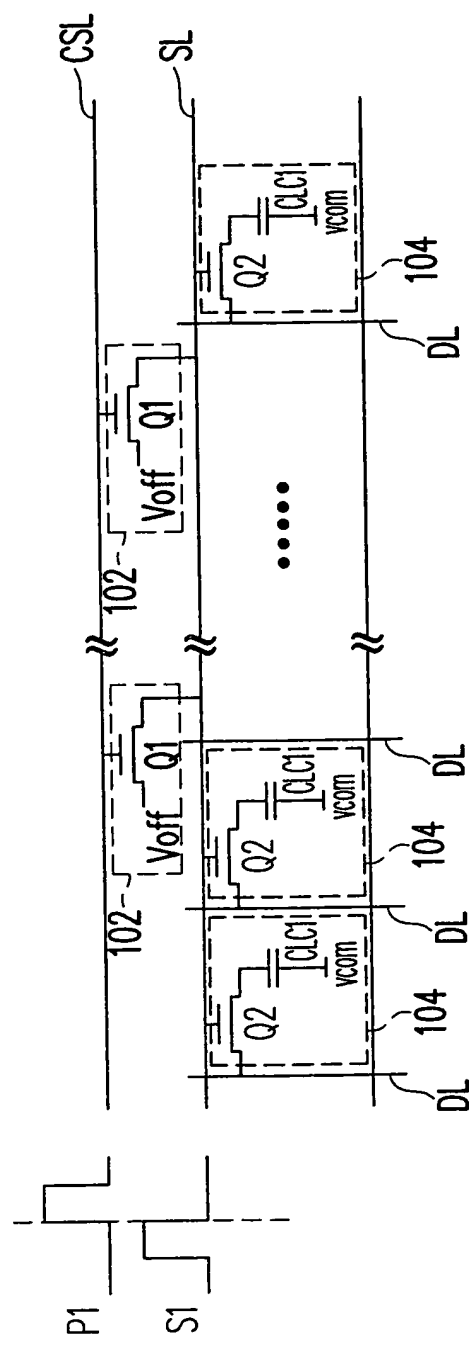


圖 2

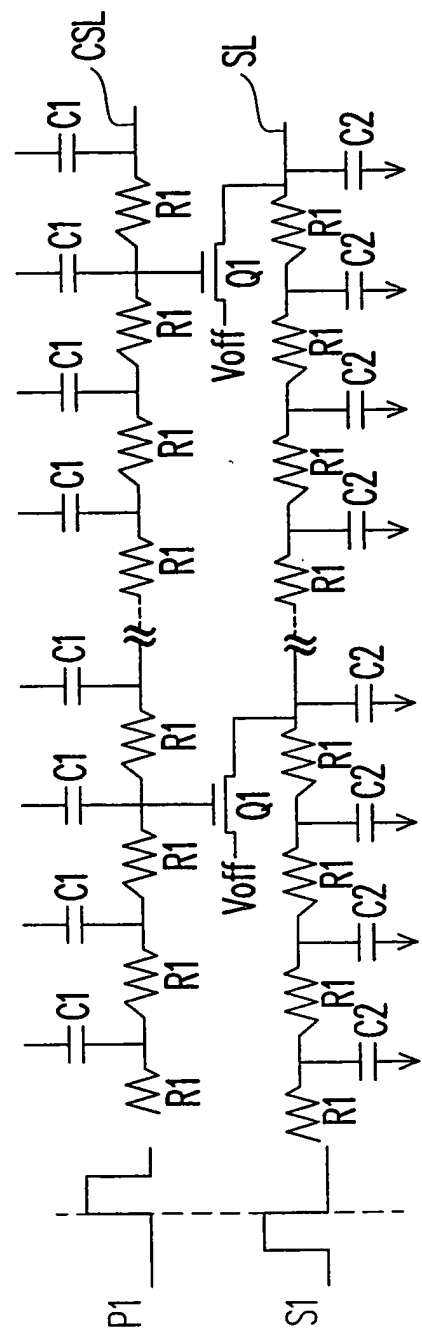


圖 3

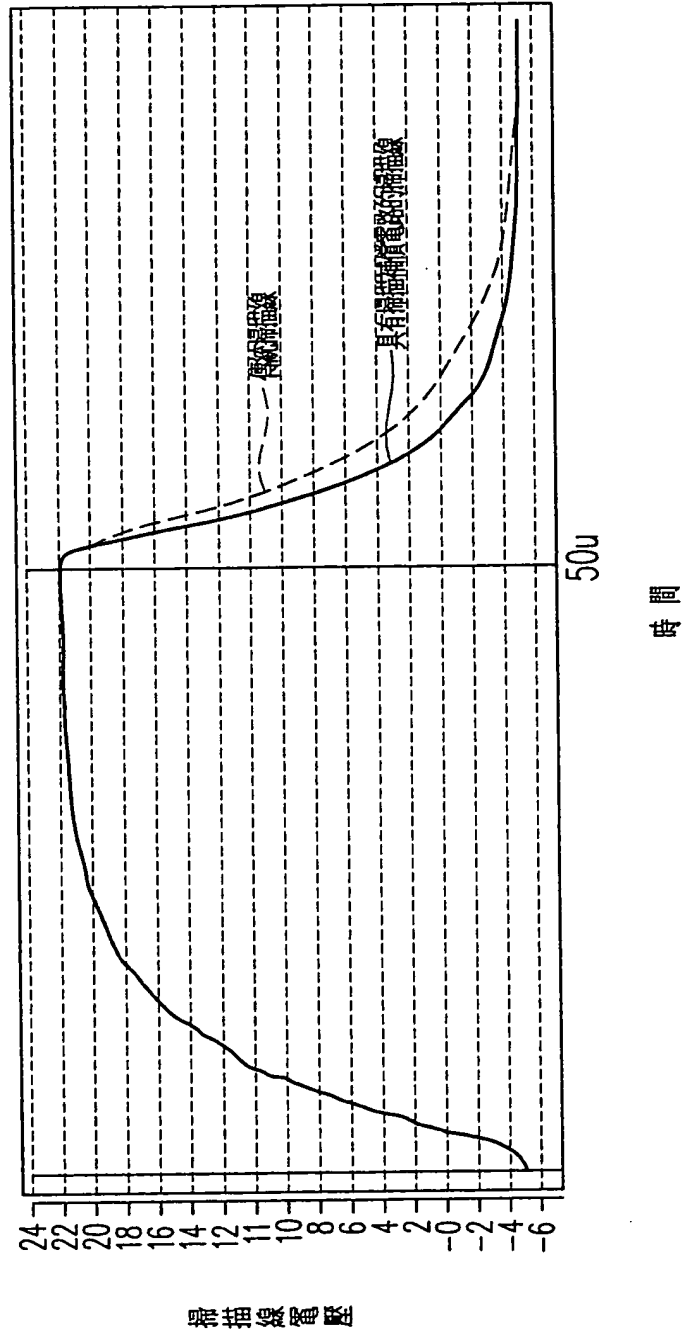


圖 4