



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I406392B1

(45) 公告日：中華民國 102 (2013) 年 08 月 21 日

(21) 申請案號：099116255

(22) 申請日：中華民國 99 (2010) 年 05 月 21 日

(51) Int. Cl. : H01L27/04 (2006.01)

H02H9/00 (2006.01)

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：柯明道 KER, MING DOU (TW)；許哲綸 HSU, CHE LUN (TW)；陳穩義 CHEN, WEN YI (TW)；周業甯 JOU, YEH NING (TW)；黃擘仁 HUANG, YEH JEN (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 200403830A

TW 200516755A

TW 200527645A

審查人員：施元丁

申請專利範圍項數：16 項 圖式數：8 共 0 頁

(54) 名稱

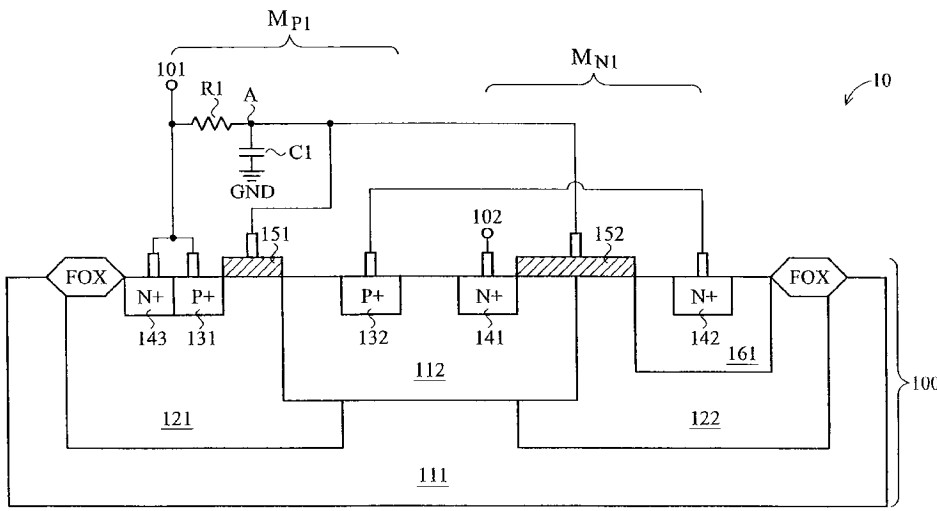
靜電放電防護裝置及靜電放電防護電路

ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT

(57) 摘要

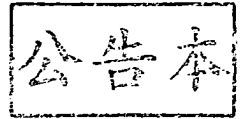
一種靜電放電防護裝置，包括基底、第一井區、第二井區、第一、第二、第三及第四擴散區、本體、第一及第二閘極。基底具有第一導電型。第一及第二井區具有第二導電型，並形成於基底之中。第一擴散區具有第三導電型，並形成於第一井區之中。本體具有第一導電型，並形成於基底、第一及第二井區之中。第二擴散區具有第三導電型，並形成於本體之中。第一閘極控制第一擴散區與本體之電性連接。第三擴散區具有第四導電型，並形成於本體之中。第四擴散區具有第四導電型，並形成於第二井區之中。第二閘極控制第三與第四擴散區之電性連接。

An electrostatic discharge protection device includes a substrate, a first well, a second well, a first doping region, a body, a second doping region, a first gate, a third doping region, a fourth doping region, and a second gate. The substrate has a first conductive type. The first and the second wells have a second conductive type and formed in the substrate. The first doping region has a third conductive type and formed in the first well. The body has the first conductive type and formed in the substrate, the first and the second wells. The second doping region has the third conductive type and formed in the body. The first gate controls an electric connection between the first doping region and the body. The third doping region has a fourth conductive type and formed in the body. The fourth doping region has the fourth conductive type and formed in the second well. The second gate controls an electric connection between the third and the fourth doping regions.



第1A圖

- 10 . . . 靜電放電防護電路
- 100 . . . 靜電放電防護裝置
- 101、102 . . . 電源線
- 111 . . . 基底
- 121、122 . . . 井區
- 112 . . . 本體
- 131、132、
- 141~143 . . . 擴散區
- M_{P1} . . . P型電晶體
- M_{N1} . . . N型電晶體
- R1 . . . 電阻
- C1 . . . 電容



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99116255

※ 申請日： 99. 5. 21

※IPC 分類： H01L 27/04 (2006.01)
H02H 9/00 (2006.01)

一、發明名稱：(中文/英文)

靜電放電防護裝置及靜電放電防護電路

Electrostatic discharge protection device and
electrostatic discharge protection circuit

二、中文發明摘要：

一種靜電放電防護裝置，包括基底、第一井區、第二井區、第一、第二、第三及第四擴散區、本體、第一及第二閘極。基底具有第一導電型。第一及第二井區具有第二導電型，並形成於基底之中。第一擴散區具有第三導電型，並形成於第一井區之中。本體具有第一導電型，並形成於基底、第一及第二井區之中。第二擴散區具有第三導電型，並形成於本體之中。第一閘極控制第一擴散區與本體之電性連接。第三擴散區具有第四導電型，並形成於本體之中。第四擴散區具有第四導電型，並形成於第二井區之中。第二閘極控制第三與第四擴散區之電性連接。

三、英文發明摘要：

An electrostatic discharge protection device includes a substrate, a first well, a second well, a first doping region, a body, a second doping region, a first gate, a third doping

region, a fourth doping region, and a second gate. The substrate has a first conductive type. The first and the second wells have a second conductive type and formed in the substrate. The first doping region has a third conductive type and formed in the first well. The body has the first conductive type and formed in the substrate, the first and the second wells. The second doping region has the third conductive type and formed in the body. The first gate controls an electric connection between the first doping region and the body. The third doping region has a fourth conductive type and formed in the body. The fourth doping region has the fourth conductive type and formed in the second well. The second gate controls an electric connection between the third and the fourth doping regions.

四、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

10：靜電放電防護電路

100：靜電放電防護裝置；

101、102：電源線；

111：基底；

121、122：井區；

112：本體；

131、132、141~143：擴散區；

M_{P1} ：P型電晶體；

M_{N1} ：N型電晶體；

R1：電阻；

C1：電容。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種靜電放電防護裝置，特別是有關於一種可防止閃鎖(latch up)發生的靜電放電(electrostatic discharge; ESD)防護裝置。

【先前技術】

靜電放電(Electrostatic Discharge)所造成之元件損害對積體電路產品來說已經成為最主要的可靠度問題之一。尤其是隨著尺寸不斷地縮小至深次微米之程度，金氧半導體之閘極氧化層也越來越薄，積體電路更容易因靜電放電現象而遭受破壞。為了避免靜電放電現象破壞積體電路，一般的解決方式係設置一靜電放電防護裝置於積體電路之中。

【發明內容】

本發明提供一種靜電放電防護裝置，包括一基底、一第一井區、一第二井區、一第一擴散區、一第一本體、一第二擴散區、一第一閘極、一第三擴散區、一第四擴散區以及一第二閘極。基底具有一第一導電型。第一及第二井區具有一第二導電型，並形成於基底之中。第一擴散區具有一第三導電型，並形成於第一井區之中。第一本體具有第一導電型，並形成於基底、第一及第二井區之中。第二擴散區具有第三導電型，並形成於第一本體之中。第一閘極控制第一擴散區與第一本體之電性連接。第一、第二擴散區及第一閘極構成一第一電晶體。第三擴散區具有一第四導電型，並形成於第一本體之中。第四擴散區具有第四

導電型，並形成於第二井區之中。第二閘極控制第三與第四擴散區之電性連接。第三、第四擴散區及第二閘極構成一第二電晶體。

為讓本發明之特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第 1A 圖為本發明之靜電放電防護電路之部分結構示意圖。如圖所示，靜電放電防護電路 10 包括，電阻 R1、電容 C1 以及靜電放電防護裝置 100。由於本發明之特徵並非在於電阻 R1 及電容 C1 的結構，故第 1A 圖僅顯示電阻 R1 及電容 C1 的等效示意圖。

如圖所示，靜電放電防護裝置 100 包括，基底 (substrate)111、井區 (well)121、122、本體 (body)112、擴散區 (doping region)131、132、141、142、閘極 151、152。

基底 111 具有一第一導電型。井區 121 及 122 均具有一第二導電型，並分別形成於基底 111 之中。在本實施例中，基底 111 隔離井區 121 及 122。擴散區 131 具有一第三導電型，並形成於井區 121 之中。本體 112 具有第一導電型，並形成於基底 111、井區 121 及 122 之中。擴散區 132 具有第三導電型，並形成於本體 112 之中。閘極 151 控制擴散區 131 與本體 112 之電性連接。

擴散區 141 具有第四導電型，並形成於本體 112 之中。擴散區 142 具有第四導電型，並形成於井區 122 之中。閘極 152 控制擴散區 141 與 142 之電性連接。

在本實施例中，第一及第三導電型係為 P 型，第二及

第四導電型係為 N 型。因此，擴散區 131、132 及閘極 151 可構成 P 型電晶體 M_{P1} 。擴散區 131 作為 P 型電晶體 M_{P1} 的源極，擴散區 132 作為 P 型電晶體 M_{P1} 的汲極。

另外，擴散區 141、142 及閘極 152 可構成 N 型電晶體 M_{N1} 。擴散區 141 作為 N 型電晶體 M_{N1} 的源極。擴散區 142 作為 N 型電晶體 M_{N1} 的汲極。在本實施例中，擴散區 131、井區 121、本體 112 以及擴散區 141 可構成一矽控整流器 (silicon controlled rectifier; SCR)。

另外，靜電放電防護裝置 100 更包括，N 型汲極漂移區 (N-type drain drift; NDD) 161 以及擴散區 143。由於擴散區 142 的雜質濃度大於井區 122 的雜質濃度，故利用 N 型汲極漂移區 161 包圍擴散區 142，作為一緩衝區。擴散區 143 具有第四導電型(如 N 型)，用以作為井區 121 的電性接觸點。

在本實施例中，擴散區 131 及 143 耦接到電源線 101。擴散區 141 耦接到電源線 102。擴散區 132 耦接擴散區 142。閘極 151 耦接閘極 152。電阻 R1 耦接於電源線 101 與閘極 151 之間。電容 C1 耦接於閘極 151 與電源線 102 之間。

第 1B 圖為第 1A 圖之等效電路圖。在靜電放電模式下 (電源線 101 接收靜電放電電壓 V_{ESD} ，電源線 102 接收接地電壓 GND)，節點 A 具有低位準。因此，導通 P 型電晶體 M_{P1} ，用以觸發矽控整流器 SCR1，使得 ESD 電流由電源線 101，經過矽控整流器 SCR1，而被釋放至地。

在正常操作模式下，電源線 101 接收高電壓(如操作電

壓 V_{CC})，電源線 102 接收低電壓(如接地電壓 GND)。操作電壓 V_{CC} 大於接地電壓 GND。由於電阻 R1 及電容 C1 所造成的延遲(RC delay)，將使得節點 A 具有高位準。因此，不觸發矽控整流器 SCR1。然而，當矽控整流器 SCR1 因雜訊或其它因素而被觸發(導通)時，由於 N 型電晶體 M_{N1} 為導通狀態，故可協助關閉矽控整流器 SCR1。

舉例而言，當第 1A 圖所示的基底 111 的位準因外界因素(如雜訊)而被改變時，可能降低矽控整流器 SCR1 的崩潰電壓(breakdown voltage)，使得矽控整流器 SCR1 不正常導通，進而發生閃鎖(latch-up)現象。

由於閃鎖現象會造成電源線 101 與 102 之間的短路，因此，在正常操作模式下，當矽控整流器 SCR1 不正常被導通時，N 型電晶體 M_{N1} 協助關閉矽控整流器 SCR1。在本實施例中，N 型電晶體 M_{N1} 擷取矽控整流器 SCR1 的部分導通電流，用以降低矽控整流器 SCR1 的導通電流，因此，便可將矽控整流器 SCR1 由導通狀態切換至不導通狀態。

第 2A 圖為本發明之靜電放電防護電路之另一示意圖。第 2A 圖相似第 1A 圖，不同之處在於，第 2A 圖的靜電放電防護裝置 200 多了擴散區 133、134、144 以及閘極 153。

擴散區 133 的導電型為 P 型，並形成於井區 123 之中。本體 113 的導電型為 P 型，並形成於井區 123 之中。擴散區 134 的導電型為 P 型，並形成於本體 113 之中。閘極 153 控制擴散區 133 與本體 113 之電性連接。擴散區 144 的導電型為 N 型，並形成於本體 113 之中。

擴散區 133、134 及閘極 153 構成 P 型電晶體 M_{P2} 。擴散區 133 係作為 P 型電晶體 M_{P2} 的源極。擴散區 134 係作為 P 型電晶體 M_{P2} 的汲極。在本實施例中，擴散區 133、井區 123、本體 113 以及擴散區 144 構成一矽控整流器。另外，擴散區 131、井區 124、本體 112 以及擴散區 141 可構成另一矽控整流器。

靜電放電防護裝置 200 更包括擴散區 135、136 及 145。擴散區 135 的導電型為 P 型，並形成於本體 113 之中，可作為本體 113 的接觸點。擴散區 136 的導電型亦為 P 型，並形成於基底 111 之中。擴散區 145 的導電型為 N 型，用以定義井區 123 的電位。

在本實施例中，擴散區 133 及 145 耦接電源線 201。擴散區 134 耦接擴散區 135 及 142。擴散區 144 耦接擴散區 131 及 143。擴散區 141 耦接電源線 202。閘極 151~153 耦接在一起。電阻 R2 耦接於電源線 201 與閘極 151 之間。電容 C2 耦接於閘極 151 與電源線 202 之間。

第 2B 圖為第 2A 圖之等效電路圖。在靜電放電模式下(電源線 201 接收靜電放電電壓 V_{ESD} ，電源線 202 接收接地電壓 GND)，節點 A 具有低位準。因此，導通 P 型電晶體 M_{P1} 及 M_{P2} ，用以觸發矽控整流器 SCR1 及 SCR2，使得 ESD 電流由電源線 201，經過矽控整流器 SCR1 及 SCR2，而被釋放至地。

在正常操作模式下，電源線 201 接收高電壓(如操作電壓 V_{CC})，電源線 202 接收低電壓(如接地電壓 GND)。操作電壓 V_{CC} 大於接地電壓 GND。由於電阻 R2 及電容 C2 所造

成的延遲(RC delay)，將使得節點 A 具有高位準。因此，不觸發矽控整流器 SCR1 及 SCR2。然而，當矽控整流器 SCR1 或 SCR2 因雜訊或其它因素而被觸發(導通)時，N 型電晶體 M_{N1} 可協助關閉矽控整流器 SCR1 及 SCR2。

第 3A 圖為本發明之靜電放電防護電路之部分結構示意圖。第 3A 圖與第 1A 圖相似，不同之處在於，第 3A 圖的部分導電型態不同於第 1A 圖的導電型態。

在第 3A 圖中，靜電放電防護裝置 300 包括，基底 311、井區 321、322、本體 312、擴散區 331~333、341~344、閘極 351 及 352。基底 311 具有一第一導電型。井區 321 及 322 均具有一第二導電型，並形成於基底 311 之中。

擴散區 331 具有一第三導電型，並形成於井區 321 之中。本體 312 具有第一導電型，並形成於井區 320、井區 321 及 322 之中。擴散區 332 具有第三導電型，並形成於本體 312 之中。閘極 351 控制擴散區 331 與本體 312 之電性連接。

擴散區 341 具有第四導電型，並形成於本體 312 之中。擴散區 342 具有第四導電型，並形成於井區 322 之中。閘極 352 控制擴散區 341 與 342 之電性連接。

擴散區 343 具有該第四導電型，並形成於井區 321 之中。擴散區 333 具有第三導電型，並形成於本體 312 之中。在本實施例中，第一及第四導電型為 P 型，第二及第三導電型為 N 型。因此，擴散區 343，井區 321、本體 312 及擴散區 333 可構成一矽控整流器。

另外，擴散區 331、332 及閘極 351 可構成 N 型電晶體

M_{N2} 。擴散區 331 係為 N 型電晶體 M_{N2} 的汲極，擴散區 332 係為 N 型電晶體 M_{N1} 的源極。

再者，擴散區 341、342 及閘極 352 構成 P 型電晶體 M_{P3} 。擴散區 341 係作為 P 型電晶體 M_{P3} 的汲極，擴散區 342 係作為 P 型電晶體 M_{P3} 的源極。

在本實施例中，靜電放電防護裝置 300 更包括，N 型汲極漂移區 361、擴散區 334 及 344。由於擴散區 331 的雜質濃度大於井區 321 的雜質濃度，故利用 N 型汲極漂移區 361 包圍擴散區 331，用以作為一緩衝區。擴散區 334 的導電型為 N 型，可作為井區 322 的金屬接觸點。擴散區 344 的導電型為 P 型，可作為本體 312 的接觸點。

在本實施例中，擴散區 331 及 343 耦接到電源線 301。擴散區 341 及 333 耦接到電源線 302。閘極 351 耦接閘極 352。電容 C3 耦接於電源線 301 與閘極 351 之間。電阻 R3 耦接於閘極 351 與電源線 302 之間。擴散區 342、334 及 344 耦接在一起。

第 3B 圖為第 3A 圖之等效電路圖。在靜電放電模式下(電源線 301 接收靜電放電電壓 V_{ESD} ，電源線 302 接收接地電壓 GND)，節點 B 具有高位準。因此，導通 N 型電晶體 M_{N2} ，用以觸發矽控整流器 SCR1，使得 ESD 電流由電源線 301，經過矽控整流器 SCR1，而被釋放至地。

在正常操作模式下，電源線 301 接收高電壓(如操作電壓 V_{CC})，電源線 302 接收低電壓(如接地電壓 GND)。操作電壓 V_{CC} 大於接地電壓 GND。由於電阻 R3 及電容 C3 所造成的延遲(RC delay)，將使得節點 B 具有低位準。因此，不

觸發矽控整流器 SCR1。然而，當矽控整流器 SCR1 因雜訊或其它因素而被觸發(導通)時，P 型電晶體 M_{P3} 可協助關閉矽控整流器 SCR1，以避免發生門鎖現象。

第 4A 圖為本發明之靜電放電防護電路之另一部分結構示意圖。第 4A 圖相似第 3A 圖，不同之處在於，第 4A 圖的靜電放電防護裝置 400 省略第 3A 圖的擴散區 344、333，但多了擴散區 335、336 以及閘極 353。

擴散區 335 的導電型為 N 型，並形成於井區 323 之中。本體 313 的導電型為 P 型，並形成於井區 323 之中。擴散區 336 的導電型為 N 型，並形成於本體 313 之中。閘極 353 控制擴散區 335 與本體 313 之電性連接。

擴散區 335、336 及閘極 353 構成 N 型電晶體 M_{N3} 。擴散區 335 可作為 N 型電晶體 M_{N3} 的汲極，擴散區 336 作為 N 型電晶體 M_{N3} 的源極。

在本實施例中，靜電放電防護裝置 400 更包括 N 型汲極漂移區 362 以及擴散區 345、346。擴散區 345 的導電型為 P 型。擴散區 335 及 345 形成於 N 型汲極漂移區 362 之中。擴散區 346 的導電型為 P 型，可作為本體 313 的金屬接觸點。

擴散區 345、井區 323、本體 313 以及擴散區 336 可構成一矽控整流器。擴散區 343、井區 324、本體 312 以及擴散區 332 構成另一矽控整流器。

在本實施例中，擴散區 335 及 345 耦接電源線 401。擴散區 336 耦接擴散區 343 及 331。擴散區 341 耦接擴散區 342、346。擴散區 332 耦接電源線 402。閘極 351~353 耦

接在一起。電容 C4 耦接於電源線 401 與閘極 351 之間。電阻 R4 耦接於閘極 351 與電源線 402 之間。

第 4B 圖為第 4A 圖之等效電路圖。在靜電放電模式下(電源線 401 接收靜電放電電壓 V_{ESD} ，電源線 402 接收接地電壓 GND)，節點 B 具有高位準。因此，導通 N 型電晶體 M_{N2} 及 M_{N3} ，用以觸發矽控整流器 SCR1 及 SCR2，使得 ESD 電流由電源線 401，經過矽控整流器 SCR1 及 SCR2，而被釋放至地。

在正常操作模式下，電源線 401 接收高電壓(如操作電壓 V_{CC})，電源線 402 接收低電壓(如接地電壓 GND)。操作電壓 V_{CC} 大於接地電壓 GND。由於電阻 R4 及電容 C4 所造成的延遲(RC delay)，將使得節點 B 具有低位準。因此，不觸發矽控整流器 SCR1 及 SCR2。然而，當矽控整流器 SCR1 或 SCR2 因雜訊或其它因素而被觸發(導通)時，P 型電晶體 M_{P3} 可協助關閉矽控整流器 SCR1 及 SCR2。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A、2A、3A 及 4A 圖為本發明之靜電放電防護電路之部分結構示意圖。

第 1B、2B、3B、4B 圖為第 1A、2A、3A 及 4A 圖之等效電路圖。

【主要元件符號說明】

10、20、30、40：靜電放電防護電路

100、200、300、400：靜電放電防護裝置

101、102、201、202、301、302、401、402：電源線；

111、311：基底；

121~125、321~325：井區；

112、113、312、313：本體；

131~136、141~145、331~336、341~346：擴散區；

151~153：閘極；

161、361、362：N型汲極漂移區；

$M_{P1} \sim M_{P3}$ ：P型電晶體；

$M_{N1} \sim M_{N3}$ ：N型電晶體；

R1~R4：電阻；

C1~C4：電容。

七、申請專利範圍：

1. 一種靜電放電防護裝置，包括：

一基底，具有一第一導電型；

一第一井區，具有一第二導電型，並形成於該基底之中；

一第二井區，具有該第二導電型，並形成於該基底之中；

一第一擴散區，具有一第三導電型，並形成於該第一井區之中；

一第一本體，具有該第一導電型，並形成於該基底、該第一及第二井區之中；

一第二擴散區，具有該第三導電型，並形成於該第一本體之中；

一第一閘極，用以控制該第一擴散區與該第一本體之電性連接，其中該第一、第二擴散區及該第一閘極構成一第一電晶體；

一第三擴散區，具有一第四導電型，並形成於該第一本體之中；

一第四擴散區，具有該第四導電型，並形成於該第二井區之中；以及

一第二閘極，用以控制該第三與第四擴散區之電性連接，其中該第三、第四擴散區及該第二閘極構成一第二電晶體。

2. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第一及第三導電型為 P 型，該第二及第四導電型為 N

型。

3.如申請專利範圍第2項所述之靜電放電防護裝置，其中該第一擴散區、該第一井區、該第一本體以及該第三擴散區構成一第一矽控整流器。

4.如申請專利範圍第3項所述之靜電放電防護裝置，更包括：

一第三井區，具有該第二導電型，並形成於該基底之中；

一第五擴散區，具有該第三導電型，並形成於該第三井區之中；

一第二本體，具有該第一導電型，並形成於該第三井區之中；

一第六擴散區，具有該第三導電型，並形成於該第二本體之中；以及

一第三閘極，用以控制該第五擴散區與該第二本體之電性連接，其中該第五、第六擴散區及該第三閘極構成一第三電晶體。

5.如申請專利範圍第4項所述之靜電放電防護裝置，更包括：

一第七擴散區，具有該第四導電型，並形成於該第二本體之中，該第五擴散區、該第三井區、該第二本體以及該第七擴散區構成一第二矽控整流器；以及

一第八擴散區，具有該第三導電型，並形成於該第二本體之中。

6.如申請專利範圍第1項所述之靜電放電防護裝置，其

中該第一及第四導電型為 P 型，該第二及第三導電型為 N 型。

7.如申請專利範圍第 6 項所述之靜電放電防護裝置，更包括：

一 第五擴散區，具有該第四導電型，並形成於該第一井區之中；

一 第六擴散區，具有該第三導電型，並形成於該第一本體之中，該第五擴散區，該第一井區、該第一本體及該第六擴散區構成一第一矽控整流器；

一 第七擴散區，具有該第四導電型，並形成於該第一本體之中；以及

一 第八擴散區，具有該第三導電型，並形成於該第一井區之中。

8.如申請專利範圍第 6 項所述之靜電放電防護裝置，更包括：

一 第五擴散區，具有該第四導電型，並形成於該第一井區之中，該第五擴散區，該第一井區、該第一本體及該第二擴散區構成一第一矽控整流器。

9.如申請專利範圍第 8 項所述之靜電放電防護裝置，更包括：

一 第三井區，具有該第二導電型，並形成於該基底之中；

一 第六擴散區，具有該第三導電型，並形成於該第三井區之中；

一 第二本體，具有該第一導電型，並形成於該第三井

區之中；

一第七擴散區，具有該第三導電型，並形成於該第二本體之中；以及

一第三閘極，用以控制該第六擴散區與該第二本體之電性連接，其中該第六、第七擴散區及該第三閘極構成一第三電晶體。

10.如申請專利範圍第9項所述之靜電放電防護裝置，更包括：

一第八擴散區，具有該第四導電型，並形成於該第三井區之中，該第八擴散區、該第三井區、該第二本體以及該第七擴散區構成一第二矽控整流器。

11.一種靜電放電防護電路，包括：

一如申請專利範圍第3項所述之靜電放電防護裝置，其中該第一擴散區耦接到一第一電源線，該第三擴散區耦接到一第二電源線，該第二擴散區耦接該第四擴散區，該第一閘極耦接該第二閘極；

一電阻，耦接於該第一電源線與該第一閘極之間；以及

一電容，耦接於該第一閘極與該第二電源線之間。

12.一種靜電放電防護電路，包括：

一如申請專利範圍第5項所述之靜電放電防護裝置，其中該第五擴散區耦接一第一電源線，該第六擴散區耦接該第四擴散區，該第七擴散區耦接該第一擴散區，該第三擴散區耦接一第二電源線，該第一、第二及第三閘極耦接在一起；

一電阻，耦接於該第一電源線與該第一閘極之間；以及

一電容，耦接於該第一閘極與該第二電源線之間。

13. 一種靜電放電防護電路，包括：

一如申請專利範圍第 7 項所述之靜電放電防護裝置，其中該第一及第五擴散區耦接到一第一電源線，該第三及第六擴散區耦接到一第二電源線，該第一閘極耦接該第二閘極；

一電容，耦接於該第一電源線與該第一閘極之間；以及

一電阻，耦接於該第一閘極與該第二電源線之間。

14. 一種靜電放電防護電路，包括：

一如申請專利範圍第 10 項所述之靜電放電防護裝置，其中該第六及第八擴散區耦接一第一電源線，該第七擴散區耦接該第一及第五擴散區，該第三擴散區耦接該第四擴散區，該第二擴散區耦接一第二電源線，該第一、第二及第三閘極耦接在一起；

一電容，耦接於該第一電源線與該第一閘極之間；以及

一電阻，耦接於該第一閘極與該第二電源線之間。

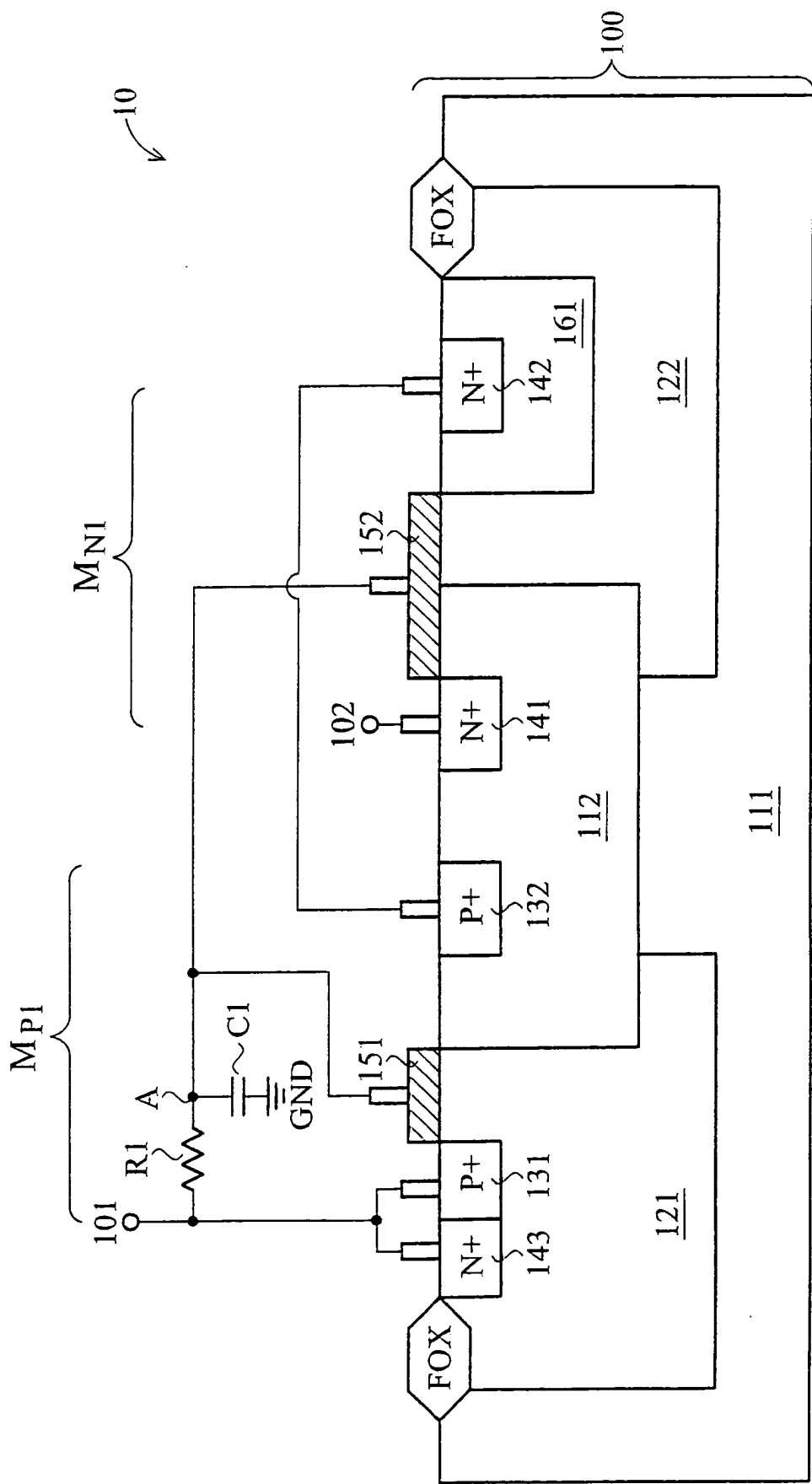
15. 如申請專利範圍第 1 項所述之靜電放電防護裝置，更包括：

一第五擴散區，具有該第四導電型，並形成於該第一井區之中，用以定義該第一井區之電位。

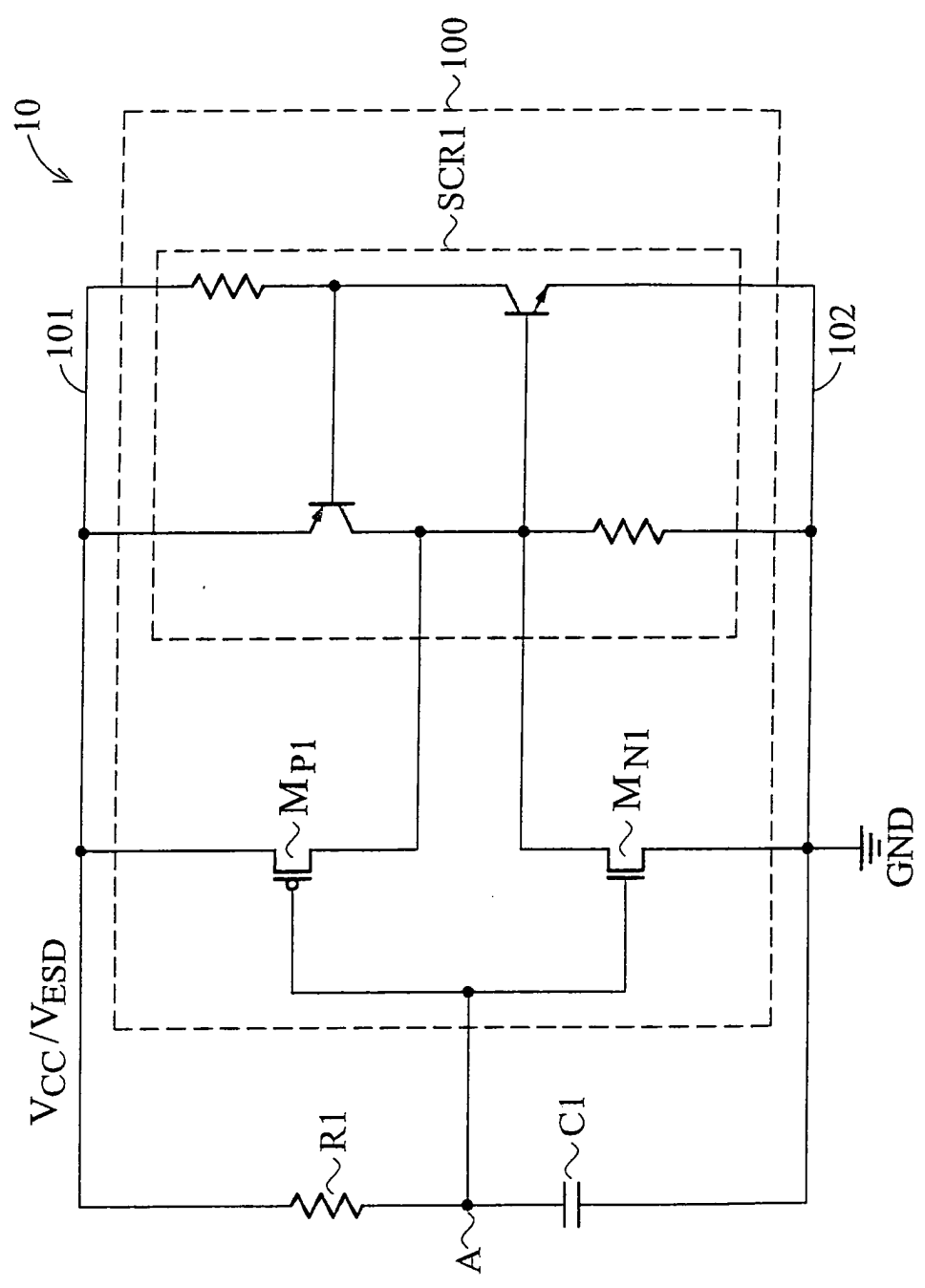
16. 如申請專利範圍第 1 項所述之靜電放電防護裝置，

更包括：

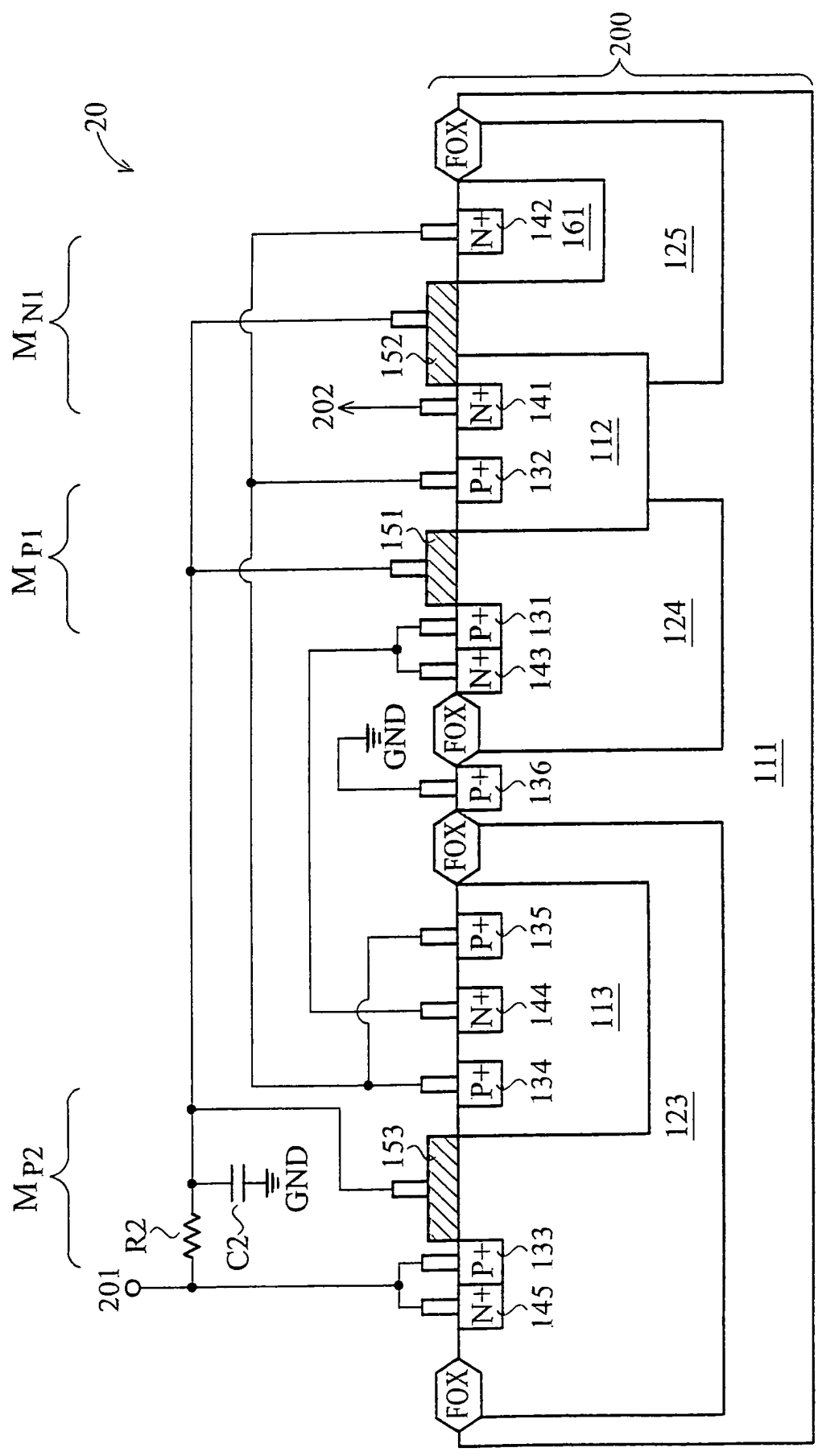
一 第五擴散區，具有該第四導電型，並形成於該第二井區之中，並圍繞該第四擴散區，該第五擴散區的雜質摻雜濃度小於該第四擴散區的雜質摻雜濃度，該第五擴散區的雜質摻雜濃度大於該第二井區的雜質摻雜濃度。



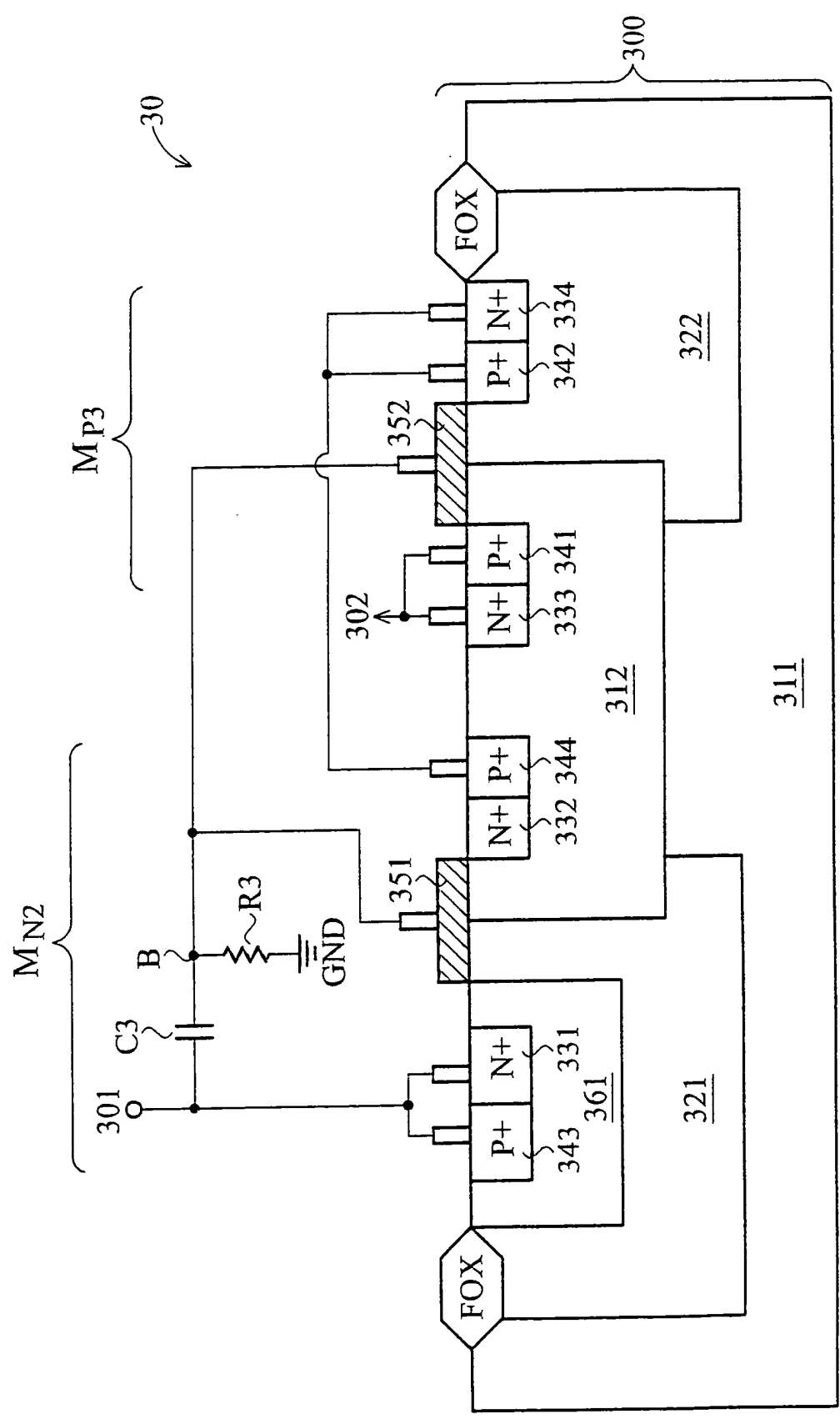
第1A圖



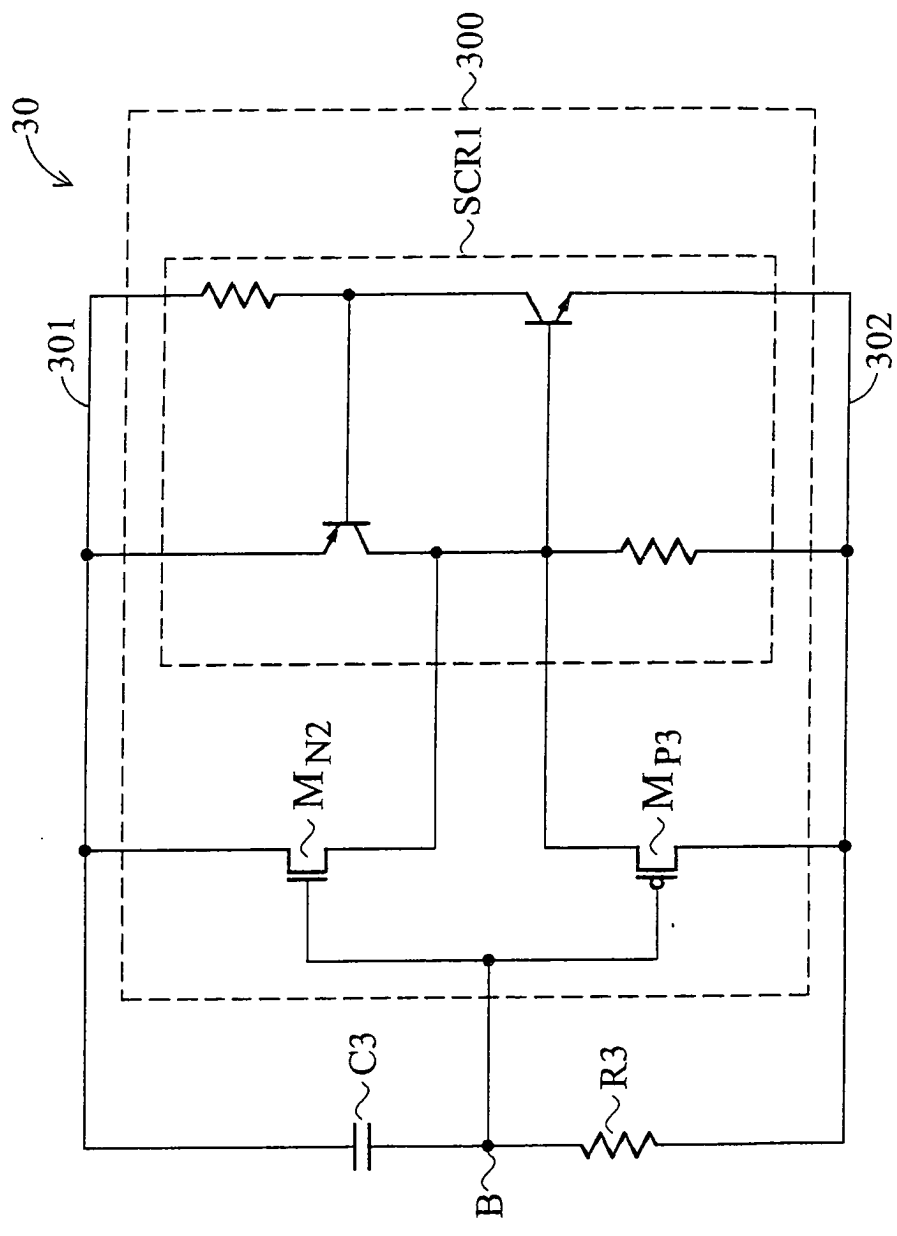
第1B圖



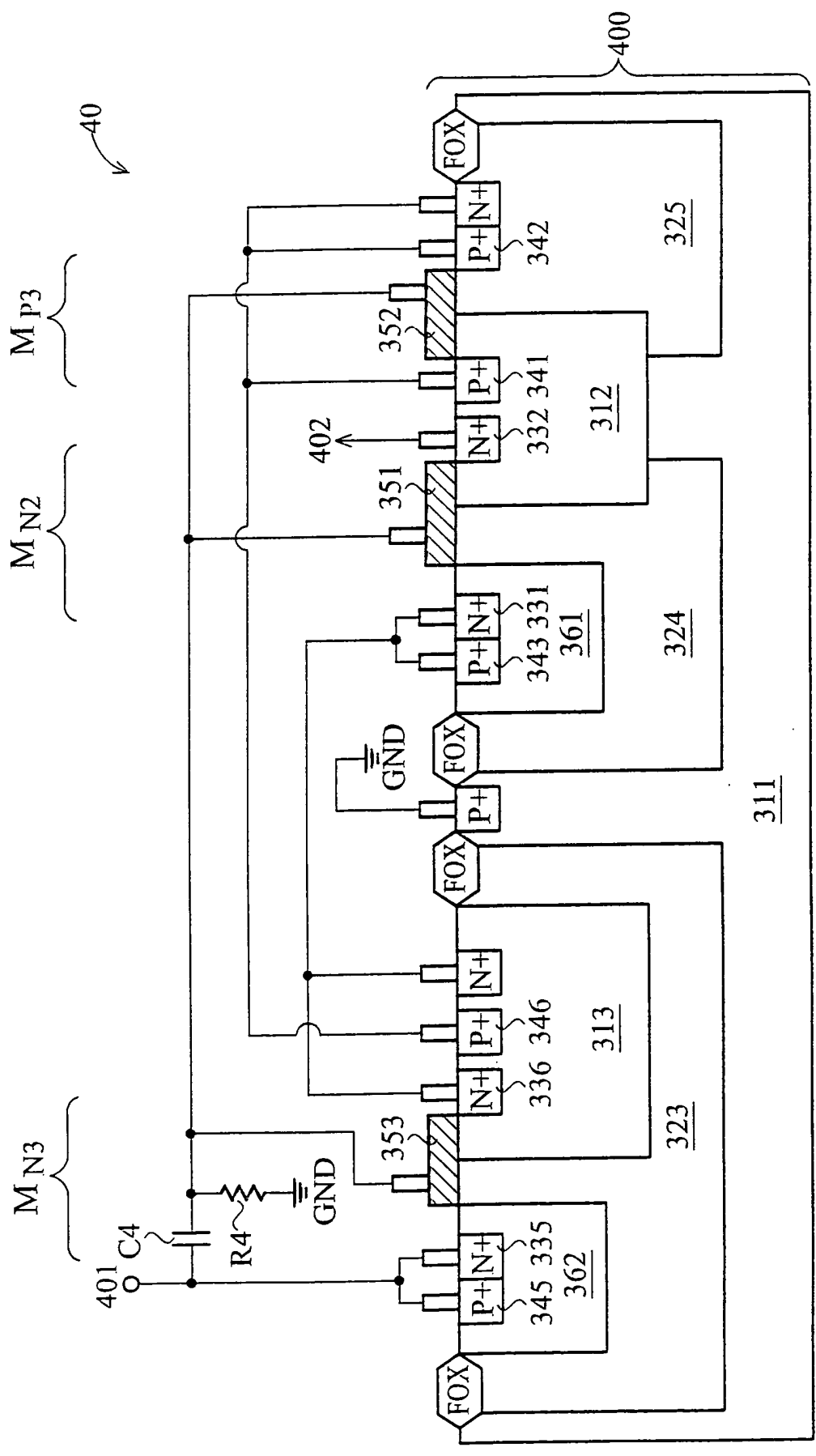
第2A圖



第3A圖



第3B圖



第4A圖

