



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I404209B1

(45) 公告日：中華民國 102 (2013) 年 08 月 01 日

(21) 申請案號：098146534

(22) 申請日：中華民國 98 (2009) 年 12 月 31 日

(51) Int. Cl. : H01L29/778 (2006.01)

H01L21/335 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；郭建億 KUO, CHIENI (TW)；許恆通 HSU, HENGTUNG (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 557567

TW 200423406A

審查人員：周楷智

申請專利範圍項數：20 項 圖式數：7 共 0 頁

(54) 名稱

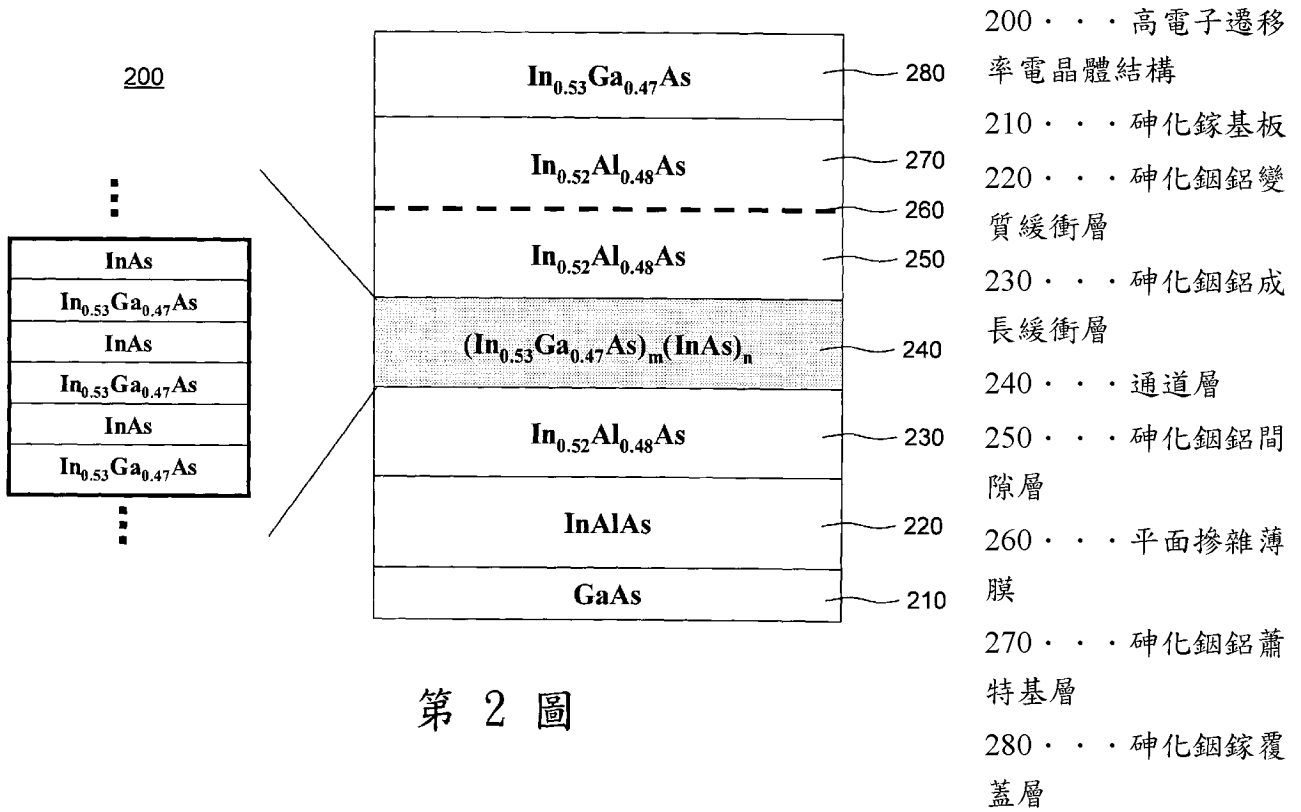
高電子遷移率電晶體及其製作方法

HIGH ELECTRON MOBILITY TRANSISTOR AND METHOD FOR FABRICATING THE SAME

(57) 摘要

一種高電子遷移率電晶體，其包含基板、緩衝層、通道層、間隙層、蕭特基層以及覆蓋層。緩衝層形成於基板上。通道層形成於緩衝層上，且包含超晶格結構，此超晶格結構係由複數層砷化銦鎵薄膜與複數層砷化銦薄膜彼此交替堆疊形成。間隙層形成於通道層上，蕭特基層形成於間隙層上，而覆蓋層則形成於蕭特基層上。此外，一種製作高電子遷移率電晶體之方法亦在此揭露。

A high electron mobility transistor includes a substrate, a buffer layer, a channel layer, a spacer layer, a schottky layer and a cap layer. The buffer layer is formed on the substrate. The channel layer is formed on the buffer layer and includes a superlattice structure which is consisted of InGaAs thin films and InAs thin films alternately stacked with each other. The spacer layer is formed on the channel layer. The schottky layer is formed on the spacer layer. The cap layer is formed on the schottky layer. A method for fabricating a high electron mobility transistor is also disclosed herein.



第 2 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98146534
 ※申請日：98 12 31
 ※IPC 分類：H01L 29/778 (2006.01)
 H01L 21/335 (2006.01)

一、發明名稱：(中文/英文)

高電子遷移率電晶體及其製作方法

HIGH ELECTRON MOBILITY TRANSISTOR AND
 METHOD FOR FABRICATING THE SAME

二、中文發明摘要：

一種高電子遷移率電晶體，其包含基板、緩衝層、通道層、間隙層、蕭特基層以及覆蓋層。緩衝層形成於基板上。通道層形成於緩衝層上，且包含超晶格結構，此超晶格結構係由複數層砷化銦鎵薄膜與複數層砷化銦薄膜彼此交替堆疊形成。間隙層形成於通道層上，蕭特基層形成於間隙層上，而覆蓋層則形成於蕭特基層上。此外，一種製作高電子遷移率電晶體之方法亦在此揭露。

三、英文發明摘要：

A high electron mobility transistor includes a substrate, a buffer layer, a channel layer, a spacer layer, a schottky layer and a cap layer. The buffer layer is formed on the substrate. The channel layer is formed on the buffer layer and includes a superlattice structure which is consisted of InGaAs thin films and InAs thin films alternately stacked with each other. The spacer layer is formed on the channel

layer. The schottky layer is formed on the spacer layer. The cap layer is formed on the schottky layer. A method for fabricating a high electron mobility transistor is also disclosed herein.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200：高電子遷移率電晶體結構

210：砷化鎵基板

220：砷化銦鋁變質緩衝層

230：砷化銦鋁成長緩衝層

240：通道層

250：砷化銦鋁間隙層

260：平面摻雜薄膜

270：砷化銦鋁蕭特基層

280：砷化銦鎵覆蓋層

五、本案若有化學式時，請揭示最能顯示發明特徵的

化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明內容是有關於一種高頻元件，且特別是有關於一種具有超晶格結構之高電子遷移率電晶體。

【先前技術】

對高電子遷移率電晶體 (High Electron Mobility Transistor, HEMT) 此種高頻元件而言，一般在磊晶成長其元件通道(channel)層時，通道具超晶格結構，所使用的材料成分元素通常較為複雜，不易以磊晶的方式成長；相反地，若是採用較為單純的砷化銦鎵材料成分，對變異結構 HEMT 元件，則可能導致其中的銦(In)含量不夠高，而使得元件中電子的有效質量不夠小，且電子遷移率偏低，如此一來其直流特性與高頻特性便無法有較佳的表現。

另一方面，上述元件特性與其閘極線寬有著密切關係，但若是為了改善上述元件特性而於元件上製作奈米級的閘極線寬的話，則必須仰賴電子束微影系統，如此一來則無法提升產量，且會增加製作的成本。

【發明內容】

本發明內容之一目的是在提供一種高電子遷移率電晶體，藉以解決一般此種電晶體中電子遷移率無法提升的問題。

本發明內容之另一目的是在提供一種製作高電子遷移

率電晶體之方法，藉以提升其元件效能。

本發明內容之一技術樣態係關於一種高電子遷移率電晶體，其包含基板、緩衝層、通道層、間隙層、蕭特基層以及覆蓋層。緩衝層形成於基板上。通道層形成於緩衝層上，且包含一超晶格結構，此超晶格結構係由複數層砷化銦鎵薄膜與複數層砷化銦薄膜彼此交替堆疊形成。間隙層形成於通道層上，蕭特基層形成於間隙層上，而覆蓋層則形成於蕭特基層上。

本發明內容之另一技術樣態係關於一種製作高電子遷移率電晶體之方法，其包含：形成一變質緩衝層於一基板上；形成一成長緩衝層於變質緩衝層上；交替堆疊形成複數層砷化銦鎵薄膜和複數層砷化銦薄膜於成長緩衝層上以作為一通道層；形成一間隙層於通道層上；形成一平面摻雜薄膜於間隙層上；形成一蕭特基層於平面摻雜薄膜上；以及形成一覆蓋層於蕭特基層上。

本發明內容之又一技術樣態係關於一種高電子遷移率電晶體，其包含、砷化鎵基板、砷化銦鋁(InAlAs)變質緩衝層、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層、複數層砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和複數層砷化銦(InAs)薄膜、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)蕭特基層以及砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)覆蓋層。砷化銦鋁(InAlAs)變質緩衝層形成於砷化鎵基板上。砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層形成於砷化銦鋁(InAlAs)變質緩衝層上。上述砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)薄膜，彼此交替堆疊形成於砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層上，其中 X 之範圍

為 0.53~0.8，且交替堆疊之砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)薄膜之總厚度約為 14~16 奈米。砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層形成於交替堆疊之砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)薄膜上。砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)蕭特基層形成於砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層上。砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)覆蓋層形成於砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)蕭特基層上。

根據本發明之技術內容，應用前述高電子遷移率電晶體及其製作方法，不僅可改善電晶體的高頻特性(如：高電流截止頻率、低噪音指數等)，更可有助於業界在開發高效能的高電子遷移率電晶體時，擺脫必須以電子束微影系統來製作奈米級閘極的限制，而是可以光學微影步進機來進行閘極之定義，藉以提高生產率。

【實施方式】

需瞭解下列說明為提供不同的實施例，藉以實施本發明的不同特徵。下列描述元件及配置的特定實施例係用以簡化本發明說明，其當然僅為例示說明，而非用以限制。

第 1 圖係依照本發明一實施例繪示一種高電子遷移率電晶體(High Electron Mobility Transistor, HEMT)的結構概略示意圖。如圖所示，高電子遷移率電晶體結構 100 包含基板 110、緩衝層 120、通道層 130、間隙層 140、平面摻雜薄膜 150、蕭特基層 160 以及覆蓋層 170。

緩衝層 120 形成於基板 110 上，以作為之後形成通道層 130 的一層過渡層。具體而言，通道層 130 可更包含一

變質 (metamorphic) 緩衝層以及一成長緩衝層 (繪示於第 2 圖)，其中變質緩衝層先成長於基板 110 上，且其材料與基板 110 所使用之材料不同，此時變質緩衝層中可能因此有應力產生，而導致其晶格結構會有差排 (dislocation) 或缺陷 (defect) 的情形發生。接著，待變質緩衝層成長至一定厚度時，成長緩衝層再形成於變質緩衝層上，此時由於成長緩衝層與變質緩衝層使用相同材料，因此其晶格結構較為完整，而較不會有類似差排或缺陷的情形發生，如此一來便可供作為之後形成通道層 130 的基礎。

通道層 130 形成於緩衝層 120 上，且包含一超晶格結構 (superlattice) (繪示於第 2 圖)，其中此超晶格結構係由複數層砷化銦鎵 ($\text{In}_x\text{Ga}_{1-x}\text{As}$) 薄膜與複數層砷化銦 (InAs) 薄膜彼此交替堆疊形成，且 X 之範圍約為 $0.53 \sim 0.8$ 。在一實施例中，上述超晶格結構之厚度約為 $10 \sim 20$ 奈米 (nm)。在一實施例中，上述超晶格結構之厚度約為 $12 \sim 18$ 奈米 (nm)。

間隙層 140 形成於通道層 130 上，藉以在元件運作時將電子侷限於通道層 130 中。平面摻雜 (delta doping) 薄膜 150，其係為一層單原子摻雜平面層，並形成於間隙層 140 上，藉以於元件運作時提供足夠的載子 (或電子) 進入通道層 130 中作用。在一實施例中，平面摻雜薄膜 150 包含摻雜濃度約 $3 \sim 5 \times 10^{12} \text{ cm}^{-3}$ 之矽。

蕭特基層 160 形成於平面摻雜薄膜 150 上，覆蓋層 170 則是形成於蕭特基層 160 上。之後，可於高電子遷移率電晶體結構 100 上製作金屬閘極、汲極和源極，並藉由蕭特基層 160 與閘極作蕭特基接觸，且藉由覆蓋層 170 降低歐

姆接觸(ohmic contact)。在一實施例中，覆蓋層 170 包含摻雜濃度約 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 之矽。

第 2 圖係依照本發明另一實施例繪示一種高電子遷移率電晶體結構的概略示意圖。如圖所示，高電子遷移率電晶體結構 200 包含砷化鎵(GaAs)基板 210、砷化銦鋁(InAlAs)變質緩衝層 220、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層 230、具超晶格結構之通道層 240、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層 250、平面摻雜薄膜 260、砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)蕭特基層 270 以及砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)覆蓋層 280。

首先，砷化銦鋁變質緩衝層 220 形成於砷化鎵基板 210 上。接著，待砷化銦鋁變質緩衝層 220 成長至一定厚度時，再形成砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層 230 於砷化銦鋁變質緩衝層 220 上，以供之後順利形成良好的通道層 240。

接著，複數層砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和複數層砷化銦(InAs)薄膜交替堆疊形成於成長緩衝層 230 上，以形成超晶格結構而作為通道層 240，亦即通道層 240 主要是由 $(\text{InAs})_m/(\text{In}_x\text{Ga}_{1-x}\text{As})_n$ 所組成，其中 X 之範圍約為 0.53~0.8，m、n 分別代表砷化銦(InAs)薄膜和砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜的層數。在一實施例中，上述 X 之範圍約為 0.53~0.6。在另一實施例中，上述 X 之範圍約為 0.6~0.7。在又一實施例中，上述 X 之範圍約為 0.7~0.8。

由於磊晶層的厚度在小於一定值(critical thickness)時，可以減少磊晶時所產生的缺陷(defect)與差排(dislocation)，因此以上述超晶格結構形成通道層，可減少通道層中之原子所造成的無序散射(disorder scattering)情

形，並獲得高品質的元件通道層，而有效提升元件特性。

另一方面，由元件的特性來作考量，上述通道層 240 的厚度會影響到電性特性，因此在元件具有小線寬閘極的情形下，通道寬長比(channel aspect ratio, W/L) (即閘極線寬除以蕭特基層厚度與通道厚度之總和)便需要考量，然而此值一般要大於 1 以上，以避免短通道效應(short channel effect)導致元件的轉導(transconductance, g_m)及其應用於收發器時 RF 特性發生衰減的問題。在一實施例中，上述交替堆疊之砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)薄膜之總厚度約為 14~16 奈米(nm)；在另一實施例中，交替堆疊之砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)薄膜之總厚度約為 15 奈米(nm)。

其次，砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層 250 形成於上述交替堆疊之砷化銦鎵薄膜和砷化銦薄膜(即通道層 240)上，然後平面摻雜薄膜 260 再形成於砷化銦鋁間隙層 250 上。在一實施例中，平面摻雜薄膜 260 包含摻雜濃度約 $3 \sim 5 \times 10^{12} \text{ cm}^{-3}$ 之矽(作為 n 型摻雜)。在另一實施例中，平面摻雜薄膜 260 包含摻雜濃度約 $4 \times 10^{12} \text{ cm}^{-3}$ 之矽。

砷化銦鋁蕭特基層 270 形成於平面摻雜薄膜 260 上，而砷化銦鎵覆蓋層 280 則是形成於砷化銦鋁蕭特基層 270 上。同樣地，在高電子遷移率電晶體結構 200 上製作金屬閘極、汲極和源極之後，可藉由砷化銦鋁蕭特基層 270 與閘極作蕭特基接觸，並藉由砷化銦鎵覆蓋層 280 降低歐姆接觸(ohmic contact)，例如：降低與汲極和源極之間的歐姆接觸。在一實施例中，砷化銦鎵覆蓋層 280 包含摻雜濃度

約 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 之矽(作為 n 型摻雜)。

在此值得注意的是，第 1 圖所示之緩衝層 120、通道層 130、間隙層 140、平面摻雜薄膜 150、蕭特基層 160 和覆蓋層 170，以及第 2 圖所示之砷化銦鋁變質緩衝層 220、砷化銦鋁成長緩衝層 230、具超晶格結構之通道層 240、砷化銦鋁間隙層 250、平面摻雜薄膜 260、砷化銦鋁蕭特基層 270 和砷化銦鎵覆蓋層 280，均可以分子束磊晶(Molecular Beam Epitaxy, MBE)成長方式來形成。

此外，以本實施例而言，砷化銦鋁成長緩衝層 230 的厚度約 100 奈米(nm)，交替堆疊之砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和砷化銦(InAs)可重複 10 個週期(亦即 10 層砷化銦鎵薄膜與 10 層砷化銦薄膜交替堆疊)而使得通道層 240 的厚度約為 15 奈米(nm)，砷化銦鋁間隙層 250 的厚度約 3~8 奈米(nm)，砷化銦鋁蕭特基層 270 的厚度約 15~30 奈米(nm)，且砷化銦鎵覆蓋層 280 的厚度約 20~35 奈米(nm)。

下列表一係表示三五族(III-V)半導體以及矽材料的性質比較表。

表一

	Si	GaAs	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	InAs	InSb	單位
能帶	1.12	1.43	0.75	0.356	0.175	eV
電子有效質量	0.19	0.072	0.041	0.027	0.013	
純材料中電子遷移率	1,500	8,500	14,000	30,000	78,000	$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$
濃度 $1 \times 10^{12} \text{ cm}^{-2}$ 的電子遷移率	600	4,600	7,800	20,000	30,000	$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$
電子漂移飽和速度	1.0×10^7	1.2×10^7	8×10^6	3×10^7	5×10^7	cm s^{-1}
電子平均自由路徑	28	80	106	194	226	nm

本質載子濃度	1.6×10^{11}	1.1×10^7	5×10^{11}	1.3×10^{15}	1.9×10^{16}	cm^{-3}
--------	----------------------	-------------------	--------------------	----------------------	----------------------	------------------

由上表可知，本發明實施例中利用砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)薄膜和砷化銦(InAs)薄膜交替堆疊形成通道層，因此相較於先前技術而言，通道層具有較高的銦(In)含量，使得元件中電子的有效質量夠小，電子遷移率提升，連帶使得元件的直流特性與高頻特性有較佳的表現。

此外，由於本發明實施例之超晶格結構中，砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)的晶格常數為 5.83 \AA ，而砷化銦(InAs)的晶格常數為 6.06 \AA ，兩者差異相較於先前技術而言來得小，所以磊晶成長(如：以分子束磊晶方式)起來也比較容易。

相反地，若是採用 $\text{InSb}/\text{InAs}_y\text{P}_{1-y}$ 形成超晶格結構，雖然銻化物 InSb 目前具有最高速的電子遷移率，但其能帶只有 0.18 eV 左右，因此較易發生撞擊離子化(impact ionization)的現象，且由晶格常數表來看這兩種材料的晶格數差異很大，在磊晶成長上不太容易。另外，若是採用 $\text{InGaAs}/\text{AlGaAs}$ 的話，則需要在磊晶成長時多使用一個氣體源(即 Al)。為此，本發明實施例中利用砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)薄膜和砷化銦(InAs)薄膜交替堆疊形成通道層，不僅可有效提升電子遷移率，更使得通道層的結構簡單，方便磊晶成長。

第 3 圖係繪示如第 2 圖所示之高電子遷移率電晶體結構根據運算模擬所得出的電子濃度和能帶示意圖。如圖所示，在砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)薄膜和砷化銦(InAs)重複 10 個週期而使得總厚度約為 15 nm (如圖示 $35 \sim 50 \text{ nm}$)的情形下，電子可因此有效地集中侷限於通道層 240 中，

致使通道層 240 中的電子濃度大大地提升。此外，以上述高電子遷移率電晶體結構所製成之元件，經運算模擬後其板電荷密度(sheet charge density)大約為 $2.35 \times 10^{12}/\text{cm}^2$ 左右。

第 4 圖係繪示以第 2 圖所示之高電子遷移率電晶體結構作成之元件在不同閘極尺寸下的雜訊指數(noise figure, NF)比較圖。如圖所示，在同樣具有第 2 圖所示之超晶格結構通道層的情形下，具有 80 奈米(nm)閘極和 350 奈米(nm)閘極的元件，兩者在操作偏壓 V_{DS} 為 1.0 V 時其操作頻率(2~16 GHz)所相對應的雜訊指數非常近似。如此一來，即便不以電子束微影系統製作閘極線寬(L_g)較小的元件，而改以光學微影步進機(用於 $L_g \leq 0.35 \mu\text{m}$)來進行較大閘極線寬之定義，亦可使元件在不喪失良好高頻特性的前提下，提升元件製作的生產量並減少製作的成本。

第 5 圖係繪示第 2 圖所示之具超晶格通道之高電子遷移率電晶體在不同閘極線寬下與習知採用砷化銦鎵通道之高電子遷移率電晶體的最小雜訊指數的比較圖。如圖所示，在相同頻率 16 GHz 下，閘極線寬為 80 nm 的超晶格通道 HEMT 元件其雜訊指數為 0.75 dB，閘極線寬為 80 nm 的砷化銦鎵($\text{In}_{0.52}\text{Ga}_{0.48}\text{As}$)通道 HEMT 元件其雜訊指數為 0.77 dB，閘極線寬為 350 nm 的超晶格通道 HEMT 元件其雜訊指數為 0.88 dB。由此可知，採用本發明實施例的超晶格通道層所製作而成的 HEMT 元件，即使其閘極線寬為 350 nm，仍然具有優異的電性特性。

第 6 圖係繪示以第 2 圖所示之高電子遷移率電晶體結

構作成之元件在不同 V_{gs} 電壓下所對應的汲極電流和轉導的示意圖。如圖所示，具有 80 奈米(nm)閘極線寬($L_g = 80$ nm)的高電子遷移率電晶體，在汲極電壓為 1.2V ($V_d = 1.2$ V)操作時具有汲極飽和電流密度 392 mA/mm，並具有最大轉導 991 mS/mm。由此可見，元件的直流特性已獲得改善。

第 7 圖係繪示以第 2 圖所示之高電子遷移率電晶體結構作成之元件具有 80 奈米(nm)閘極線寬且在移除寄生效應(parasitic effect)後之高頻(RF)特性的示意圖。如圖所示，在偏壓 1.2V 的情形下，電流增益截止頻率(f_T)約為 304 GHz，而最大振盪頻率(f_{max})約為 162 GHz。

由上述元件所量測得到的直流特性與高頻特性結果可知，以第 2 圖所示之高電子遷移率電晶體結構作成之元件不僅可應用於如低電壓之低雜訊單石微波積體電路(low-noise amplifier monolithic microwave integrated circuits, LNA MMIC)，而且更可以擺脫以往利用電子束微影定義奈米閘極尺寸而限制產量的問題。

由上述本發明之實施例可知，應用前述高電子遷移率電晶體及其製作方法，不僅可改善電晶體的高頻特性(如：高電流截止頻率、低噪音指數等)，更可有助於業界在開發高效能的高電子遷移率電晶體時，擺脫必須以電子束微影系統來製作奈米級閘極的限制，而是可以光學微影步進機來進行閘極之定義，藉以提高生產率。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何本領域具通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之

保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係依照本發明一實施例繪示一種高電子遷移率電晶體(High Electron Mobility Transistor, HEMT)的結構概略示意圖。

第 2 圖係依照本發明另一實施例繪示一種高電子遷移率電晶體結構的概略示意圖。

第 3 圖係繪示如第 2 圖所示之高電子遷移率電晶體結構根據運算模擬所得出的電子濃度和能帶示意圖。

第 4 圖係繪示以第 2 圖所示之高電子遷移率電晶體結構作成之元件在不同閘極尺寸下的雜訊指數(noise figure, NF)比較圖。

第 5 圖係繪示第 2 圖所示之具超晶格通道之高電子遷移率電晶體在不同閘極線寬下與習知採用砷化銦鎵通道之高電子遷移率電晶體的最小雜訊指數的比較圖。

第 6 圖係繪示以第 2 圖所示之高電子遷移率電晶體結構作成之元件在不同 V_{gs} 電壓下所對應的汲極電流和轉導的示意圖。

第 7 圖係繪示以第 2 圖所示之高電子遷移率電晶體結構作成之元件具有 80 奈米(nm)閘極線寬且在移除寄生效應(parasitic effect)後之高頻(RF)特性的示意圖。

【主要元件符號說明】

- 100、200：高電子遷移率電晶體結構
- 110：基板
- 120：緩衝層
- 130、240：通道層
- 140：間隙層
- 150：平面摻雜薄膜
- 160：蕭特基層
- 170：覆蓋層
- 210：砷化鎵基板
- 220：砷化銦鋁變質緩衝層
- 230：砷化銦鋁成長緩衝層
- 250：砷化銦鋁間隙層
- 260：平面摻雜薄膜
- 270：砷化銦鋁蕭特基層
- 280：砷化銦鎵覆蓋層

七、申請專利範圍：

1. 一種高電子遷移率電晶體，包含：
 - 一基板；
 - 一緩衝層，形成於該基板上；
 - 一通道層，形成於該緩衝層上，其中該通道層包含一超晶格結構，該超晶格結構係由複數層砷化銦鎵薄膜與複數層砷化銦薄膜彼此交替堆疊形成；
 - 一間隙層，形成於該通道層上；
 - 一蕭特基層，形成於該間隙層上；以及
 - 一覆蓋層，形成於該蕭特基層上。

2. 如請求項 1 所述之高電子遷移率電晶體，其中每一該些砷化銦鎵薄膜之材料為砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)，且 X 之範圍為 0.53~0.8。

3. 如請求項 2 所述之高電子遷移率電晶體，其中該超晶格結構之厚度約為 10~20 奈米。

4. 如請求項 2 所述之高電子遷移率電晶體，其中該緩衝層之材料包含砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)。

5. 如請求項 4 所述之高電子遷移率電晶體，其中該間隙層之材料為砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)。

6. 如請求項 5 所述之高電子遷移率電晶體，更包含：
一平面摻雜薄膜，形成於該間隙層和該蕭特基層之間，並包含摻雜濃度約 $3\sim 5 \times 10^{12} \text{ cm}^{-3}$ 之矽。

7. 如請求項 6 所述之高電子遷移率電晶體，其中該蕭特基層之材料為砷化銦鋁 ($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)。

8. 如請求項 7 所述之高電子遷移率電晶體，其中該覆蓋層之材料為砷化銦鎵 ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)，並包含摻雜濃度約 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 之矽。

9. 如請求項 8 所述之高電子遷移率電晶體，其中該基板之材料為砷化鎵。

10. 一種製作高電子遷移率電晶體之方法，包含：
形成一變質緩衝層於一基板上；
形成一成長緩衝層於該變質緩衝層上；
交替堆疊形成複數層砷化銦鎵薄膜和複數層砷化銦薄膜於該成長緩衝層上以作為一通道層；
形成一間隙層於該通道層上；
形成一平面摻雜薄膜於該間隙層上；
形成一蕭特基層於該平面摻雜薄膜上；以及
形成一覆蓋層於該蕭特基層上。

11. 如請求項 10 所述之方法，其中每一該些砷化銦鎵薄膜之材料為砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)，且 X 之範圍為 0.53 ~ 0.8。

12. 如請求項 11 所述之方法，其中交替堆疊所形成之該些砷化銦鎵薄膜和該些砷化銦薄膜之總厚度約為 12~18 奈米。

13. 如請求項 11 所述之方法，其中該變質緩衝層之材料為砷化銦鋁(InAlAs)，該成長緩衝層之材料為砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)。

14. 如請求項 13 所述之方法，其中該基板之材料為砷化鎵。

15. 如請求項 11 所述之方法，其中該間隙層、該平面摻雜薄膜和該蕭特基層之材料均為砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)，且該平面摻雜薄膜包含摻雜濃度約 $3\sim 5 \times 10^{12} \text{ cm}^{-3}$ 之矽。

16. 如請求項 15 所述之方法，其中該覆蓋層之材料為砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)，並包含摻雜濃度約 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 之矽。

17. 一種高電子遷移率電晶體，包含：

一砷化鎵基板；

一砷化銦鋁(InAlAs)變質緩衝層，形成於該砷化鎵基板上；

一砷化銦鋁(In_{0.52}Al_{0.48}As)成長緩衝層，形成於該砷化銦鋁(InAlAs)變質緩衝層上；

複數層砷化銦鎵(In_xGa_{1-x}As)薄膜和複數層砷化銦(InAs)薄膜，交替堆疊形成於該砷化銦鋁(In_{0.52}Al_{0.48}As)成長緩衝層上，其中 X 之範圍為 0.53~0.8，且交替堆疊之該些砷化銦鎵(In_xGa_{1-x}As)薄膜和該些砷化銦(InAs)薄膜之總厚度約為 14~16 奈米；

一砷化銦鋁(In_{0.52}Al_{0.48}As)間隙層，形成於交替堆疊之該些砷化銦鎵(In_xGa_{1-x}As)薄膜和該些砷化銦(InAs)薄膜上；

一砷化銦鋁(In_{0.52}Al_{0.48}As)蕭特基層，形成於該砷化銦鋁(In_{0.52}Al_{0.48}As)間隙層上；以及

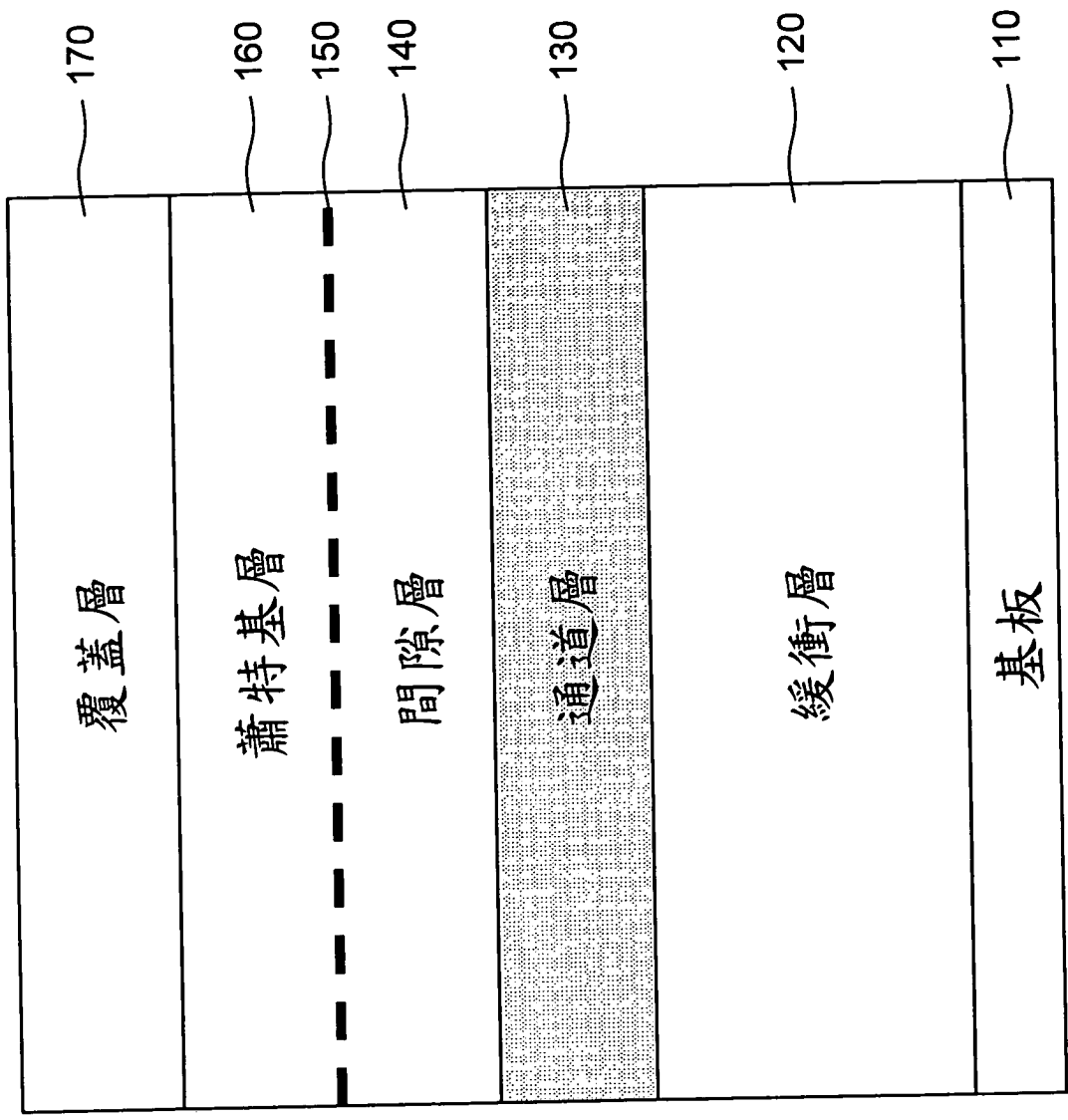
一砷化銦鎵(In_{0.53}Ga_{0.47}As)覆蓋層，形成於該砷化銦鋁(In_{0.52}Al_{0.48}As)蕭特基層上。

18. 如請求項 17 所述之高電子遷移率電晶體，更包含：

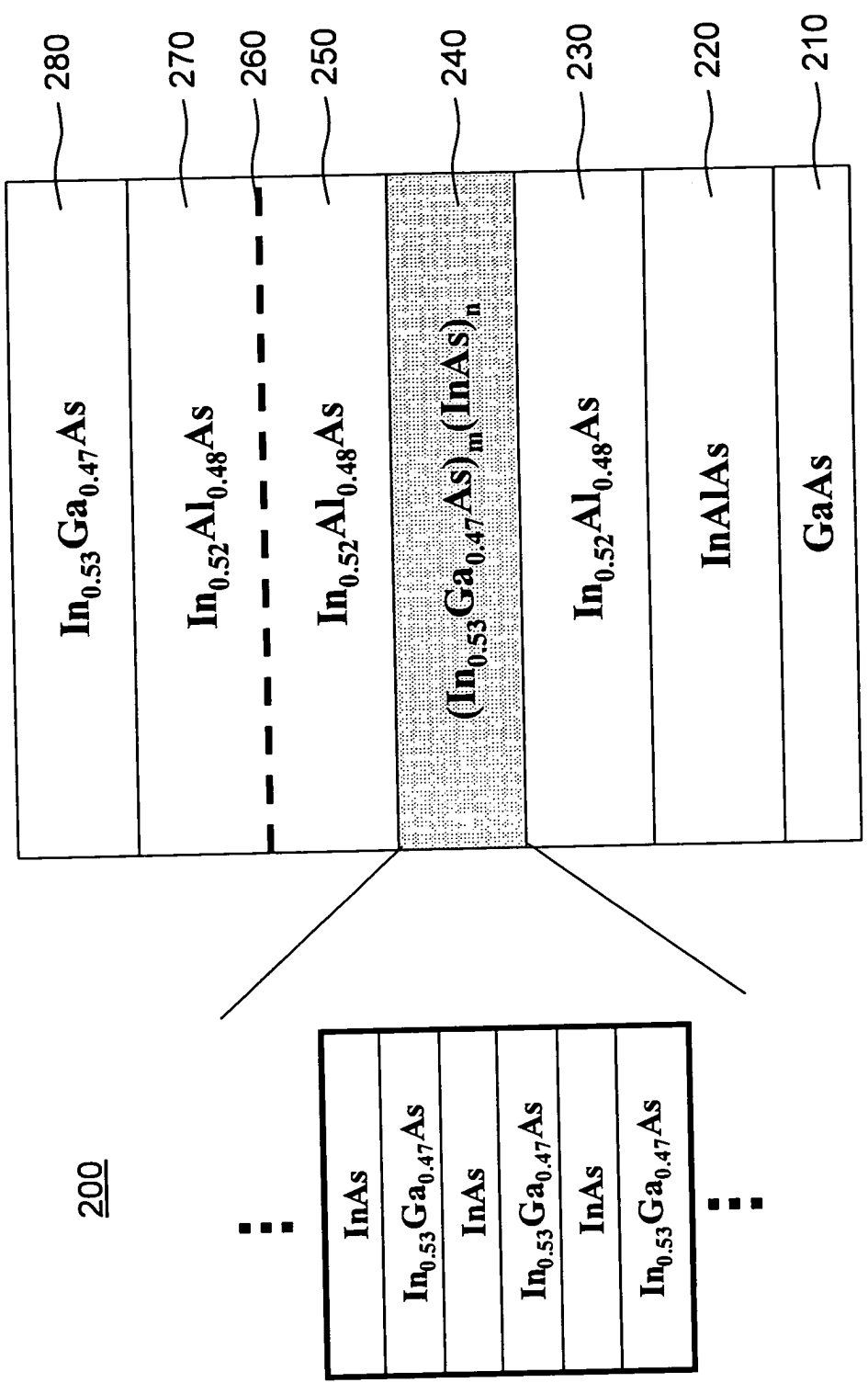
一平面摻雜薄膜，形成於該砷化銦鋁(In_{0.52}Al_{0.48}As)間隙層和該砷化銦鋁(In_{0.52}Al_{0.48}As)蕭特基層之間，並包含摻雜濃度約 $3 \sim 5 \times 10^{12} \text{ cm}^{-3}$ 之矽。

19. 如請求項 17 所述之高電子遷移率電晶體，其中該砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)覆蓋層包含摻雜濃度約 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 之矽。

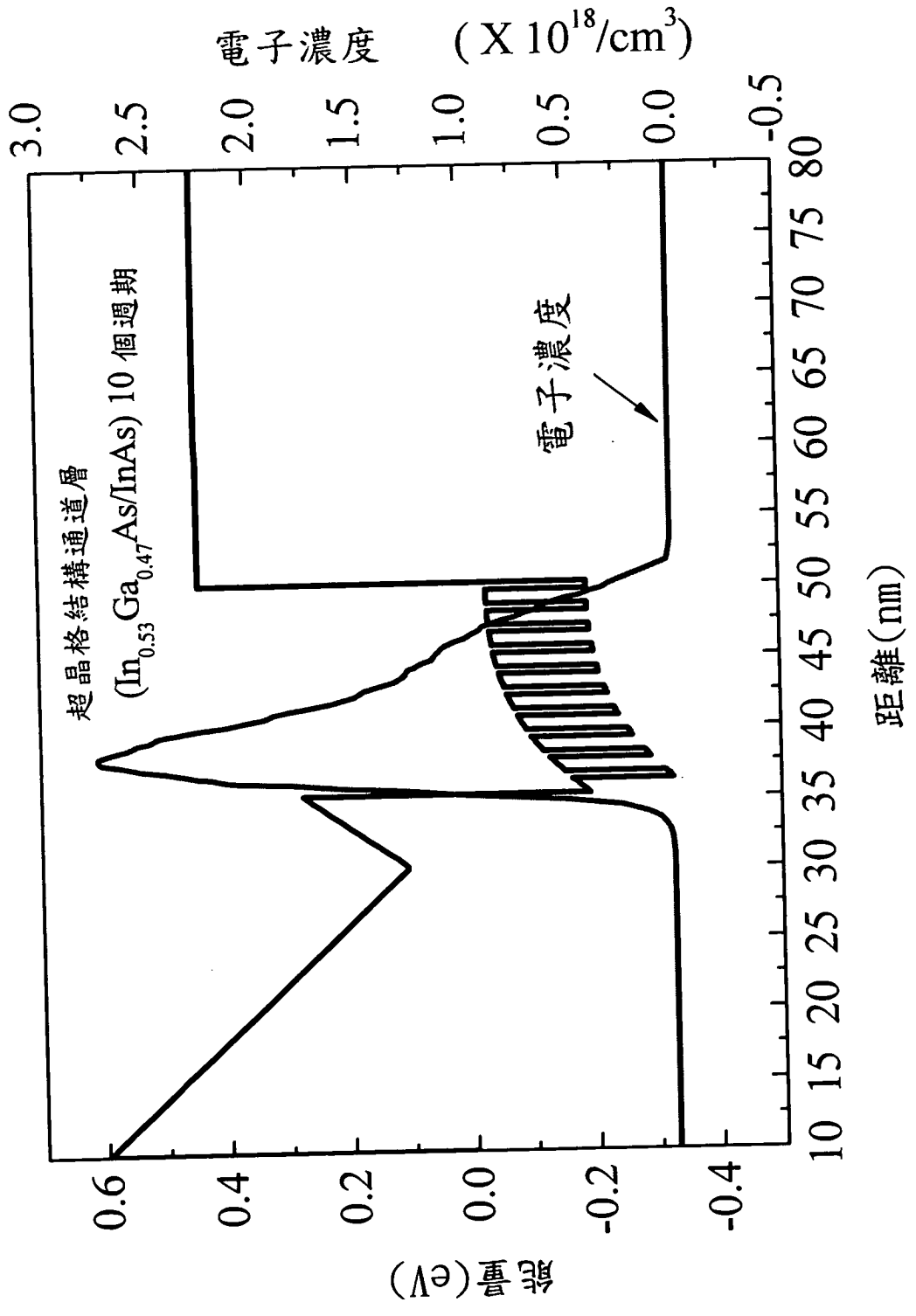
20. 如請求項 17 所述之高電子遷移率電晶體，其中該砷化銦鋁(InAlAs)變質緩衝層、該砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)成長緩衝層、交替堆疊之該些砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)薄膜和該些砷化銦(InAs)薄膜、該砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)間隙層、該砷化銦鋁($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)蕭特基層以及該砷化銦鎵($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)覆蓋層均係以分子束磊晶成長方式形成。



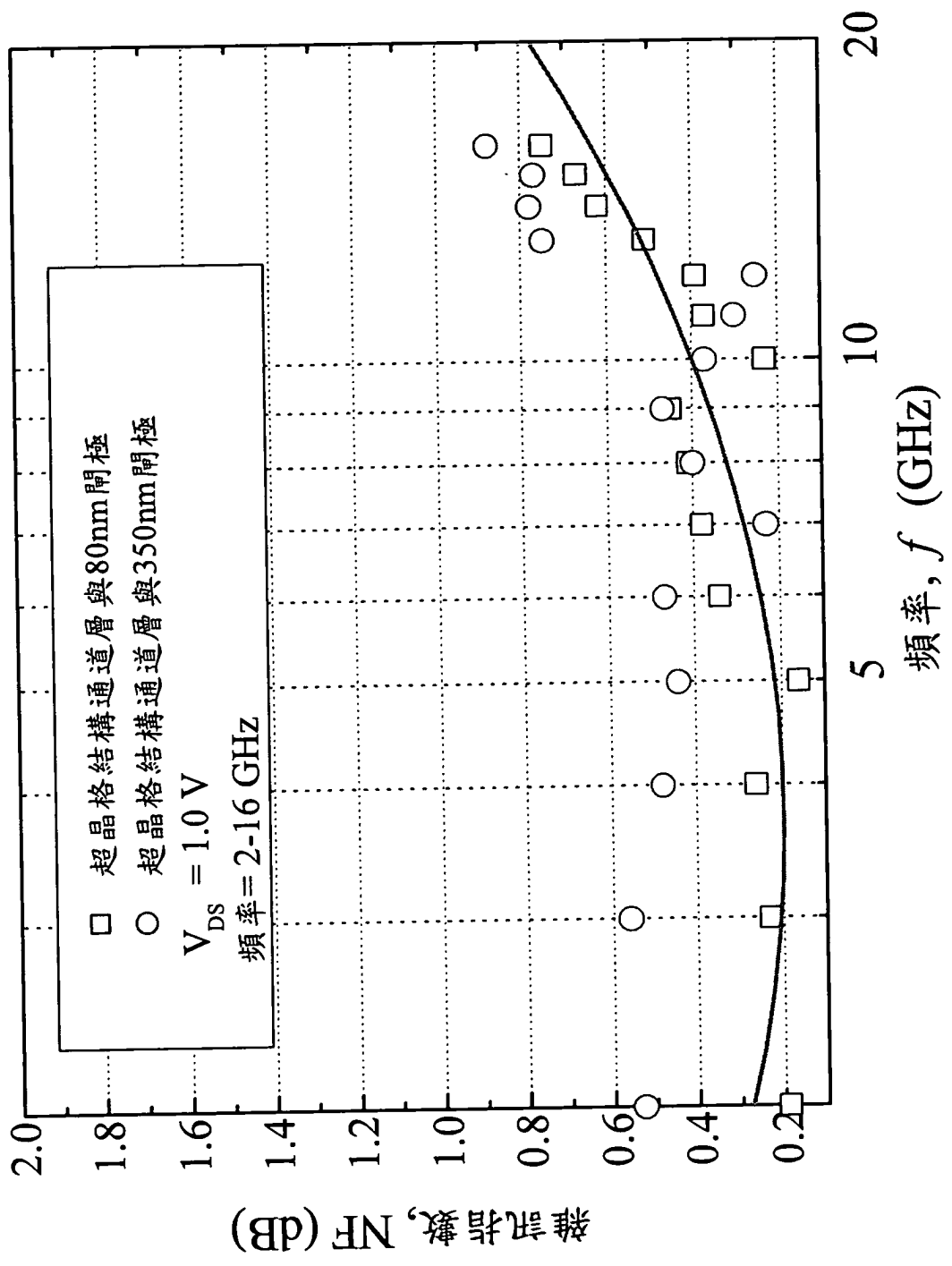
第 1 圖



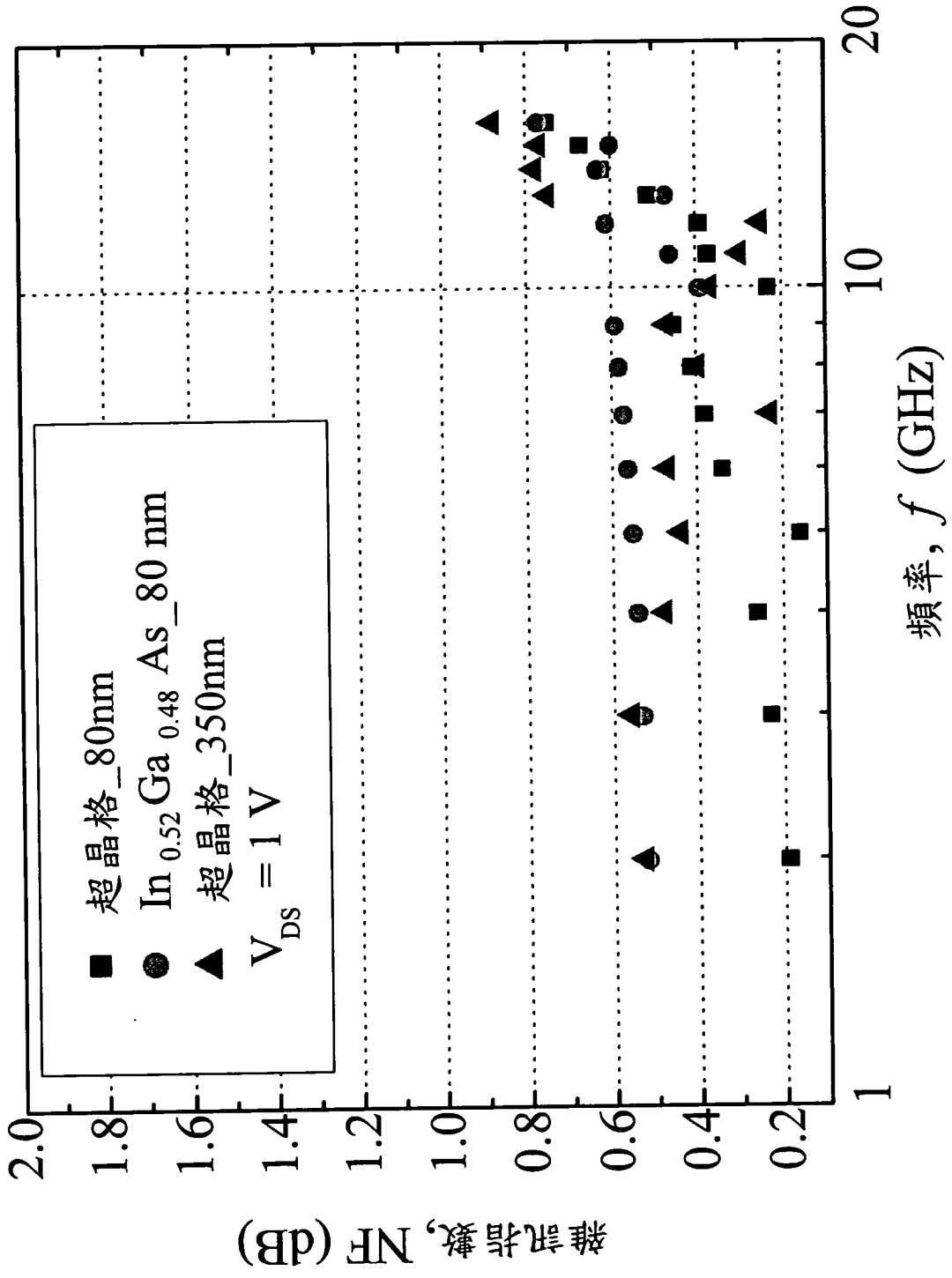
第 2 圖



第 3 圖

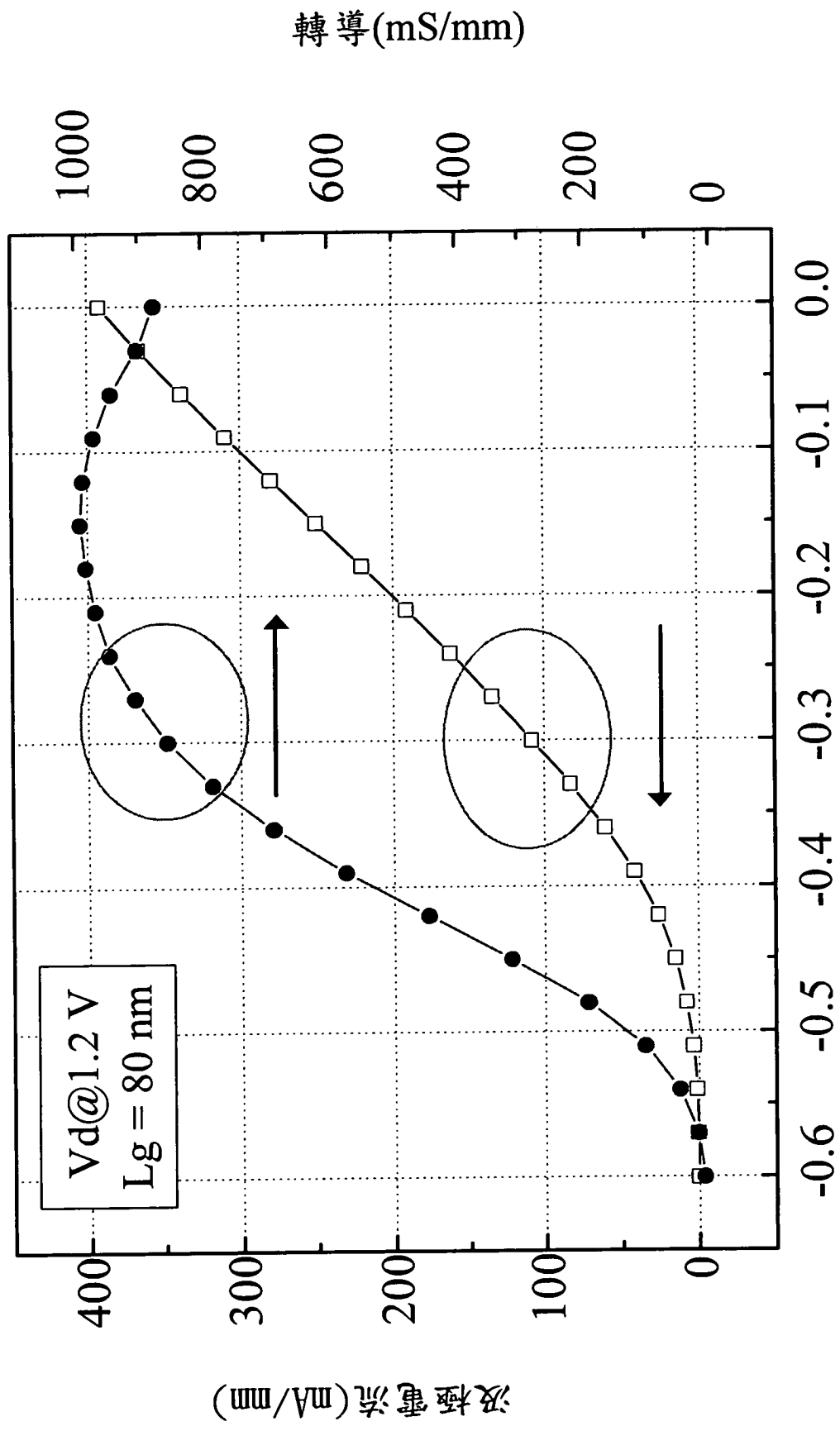


第 4 圖

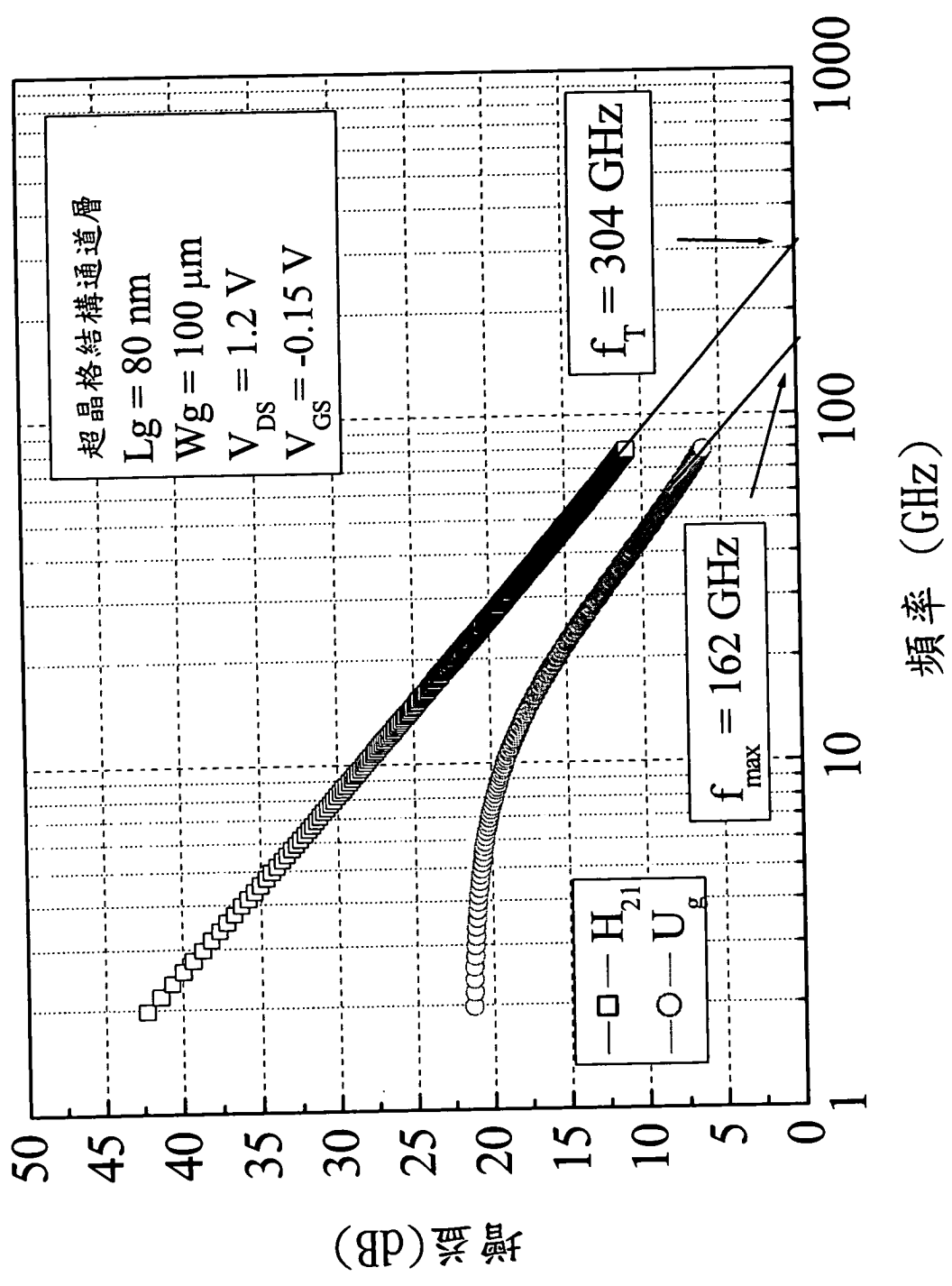


第 5 圖

頻率, f (GHz)



第 6 圖



第 7 圖