



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I401885B1

(45) 公告日：中華民國 102 (2013) 年 07 月 11 日

(21) 申請案號：099140596

(22) 申請日：中華民國 99 (2010) 年 11 月 24 日

(51) Int. Cl. : **H03K19/0185(2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：何盈杰 HO, YING CHIEH (TW)；張家齊 CHANG, CHIA CHI (TW)；蘇朝琴 SU, CHAU CHIN (TW)

(74) 代理人：蘇建太；陳聰浩；蘇清澤

(56) 參考文獻：

US 5729165

Jonggab Kil; Jie Gu; Kim, C.H., "A High-Speed Variation-Tolerant Interconnect Technique for Sub-Threshold Circuits Using Capacitive Boosting," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.16, no.4, pp.456,465, April 2008.

Garcia, J.C.; Montiel-Nelson, J.A.; Nooshabadi, S., "A Single-Capacitor Bootstrapped Power-Efficient CMOS Driver," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.53, no.9, pp.877,881, Sept. 2006.

Garcia, J.C.; Montiel-Nelson, J.A.; Sosa, J.; Navarro, H., "A direct bootstrapped CMOS large capacitive-load driver circuit," Design, Automation and Test in Europe Conference and Exhibition, 2004. Proceedings , vol.1, no., pp.680,681 Vol.1, 16-20 Feb. 2004.

Kiat-Seng Yeo; Jian-Guo Ma; Manh-Anh Do, "Ultra-low-voltage bootstrapped CMOS driver for high performance applications," Electronics Letters , vol.36, no.8, pp.706,708, 13 Apr 2000.

審查人員：陳明德

申請專利範圍項數：10 項 圖式數：7 共 0 頁

(54) 名稱

靴帶式驅動電路

(57) 摘要

本發明係關於一種能利用其所具有之回授機制來抑制反轉電流以提升其資料傳輸速率，並降低其所消耗之功率的靴帶式驅動電路。其包括：一包含一前端輸入端、一第一反相器、一第二反相器、一第一 PMOS 電晶體、一第一 NMOS 電晶體、一第二 PMOS 電晶體、一第二 NMOS 電晶體、一第一電容、一第二電容及一前端輸出端的第一級升降壓電路；以及一包含一後端輸入端及一後端輸出端的後端 CMOS 反相器驅動電路。其中，前端輸出端除了連接至第二 PMOS 電晶體之汲極與第二 NMOS 電晶體之汲極以外，更連接至第一 PMOS 電晶體之閘極與第一 NMOS 電晶體之閘極，以形成一回授機制抑制反轉電流。

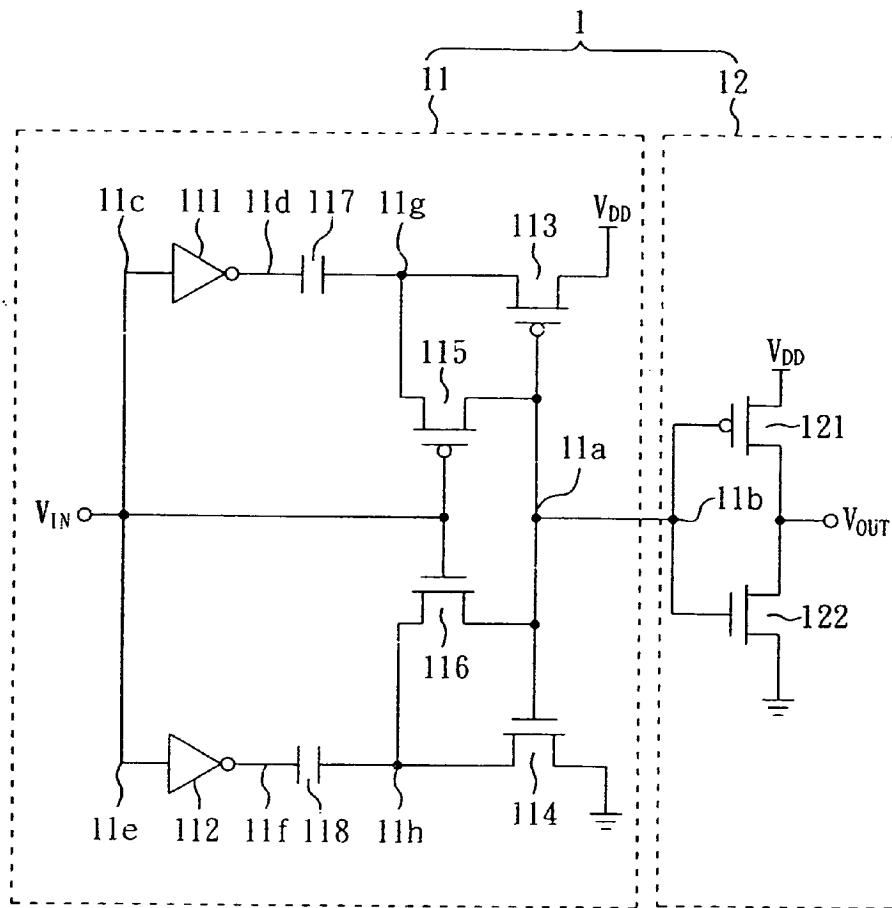


圖 1

- 1 . . . 靴帶式驅動電路
- 12 . . . 第二級 CMOS 反相器驅動電路
- 11 . . . 第一級升降壓電路
- 111 . . . 第一反相器
- 112 . . . 第二反相器
- 113 . . . 第一 PMOS 電晶體
- 114 . . . 第一 NMOS 電晶體
- 115 . . . 第二 PMOS 電晶體
- 116 . . . 第二 NMOS 電晶體
- 117 . . . 第一電容
- 118 . . . 第二電容
- 121 . . . 第三 PMOS 電晶體
- 122 . . . 第三 NMOS 電晶體
- V_{DD} . . . 偏壓電源
- V_{IN} . . . 前端輸入端
- V_{OUT} . . . 後端輸出端
- 11a . . . 前端輸出端
- 11b . . . 後端輸入端
- 11c . . . 第一輸入節點
- 11d . . . 第一輸出節點
- 11e . . . 第二輸入節點
- 11f . . . 第二輸出節點
- 11g . . . 節點

I401885

TW I401885B1

11h . . . 節點

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99/140596

※申請日：99.11.24 ※IPC分類：H03K19/0185 (2006.01)

一、發明名稱：(中文/英文)

靴帶式驅動電路

二、中文發明摘要：

本發明係關於一種能利用其所具有之回授機制來抑制反轉電流以提升其資料傳輸速率，並降低其所消耗之功率的靴帶式驅動電路。其包括：一包含一前端輸入端、一第一反相器、一第二反相器、一第一PMOS電晶體、一第一NMOS電晶體、一第二PMOS電晶體、一第二NMOS電晶體、一第一電容、一第二電容及一前端輸出端的第一級升降壓電路；以及一包含一後端輸入端及一後端輸出端的後端CMOS反相器驅動電路。其中，前端輸出端除了連接至第二PMOS電晶體之汲極與第二NMOS電晶體之汲極以外，更連接至第一PMOS電晶體之閘極與第一NMOS電晶體之閘極，以形成一回授機制抑制反轉電流。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：圖 (1) 。

(二)本代表圖之元件符號簡單說明：

1 靴帶式驅動電路

12 第二級CMOS反相器驅動電路

11 第一級升降壓電路

111 第一反相器

112 第二反相器

113 第一PMOS電晶體

114 第一NMOS電晶體

115 第二PMOS電晶體

116 第二NMOS電晶體

117 第一電容

118 第二電容

121 第三PMOS電晶體

122 第三NMOS電晶體

V_{DD} 偏壓電源

V_{IN} 前端輸入端

V_{OUT} 後端輸出端

11a 前端輸出端

11b 後端輸入端

11c 第一輸入節點

11d 第一輸出節點

11e 第二輸入節點

11f 第二輸出節點

11g 節點

11h 節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種靴帶式驅動電路，尤指一種能利用其電路中所具之回授機制，來抑制反轉電流以提升其資料傳輸速率，且能降低其被應用於資料傳輸時所消耗的功率的靴帶式驅動電路。

【先前技術】

文獻上，靴帶式驅動電路常被應用在一有限電壓源環境下，需要驅動一大負載的電路設計中，例如，被用來驅動大負載的輸出級。所以，靴帶式驅動電路已被廣泛地應用在超大型積體電路上。

但是，在以往在靴帶式驅動電路的設計中，業界的注意力集中在如何提升電路的驅動能力，諸如應用在時脈電路上，或是週期性開關(如SRAM所使用的負位元技術)。但是，習知之靴帶式驅動電路卻不具有良好的資料傳輸的能力。當隨機的數位訊號輸入至一習知之靴帶式驅動電路後，將會有符號間干擾(Intersymbol interference)的問題，即是訊號與相鄰之訊號互相干擾。因為，隨機的數位訊號包含連續的0或1，故習知之靴帶式驅動電路處理隨機的數位訊號時，將會有不同個數的連續0轉換成1或不同個數的連續1轉成0，使得習知之靴帶式驅動電路之內部電路，其升降壓電容會發生預充電不完全或預放電不完全的現象，

進而造成驅動能力不夠，使得資料傳輸上重要的量化指標眼圖(Eye-diagram)的表現不好。

至於會造成符號間干擾現象，最主要的原因係在於靴帶式驅動電路在升降壓後，會造成電流自升降壓電容經預充放路徑往電源端回流電荷的情形，業界稱之為「反轉電流」。一般的靴帶式驅動電路在週期性操作下，反轉電流的量相同。所以，只要預充放電的能力夠，反轉電流的發生並不影響到電路的操作。但是，當隨機的數位訊號輸入至習知之靴帶式驅動電路後，不同個數的連續0轉換成1或不同個數的連續1轉成0將造成反轉電流大量反向充放電，使得習知之靴帶式驅動電路之升降壓電容上的電荷無法預充放回來預期的準位，造成習知之靴帶式驅動電路無法正常地操作。而在現今這個資訊量爆炸的時代，大量資訊的傳輸需求迫使資料傳輸速率必須不斷地往高速端推升。但是，若用來傳輸資料的電路無法符合如此高速的傳輸需求，將導致資料傳輸錯誤率升高的情形。例如，前述之ISI干擾即為其中最主要的資料傳輸錯誤之情形，此一缺陷使得習知之靴帶式驅動電路並無法應用在較高速的資料傳輸應用中。

而在2008年國際電機電子工程師學會(IEEE)所出版的一篇期刊論文中(名稱：A High-Speed Variation-Tolerant Interconnect Technique for Sub-Threshold Circuits Using Capacitive Boosting)，該論文提出一個電路架構，其係利用一外加預充電電路來輔助

主要電路之電容的預充放電動作，並且利用升壓後的電壓來抑制反轉電流。

然而，外加預充電電路的加入雖然能提高整體靴帶式驅動電路的資料傳輸速率，來達到高速傳輸的需求。但是，前述之外加預充電電路包括了三個電晶體與一電容，而過多的電晶體及電容將造成整體電路的面積成本大幅增加。另外，前述之外加預充電電路本身依然有原本的資料傳輸速率缺陷，使得在高速操作時，前述之外加預充電電路的手段所能達到的效果非常有限，以致主要電路的預充放電動作仍然得不到預期的加速效果。除此之外，為了提高資料傳輸速率，該論文為能提高整體靴帶式驅動電路的資料傳輸速率，該驅動器實際運作上並沒有關閉(閘極源極電壓差為一個偏壓電位)，故驅動器的靜態漏電流將帶來更嚴重的功率消耗問題，故前述之論文所揭露的電路結構在實際的應用上並不可行。

因此，業界需要一種能利用其電路中所具之回授機制，來抑制反轉電流以提升其資料傳輸速率，且能降低其被應用於資料傳輸時所消耗的功率的靴帶式驅動電路。

【發明內容】

本發明之主要目的係在提供一種靴帶式驅動電路，俾能利用其電路中所具之回授機制，來加速預充放電速度，並且抑制反轉電流以提升其資料傳輸速率。

本發明之另一目的係在提供一種靴帶式驅動電路，俾能降低其被應用於資料傳輸時所消耗的功率。

為達上述目的，本發明提出一種靴帶式反相器，係配合一偏壓電源以推動一負載，包括：一第一級升降壓電路，係包含一前端輸入端、一第一反相器、一第二反相器、一第一PMOS電晶體、一第一NMOS電晶體、一第二PMOS電晶體、一第二NMOS電晶體、一第一電容、一第二電容及一前端輸出端；以及一第二級CMOS反相器驅動電路，係包含一後端輸入端及一後端輸出端，此後端輸入端係與前端輸出端連接，此後端輸出端則連接至此負載，用以推動此負載。其中，於此第一級升降壓電路中，此前端輸入端係用於將一輸入電壓訊號輸入至此第一級升降壓電路，此第一反相器具有一第一輸入節點及一第一輸出節點，第二反相器具有一第二輸入節點及一第二輸出節點，且此第一輸入節點及此第二輸入節點係連接至此前端輸入端；此第一PMOS電晶體之源極連接一偏壓電源，此第一NMOS電晶體之源極係接地，此第一電容之兩端係分別連接至此第一反相器之第一輸出節點與此第一PMOS電晶體之汲極，此第二電容之兩端係分別連接至此第二反相器之第二輸出節點與此第一NMOS電晶體之汲極；此第二PMOS電晶體之閘極及源極分別連接至此前端輸入端及此第一PMOS電晶體之汲極，此第二NMOS電晶體之閘極及源極則分別連接至此前端輸入端及此第一NMOS電晶體之汲極；此第二PMOS電晶體之汲極與此第二NMOS電晶體之汲極係連接至此前端輸出

端，且此前端輸出端並連接至此第一PMOS電晶體之閘極及此第一NMOS電晶體之閘極，以形成一回授機制。

因此，本發明之靴帶式驅動電路係利用其前端輸出端所輸出之電壓訊號的擺幅特性(擺幅為 $-V_{DD}$ 至 $2V_{DD}$)，且藉由回授機制將此電壓訊號回授至其第一PMOS電晶體之閘極與其第一NMOS電晶體之閘極，使得其第一PMOS電晶體有更高之源極閘極電壓差與其第一NMOS電晶體具有更高之閘極源極電壓差。如此一來，可擴張其第一PMOS電晶體與其第一NMOS電晶體於導通狀態時的電流通道。所以，在本發明之靴帶式驅動電路中，其第一PMOS電晶體與其第一NMOS電晶體分別對其第一電容與其第二電容之充放電能力均大幅增強，使得本發明之靴帶式驅動電路可提升其資料傳輸速率，以便被應用於一需高速傳輸資料的環境中。

除此之外，由於本發明之靴帶式驅動電路無需使用額外設置之預充放電電路來對其電容做預充放電的動作，故本發明之靴帶式驅動電路並不會產生多餘的寄生電容，故本發明之靴帶式驅動電路於資料傳輸時所消耗的功率便能進一步降低。

此外，在本發明之靴帶式驅動電路中，其第一級升降壓電路中之反相器的類型並無限定，任何一種具有反相功能的電路均可適用於本發明之靴帶式驅動電路之第一級升降壓電路中的反相器。然而，在本發明之靴帶式驅動電路中，第一級升降壓電路中之反相器較佳為一CMOS反相器。此外，一輸入至本發明之靴帶式驅動電路之輸入電壓訊號

的電壓數值並無任何特殊限制，其數值可視所需要之元件而改變。

【實施方式】

請參照圖1，其係顯示本發明一實施例之靴帶式驅動電路之電路結構的示意圖。如圖1所示，本發明一實施例之靴帶式驅動電路1係配合一偏壓電源 V_{DD} 以推動一負載(圖中未示)，其包括：一第一級升降壓電路11及一第二級CMOS反相器驅動電路12。其中，第一級升降壓電路11係包括：一前端輸入端 V_{IN} 、一第一反相器111、一第二反相器112、一第一PMOS電晶體113、一第一NMOS電晶體114、一第二PMOS電晶體115、一第二NMOS電晶體116、一第一電容117、一第二電容118及一前端輸出端11a。

再者，第二級CMOS反相器驅動電路12係包括一後端輸入端11b及一後端輸出端 V_{OUT} ，且後端輸出端 V_{OUT} 則連接至一負載(圖中未示)，以推動此負載。此外，在本實施例中，第二級CMOS反相器驅動電路12係為一傳統CMOS反相器驅動電路，且更包含一第三PMOS電晶體121及一第三NMOS電晶體122。另一方面，前述之後端輸入端11b係與第三PMOS電晶體121之閘極及第三NMOS電晶體122之閘極連接，後端輸出端 V_{OUT} 則與第三PMOS電晶體121之汲極及第三NMOS電晶體122之汲極連接。

請再參照圖1，在本發明一實施例之靴帶式驅動電路1之第一級升降壓電路11中，前端輸入端 V_{IN} 係用於將一輸入

電壓訊號(圖中未示)輸入至第一級升降壓電路11。此外，第一反相器111係具有一第一輸入節點11c及一第一輸出節點11d，第二反相器112則具有一第二輸入節點11e及一第二輸出節點11f。第一輸入節點11c及第二輸入節點11e係連接至前端輸入端 V_{IN} ，第一PMOS電晶體113之源極係連接一偏壓電源 V_{DD} ，第一NMOS電晶體114之源極係接地。

除此之外，第一電容117之兩端分別連接至第一反相器111之第一輸出節點11d與第一PMOS電晶體113之汲極，第二電容118之兩端則分別連接至第二反相器112之第二輸出節點11f與第一NMOS電晶體之汲極，第二PMOS電晶體115之閘極及源極係分別連接至前端輸入端 V_{IN} 及第一PMOS電晶體113之汲極，第二NMOS電晶體116之閘極及源極則分別連接至前端輸入端 V_{IN} 及第一NMOS電晶體114之汲極。

而如圖1所示，在本發明一實施例之靴帶式驅動電路1中，第二PMOS電晶體115之汲極與第二NMOS電晶體116之汲極係連接至前端輸出端11a，前端輸出端11a並連接至第一PMOS電晶體113之閘極與第一NMOS電晶體114之閘極，以形成一回授機制。如此，一由前端輸出端11a輸出之電壓訊號便可傳送至第一PMOS電晶體之閘極113、第一NMOS電晶體114之閘極及後端CMOS反相器驅動電路12之後端輸入端11b。

請再參閱圖1，在本發明一實施例之靴帶式驅動電路1中，第一級升降壓電路11與第二級CMOS反相器驅動電路12之間係僅以單一路徑連接(即一介於前端輸出端11a及後端

輸入端11b之間的導線)。所以，當一由前端輸出端11a傳送至後端輸入端11b之電壓訊號(圖中未示)的電壓被升壓至小於0 伏特時(如 $-V_{DD}$ 時)，本發明一實施例之靴帶式驅動電路之第二級CMOS反相器驅動電路所具的第三PMOS電晶體121之源極閘極電壓差(V_{SG})為2倍 V_{DD} ，故第三PMOS電晶體121呈導通狀態。同時，第三NMOS電晶體122閘極源極電壓差(V_{GS})則為 $-V_{DD}$ ，故第三NMOS電晶體122便即被關閉。反之，若一由前端輸出端11a傳送至後端輸入端11b之電壓訊號的電壓被升壓至2倍 V_{DD} 時，第二級CMOS反相器驅動電路12所具的第三NMOS電晶體122閘極源極電壓差(V_{GS})為2倍 V_{DD} ，故第三NMOS電晶體122呈導通狀態。同時，第三PMOS電晶體121之源極閘極電壓差(V_{SG})則為 $-V_{DD}$ ，故第三PMOS電晶體121便即被關閉。

至於前述之「回授機制」，將詳細敘述於下：

如前所述，在本發明一實施例之靴帶式驅動電路1中，前端輸出端11a係藉由一導線連接至第一PMOS電晶體113之閘極與第一NMOS電晶體114之閘極，以將前端輸出端11a所輸出的電壓訊號回授至第一PMOS電晶體113之閘極與第一NMOS電晶體114之閘極。所以，當一位於第一電容117之相對於第一反相器111之另一側的節點11g被升壓至2倍 V_{DD} 時，第一PMOS電晶體113源極汲極極性反轉，使得節點11g為源極，偏壓源 V_{DD} 為汲極。但是，因前端輸出端11a所輸出的電壓訊號的電壓亦被升壓至2倍 V_{DD} 時(即 $2V_{DD}$)並回授至第一PMOS電晶體113之閘極，使得第一PMOS電晶體

113源極閘極電壓差(V_{SG})為0。意即，第一PMOS電晶體113被關閉，故無「反轉電流」產生。此時，由於第一NMOS電晶體114之閘極源極電壓差(V_{GS})為2倍 V_{DD} 時(即 $2V_{DD}$)，故第一NMOS電晶體114便被強力導通。如此，第一NMOS電晶體114即可快速放電，使第二電容118預放電完成。

請再參照圖1及圖2，其中圖2係顯示本發明一實施例之靴帶式驅動電路之第一運作狀態的示意圖。在此第一運作狀態下，輸入電壓訊號係由一低電位狀態(0)轉換至一高電位狀態(V_{DD})。首先，當輸入電壓訊號由一低電位狀態(0)轉換至一高電位狀態(V_{DD})後，第一反相器111與第二反相器112便將輸入電壓訊號反相轉換為低電位狀態(0)。此時，輸入電壓訊號使得第二PMOS電晶體115呈關閉狀態，且使第二NMOS電晶體116呈導通狀態。另一方面，第二電容118已預儲存一 V_{DD} 電壓差於其中(因一位於第二電容118之相對於第二反相器112之另一側的節點11h先前已被第一NMOS電晶體114預放電至0)，故第二NMOS電晶體116之源極電壓降低至 $-V_{DD}$ 。同時，再由於第二NMOS電晶體116呈導通狀態，故 $-V_{DD}$ 便被傳送至前端輸出端11a，前端輸出端11a則再將此電壓訊號($-V_{DD}$)傳送至第二級CMOS反相器驅動電路12的後端輸入端11b。除此之外，前述之「回授機制」亦將此電壓訊號($-V_{DD}$)傳送至第一PMOS電晶體113之閘極，使得第一PMOS電晶體113被強力導通，而對第一電容117預充電。如此，第一電容117便儲存一 V_{DD} 電壓差於其中。另一方面，前端輸出端11a之電壓訊號($-V_{DD}$)亦傳送至

第一NMOS電晶體114之閘極，關閉極性反轉的第一NMOS電晶體114，避免「反轉電流」回充第二電容118，造成第二電容118無法準確地預放電。

請再參照圖1及圖3，其中圖3係顯示本發明一實施例之靴帶式驅動電路之第二運作狀態的示意圖。其中，在此第二運作狀態下，輸入電壓訊號係由一高電位狀態(V_{DD})轉換至一低電位狀態(0)。首先，當輸入電壓訊號由一高電位狀態(V_{DD})轉換至一低電位狀態(0)後，第一反相器111與第二反相器112便將輸入電壓訊號反相轉換為高電位狀態(V_{DD})。此時，輸入電壓訊號使得第二PMOS電晶體115呈導通狀態，且使第二NMOS電晶體116呈關閉狀態。另一方面，由於第一電容117已預儲存一 V_{DD} 電壓差(因節點11g先前已被第一PMOS電晶體113預充電至 V_{DD})，故第二PMOS電晶體115之源極(即節點11g)電壓被推升至2倍 V_{DD} 。同時，再由於第二PMOS電晶體115呈導通狀態，故2倍 V_{DD} 便被傳送至前端輸出端11a，前端輸出端11a則再將此電壓訊號($2V_{DD}$)傳送至第二級CMOS反相器驅動電路12的後端輸入端11b。除此之外，前述之「回授機制」亦將此電壓訊號($2V_{DD}$)傳送至第一NMOS電晶體114之閘極，使得第一NMOS電晶體114即被強力導通，而對第二電容118之節點11h預放電至0。如此，第二電容118便儲存一 V_{DD} 電壓差於其中。另一方面，前端輸出端11a之電壓訊號($2V_{DD}$)亦傳送至第一PMOS電晶體113之閘極，關閉極性反轉的第一PMOS電晶體113，

避免「反轉電流」對第一電容117放電，造成第一電容117無法準確地預充電。

因此，在本發明一實施例之靴帶式驅動電路中，第一PMOS電晶體113與第一NMOS電晶體114係分別作為一預充放電電晶體，以分別對第一電容117及第二電容118做預充放電的動作，且第一電容117與第二電容118係分別為一升降壓電容。此外，第二PMOS電晶體115與第二NMOS電晶體116則分別作為一開關電晶體，以控制本發明一實施例之靴帶式驅動電路的運作態樣。

在本實施例中，由前端輸入端 V_{IN} 輸入至本發明一實施例之靴帶式驅動電路之輸入電壓訊號可為一隨機性之數位訊號，即輸入電壓訊號可為一連串之高低電位之轉換。而由前述之說明可知，當輸入電壓訊號在高電位狀態與低電位狀態之間轉換時(如傳輸數位訊號時)，本發明一實施例之靴帶式驅動電路中之電晶體便會對電路中之電容做預充放電之動作。

此外，靴帶式驅動電路中之電容做預充放電之所以重要的原因，乃是因為靴帶式驅動電路之驅動能力是與升降電壓後驅動第三PMOS電晶體121與第三NMOS電晶體122之閘極電位的結果直接相關。然而，升降電壓後的位準則又直接與靴帶式驅動電路中之電容做預充放電直接相關。於是乎，除了需加速靴帶式驅動電路中對於電容預充放電的速度外，抑制代表升降壓後因電晶體極性反轉而流失電

荷之「反轉電流」更是重要課題。因為，只要電荷不大量流失，預充放電的能力便不再是瓶頸。

當需傳輸資料的速率提高時，輸入電壓訊號之高低電位狀態轉換時間便因而縮短，故前述之電晶體對電容進行預充電之動作的電路特性更顯得格外重要。因為，若電晶體對電容進行預充放電動作的能力不足或是反轉電流過大造成預充放電能力不足，將使得電路輸出的訊號無法被正常地驅動，進而影響電路對高速資料之傳輸能力。

因此，本發明一實施例之靴帶式驅動電路確實可提升其資料傳輸速率，以應用於需高速傳輸資料的環境中。而且，因本發明一實施例之靴帶式驅動電路無需使用額外設置之預充放電電路來對電容做預充放電的動作並抑制反轉電流，故其並不需要多餘的電晶體與電容，故不需增加面積成本。另外，當本發明一實施例之靴帶式驅動電路使用時，第二級CMOS反相器驅動電路12可正常開關操作，不像習知之靴帶式驅動電路以不關閉驅動器的方式換取操作速度，反而會造成嚴重的靜態漏電流。

由於本發明一實施例之靴帶式驅動電路對其電容進行預充放電與抑制反轉電流的能力極強，故本發明一實施例之靴帶式驅動電路可降低其所傳輸之資料的錯誤比率。

圖4A係顯示將本發明一實施例之靴帶式驅動電路應用在一晶片匯流排之長導線上傳輸隨機資料所得之眼圖的示意圖，圖4B則顯示將習知之靴帶式驅動電路應用在一晶片匯流排之長導線上傳輸隨機資料所得之眼圖的示意圖。

其中，前述之長導線共分為十段，每區段長度為1毫米(mm)。此外，兩個電路皆操作在相同的電壓下(在本實例中為200毫伏特)，且資料傳輸速度均為5 Mbps。

從圖4A及圖4B中可以明顯的看到，在相同的操作條件下，圖4B的時間抖動雜訊很大，其眼圖僅可以張開至0.74單位時間間隔(Unit Interval)。然而，圖4A則幾乎沒有時間抖動雜訊，其眼圖更可以張開至0.98單位時間間隔。由此可知，本發明一實施例之靴帶式驅動電路較習知之靴帶式驅動電路更適合應用於傳輸隨機資料。

請再參照圖5與圖6，其中，圖5係顯示本發明一實施例之靴帶式驅動電路與習知之靴帶式驅動電路應用在1毫米長晶片匯流排在資料傳輸速率上之差異的示意圖，圖6則顯示本發明一實施例之靴帶式驅動電路與習知之靴帶式驅動電路應用在1毫米長晶片匯流排之資料每位元傳輸能量上之差異的示意圖。

而在圖5中，橫軸係代表1毫米長晶片匯流排之區段長度(總長度為1毫米)，縱軸則代表資料傳輸速率。此外，曲線A係代表本發明一實施例之靴帶式驅動電路之資料傳輸速率隨著區段長度增加而變化的趨勢，曲線B則代表習知之靴帶式驅動電路之資料傳輸速率隨著區段長度增加而變化的趨勢。因此，從圖5可輕易看出，不論在何種區段長度(資料包含之位元數)的情況下，本發明一實施例之靴帶式驅動電路的資料傳輸速率皆高於習知之靴帶式驅動電路的資料傳輸速率。

另一方面，在圖6中，橫軸係代表1毫米長晶片匯流排之區段長度(總長度為1毫米)，縱軸則代表電路每位元傳輸消耗的能量，而此值係用於衡量一輸入訊號於一資料傳輸速率的情況下，電路運作所需消耗之能量。一般而言，此值越小即代表此電路於運作時所消耗的能量便越低。

此外，在圖6中，曲線C係代表本發明一實施例之靴帶式驅動電路之每位元傳輸消耗的能量在不同區段長度(總長度為1毫米)而變化的趨勢，曲線D則代表習知之靴帶式驅動電路之電路每位元傳輸消耗的能量在不同區段長度(總長度為1毫米)而變化的趨勢。因此，從圖6可輕易看出，不論在何種區段長度的情況下，本發明一實施例之靴帶式驅動電路的每位元傳輸消耗的能量值皆低於習知之靴帶式驅動電路的每位元傳輸消耗的能量值。

綜上所述，從圖5及圖6中可看出，相較於習知之靴帶式驅動電路，本發明一實施例之靴帶式驅動電路不僅資料傳輸速率較高，其傳輸資料時所消耗的功率也較低。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係顯示本發明一實施例之靴帶式驅動電路之電路結構的示意圖。

圖2係顯示本發明一實施例之靴帶式驅動電路之第一運作原理的示意圖。

圖3係顯示本發明一實施例之靴帶式驅動電路之第二操作原理的示意圖。

圖4A係顯示將本發明一實施例之靴帶式驅動電路應用在一晶片匯流排之長導線上傳輸隨機資料所得之眼圖的示意圖。

圖4B係顯示將習知之靴帶式驅動電路應用在一晶片匯流排之長導線上傳輸隨機資料所得之眼圖的示意圖。

圖5係顯示本發明一實施例之靴帶式驅動電路與習知之靴帶式驅動電路應用在1毫米長晶片匯流排在資料傳輸速率上之差異的示意圖。

圖6係顯示本發明一實施例之靴帶式驅動電路與習知之靴帶式驅動電路應用在1毫米長晶片匯流排之資料每位元傳輸能量上之差異的示意圖。

【主要元件符號說明】

1 靴帶式驅動電路

12 第二級CMOS反相器驅動電路

11 第一級升降壓電路

111 第一反相器

112 第二反相器

113 第一PMOS電晶體

114 第一NMOS電晶體

115 第二PMOS電晶體

116 第二NMOS電晶體

117 第一電容

118 第二電容

121 第三PMOS電晶體

122 第三NMOS電晶體

V_{IN} 前端輸入端

11a 前端輸出端

11c 第一輸入節點

11e 第二輸入節點

11g 節點

V_{DD} 偏壓電源

V_{OUT} 後端輸出端

11b 後端輸入端

11d 第一輸出節點

11f 第二輸出節點

11h 節點

七、申請專利範圍：

1. 一種靴帶式驅動電路，係配合一偏壓電源以推動一負載，包括：

一第一級升降壓電路，係包含一前端輸入端、一第一反相器、一第二反相器、一第一PMOS電晶體、一第一NMOS電晶體、一第二PMOS電晶體、一第二NMOS電晶體、一第一電容、一第二電容及一前端輸出端；以及

一第二級CMOS反相器驅動電路，係包含一後端輸入端及一後端輸出端，該後端輸入端係與前端輸出端連接，該後端輸出端則連接至該負載，用以推動該負載；

其中，於該第一級升降壓電路中，該前端輸入端係用於將一輸入電壓訊號輸入至該第一級升降壓電路，該第一反相器具有一第一輸入節點及一第一輸出節點，第二反相器具有一第二輸入節點及一第二輸出節點，且該第一輸入節點及該第二輸入節點係連接至該前端輸入端；該第一PMOS電晶體之源極連接該偏壓電源，該第一NMOS電晶體之源極係接地，該第一電容之兩端係分別連接至該第一反相器之第一輸出節點與該第一PMOS電晶體之汲極，該第二電容之兩端係分別連接至該第二反相器之第二輸出節點與該第一NMOS電晶體之汲極；該第二PMOS電晶體之閘極及源極分別連接至該前端輸入端及該第一PMOS電晶體之汲極，該第二NMOS電晶體之閘極及源極則分別連接至該前端輸入端及該第一NMOS電晶體之汲極；該第二PMOS電晶體之汲極與該第二NMOS電晶體之汲極係連接至該前端輸出

端，且該前端輸出端並連接至該第一PMOS電晶體之閘極及該第一NMOS電晶體之閘極，以形成一回授機制。

2. 如申請專利範圍第1項所述之靴帶式驅動電路，其中，該第二級CMOS反相器驅動電路更包括一第三PMOS電晶體及一第三NMOS電晶體，且該後端輸入端係與該第三PMOS電晶體之閘極及該第三NMOS電晶體之閘極連接，該後端輸出端則與該第三PMOS電晶體之汲極及該第三NMOS電晶體之汲極連接。

3. 如申請專利範圍第1項所述之靴帶式驅動電路，其中，當該輸入電壓訊號由一高電位狀態轉換至一低電位狀態時，該前端輸出端之電壓訊號的電壓則為一等於兩倍該高電位狀態之電壓的電壓。

4. 如申請專利範圍第3項所述之靴帶式驅動電路，其中，當該輸入電壓訊號由一高電位狀態轉換至一低電位狀態後，該第一NMOS電晶體係對該第二電容充電。

5. 如申請專利範圍第1項所述之靴帶式驅動電路，其中，當該輸入電壓訊號由一低電位狀態轉換至一高電位狀態時，該前端輸出端之電壓訊號的電壓則為一等於負一倍該高電位狀態之電壓的電壓。

6. 如申請專利範圍第5項所述之靴帶式驅動電路，其中，當該輸入電壓訊號由一低電位狀態轉換至一高電位狀態後，該第一PMOS電晶體係對該第一電容充電。

7. 如申請專利範圍第1項所述之靴帶式驅動電路，其中，該第一PMOS電晶體與該第一NMOS電晶體係分別作為

一預充放電電晶體，該第二PMOS電晶體與該第二NMOS電晶體係分別作為一開關電晶體。

8. 如申請專利範圍第7項所述之靴帶式驅動電路，其中，該回授機制係指提升該預充放電電晶體之一源極閘極電壓差，並同時關閉極性反轉之電晶體之一反轉電流。

9. 如申請專利範圍第8項所述之靴帶式驅動電路，其中，該源極閘極電壓差係為一等於兩倍該輸入電壓訊號。

10. 如申請專利範圍第1項所述之靴帶式驅動電路，其中，該第一電容與該第二電容係分別為一升降壓電容。

八、圖式 (請見下頁):

〇年〇月〇日修正替換頁

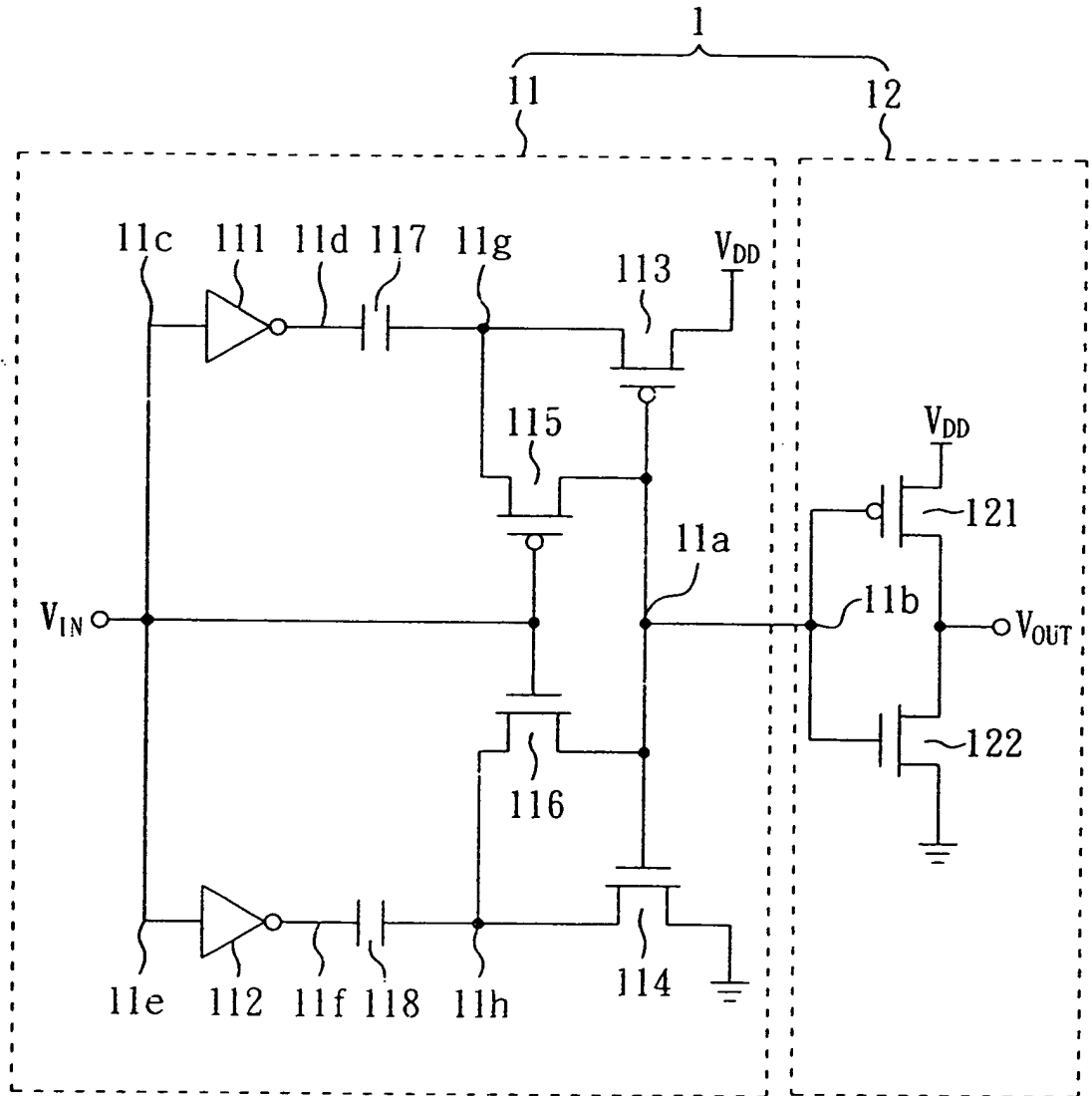


圖 1

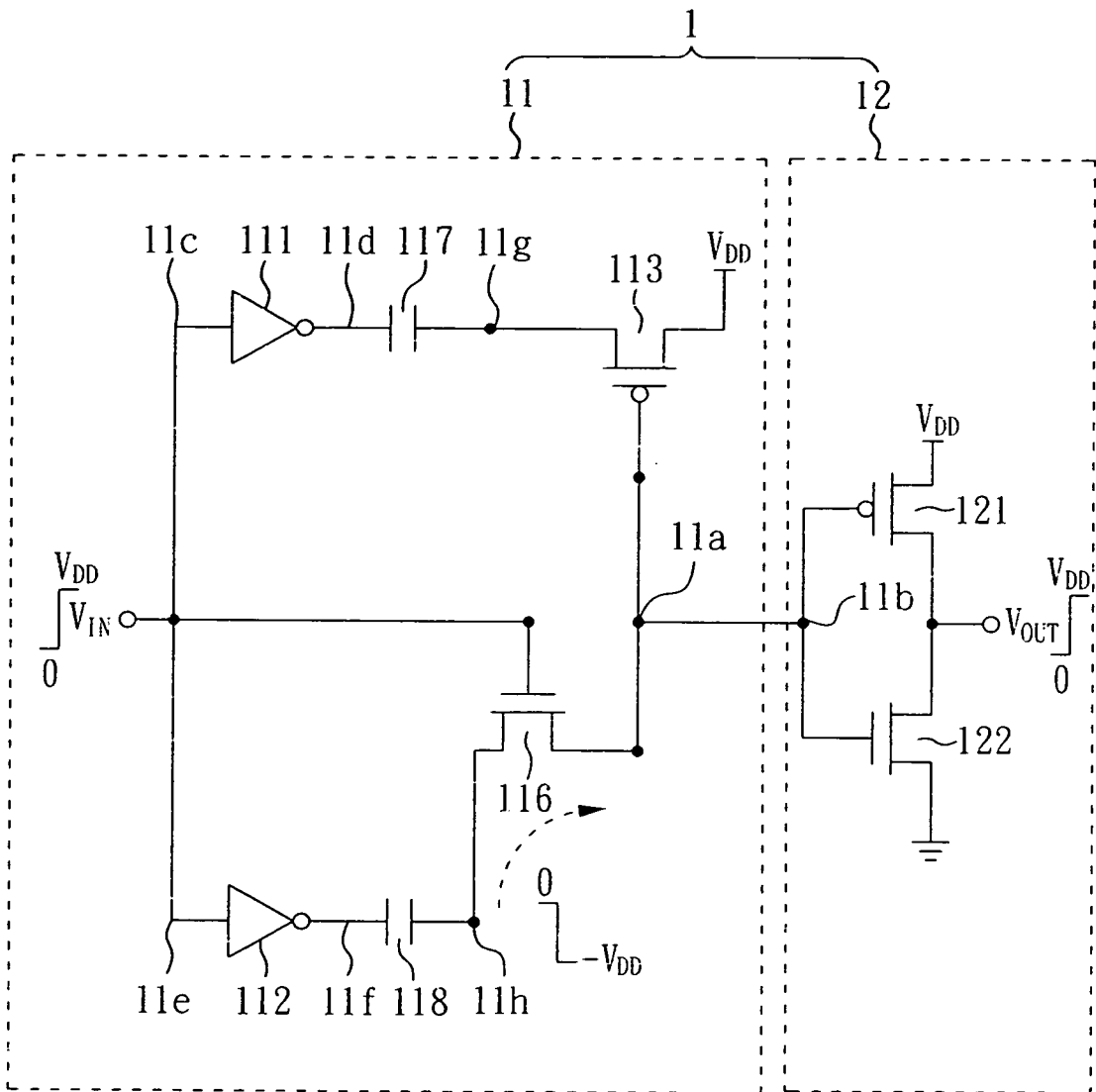


圖2

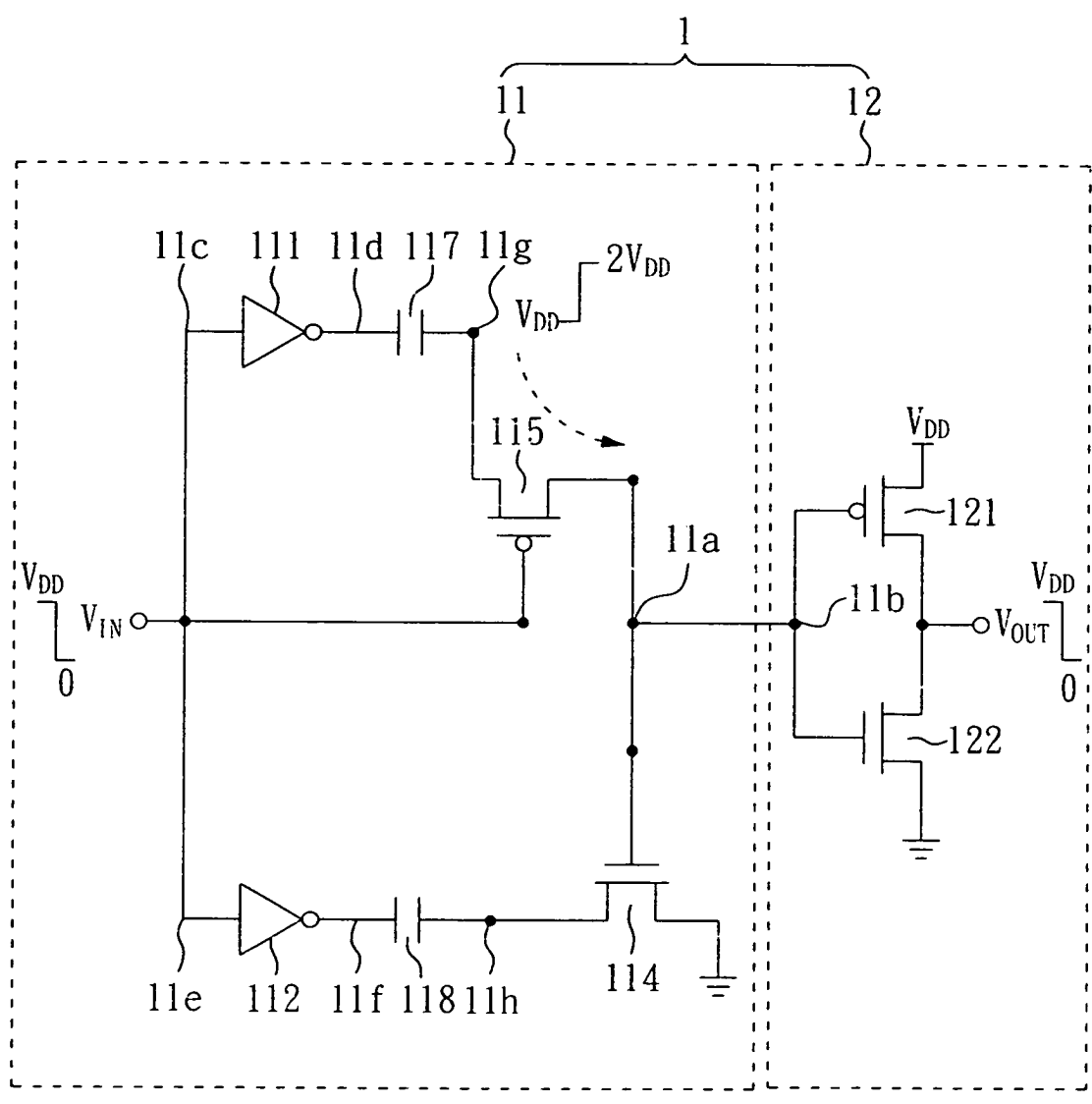


圖 3

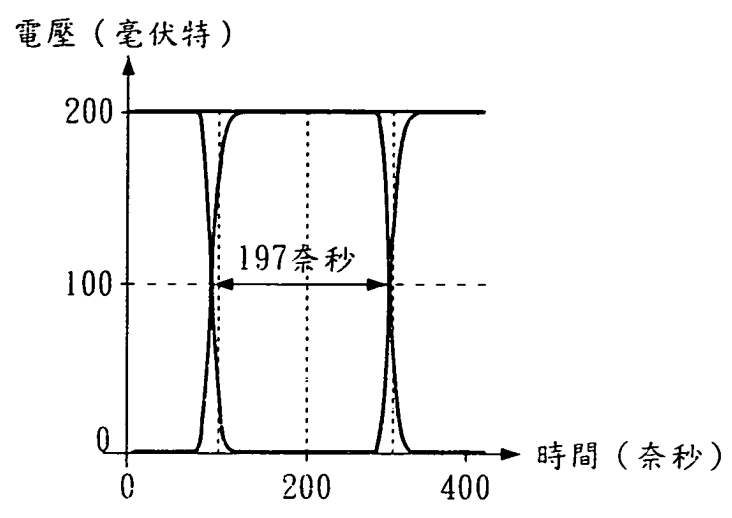


圖 4A

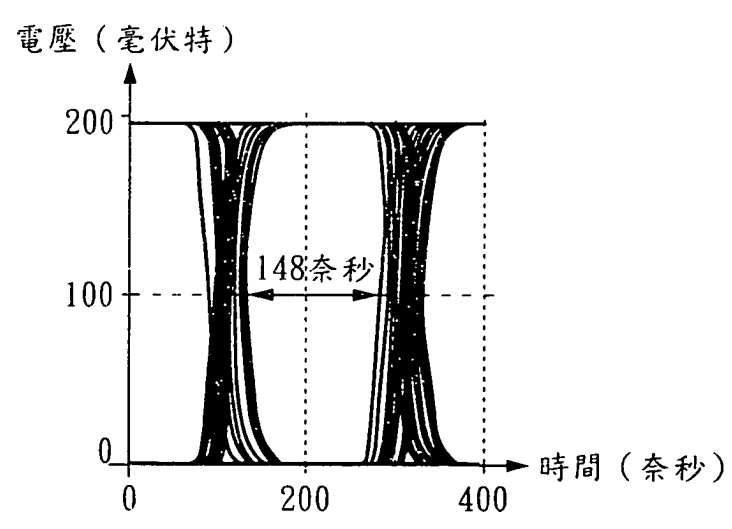


圖 4B

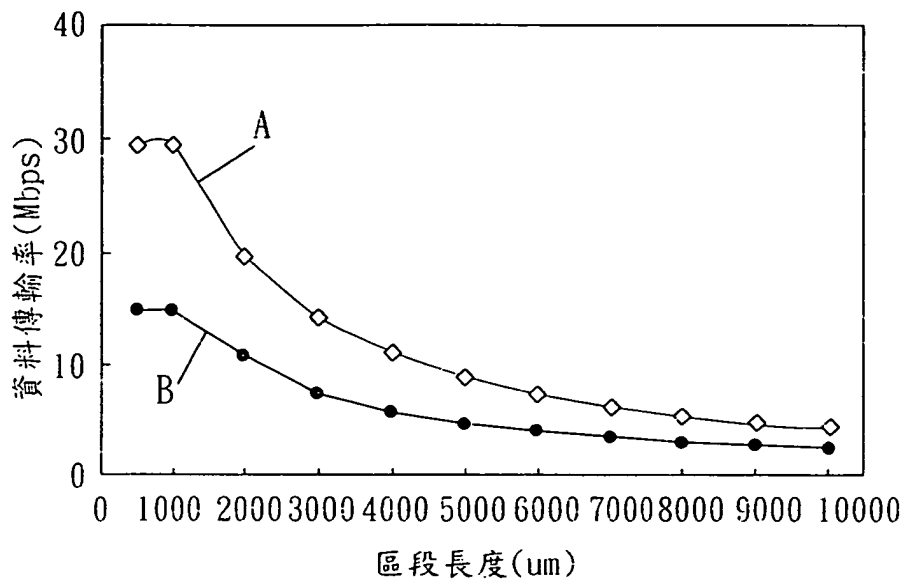


圖5

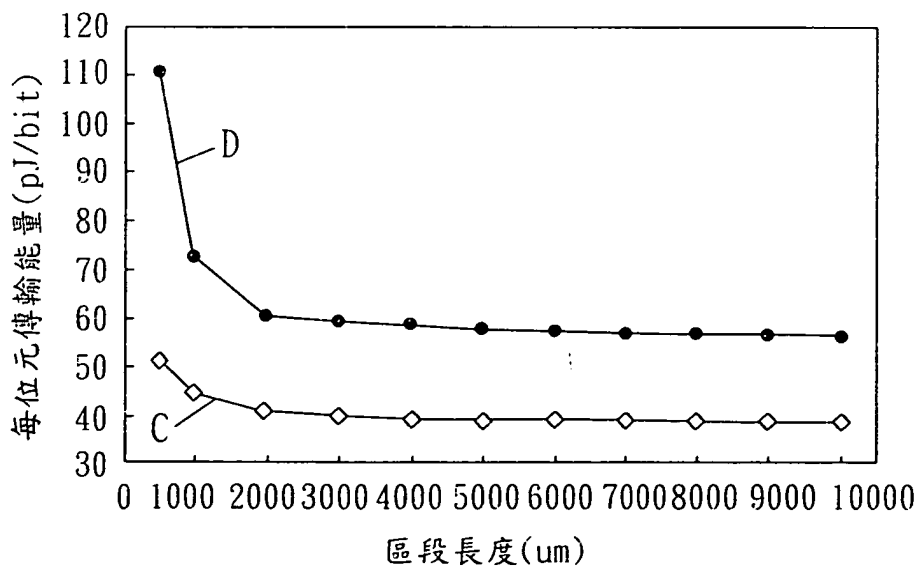


圖6