

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97132581

※ 申請日期：97.8.26

※IPC 分類：

H01L 51/42 (2006.01)

H01L 51/48 (2006.01)

一、發明名稱：(中文/英文)

光電記憶體元件、其製造以及量測方法 /

**Optoelectronic Memory Device and Method for Manufacturing
and Measuring the Same**

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學 / National Chiao Tung University

代表人：(中文/英文)

吳重雨 / Wu, Chung-Yu

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號 / 1001 Ta Hsueh Road, Hsinchu City, Taiwan 300, R.O.C.

國 籍：(中文/英文) 中華民國 / TW

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 韋光華 / Wei, Kung-Hwa

3. 陳振嘉 / Chen, Chen-Chia

2. 許鈺宗 / Sheu, Jeng-Tzong

4. 邱茂源 / Chiu, Mao-Yuan

國 籍：(中文/英文)

1. 中華民國/TW;

3. 中華民國/TW;

2. 中華民國/TW;

4. 中華民國/TW;

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：97年4月9日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種光電記憶體元件、其製造以及量測方法。根據本發明之光電記憶體元件，包含基板、絕緣層、主動層、源極以及汲極。該基板包含一閘極，且該絕緣層，形成於該基板上。該主動層，形成於該絕緣層上，特別地，該主動層係由包含共軛高分子材料以及量子點材料之複合材料所構成。該源極以及該汲極皆形成於該絕緣層上，並且皆電連接該主動層。

六、英文發明摘要：

The present invention provides an optoelectronic memory device, the method for manufacturing and evaluating the same. The optoelectronic memory device of the invention includes a substrate, an insulative layer, an active layer, a source and a drain. The substrate includes a gate, and the insulative layer is formed on the substrate. The active is formed on the insulative layer, and more particularly, the active layer is formed of a compound comprising conjugated conductive polymers and quantum dots. Moreover, both of the source and the drain are formed on the insulative layer, and electrically connected to the active layer.

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

5：光電記憶體元件

50：基板

500：閘極

52：絕緣層

54：主動層

540：量子點

56：源極

58：汲極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明關於一種光電元件(optoelectronic device)、其製造方法以及量測方法，並且特別地，本發明關於一種混摻量子點(quantum dot)之高分子光電記憶體元件、其製造方法以及量測方法。

【先前技術】

習知的有機光感應場效電晶體架構之記憶體元件，照光後部分載子(carrier)儲存於主動層及介電層之間，為了使載子穩定儲存於該介面，必須施加閘極電壓以維持記憶時間，這會額外消耗功率。反之，若不施加閘極電壓，於該介面中的載子會迅速與主動層中之多數載子結合並消失，致使元件失去記憶之功效，所以該元件並不適用於一般可攜式產品之運用。

舉例而言，美國專利申請號第 20060278866 所揭露之具有光導薄膜的光電記憶體，其利用光感應薄膜作為動態隨機存取記憶體，所以在每個讀取訊號之後必須補充載子。

美國專利號第 5,327,373 號所揭露之奈米管光電記憶體元件，其利用奈米碳管作為場效應電晶體，再將光感薄膜塗布於碳管表面。由於奈米碳管本身具有金屬及半導體性質，依目前的技術仍不易分離半導體及金屬奈米碳管，若採用金屬碳管作為場效應電晶體則會失去本身之記憶特性。

美國專利號第 6,992,322 號所揭露之光反應性有機場效電晶體，其利用有機薄膜作為場效應電晶體，並且提出施加不同閘極電壓時，對光的響應時間及記憶時間的影響。

然而，該專利的實施例所揭露之結果，記憶的時間相當短(<60 秒)。

【發明內容】

本發明之第一範疇提供一種光電記憶體元件，其具有較長的記憶時間，且製程簡便，成本低廉。

根據本發明之一具體實施例，該光電記憶體元件包含一基板、一絕緣層、一主動層、一源極以及一汲極。該基板包含一閘極。該絕緣層形成於該基板上，而該主動層、該源極以及該汲極皆形成於該絕緣層上。特別地，該主動層係由包含一共軛高分子材料以及一量子點材料之一複合材料所構成。此外，該源極電連接該主動層，而該汲極電連接該主動層。

本發明之第二範疇提供一種製造前述光電記憶體元件的方法。

根據本發明之一具體實施例，該方法包含下列步驟：首先，形成一基板，其包含一閘極。接著，於該基板上形成一絕緣層，再於該絕緣層上分別形成一源極以及一汲極。最後，於該絕緣層上塗佈一複合材料以形成一主動層，其中該複合材料包含一共軛高分子材料以及一量子點材料。請注意，於實務中，該等步驟之順序可視情況進行適當的更動，並不一定要依照這裡所列的順序。

本發明之第三範疇提供一種量測前述光電記憶體元件的方法。

根據本發明之一具體實施例，該方法包含下列步驟：首先，將該源極接地，並且於該汲極施加一汲極電壓並於該汲極量測一第一電流。接著，以一光源照射該光電記憶

體元件，並於該汲極量測一第二電流。最後，比較該第一電流以及該第二電流之大小，以判斷該光電記憶體元件之功能性參數。於實際應用中，功能性參數可以是，但不受限於，如記憶體的儲存時間、記憶窗口的大小等。

此外，於實際應用中，還可視情況於將該源極接地之前先透過該閘極施加一閘極電壓，致使該主動層空乏。此外，於前述之步驟完成後，還可視情況施加一脈衝電壓以抹除該光電記憶體元件之記憶狀態。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

本發明提供一種光電記憶體元件、其製造方法以及量測方法。以下將詳述本發明之具體實施例以及實際應用案例，藉以充分說明本發明之特徵、精神及優點。

請參見第 1 圖，第 1 圖繪示根據本發明之一具體實施例的製造光電記憶體元件之方法流程圖。如圖所示，該方法可包含下列步驟：

步驟 S10，形成一基板，其包含一閘極。

步驟 S12，於該基板上形成一絕緣層。於實務中，此步驟進一步包含以下兩個步驟：(1) 於該基板上形成一二氧化矽層；(2) 於該二氧化矽層上形成一六甲基二矽氮烷層。

步驟 S14，於該絕緣層上分別形成一源極以及一汲極。

步驟 S16，於該絕緣層上塗佈一複合材料，以形成一主動層。特別地，該複合材料包含一共軛高分子材料以及一量子點材料。於實務中，當該絕緣層包含該六甲基二矽氮烷層時，該源極、該汲極以及該主動層皆形成於該六甲基

二矽氮烷層上。

步驟 S18，進行退火處理。於實務中，退火處理可在氮氣環境下，針對主動層在 150 °C 連續進行 5 分鐘。

於一具體實施例中，本發明之製造光電記憶體元件的方法可包含下列步驟：

首先，將聚噻吩 (polythiophene, P3HT) 及硒化鎘 (CdSe) 量子點 (直徑為 $3.5 \pm 0.5\text{nm}$) 溶於三氯甲烷，溶液之濃度為 5mg/ml。接著，以 n 型矽晶圓 ($<0.005\Omega\text{cm}$) 形成基材與閘極，因此，本具體實施例所製造之光電記憶體元件採用下閘極結構。

隨後，成長 900Å 的二氧化矽作為介電層，並採用氣相沈積的方式將六甲基二矽氮烷修飾於二氧化矽表面，以形成絕緣層。接著，形成源極以及汲極於該絕緣層上。接下來，利用旋轉塗佈法將準備好之聚噻吩及硒化鎘量子點溶液沈積於絕緣層上，其薄膜厚度約為 100nm。最後，在氮氣環境下，薄膜在 150 °C 連續退火 5 分鐘。請參見第 2 圖，其繪示根據此方法所製造之混摻硒化鎘量子點聚噻吩薄膜之原子力顯微鏡照片。

請再參見第 3 圖，其繪示根據本發明之一具體實施例的光電記憶體元件的部份剖面圖。如圖所示，該光電記憶體元件 5 包含基板 50、絕緣層 52、主動層 54、源極 56 以及汲極 58。其中，絕緣層 52 形成於基板 50 上，而主動層 54、源極 56 以及汲極 58 皆形成於絕緣層 52 上。

該基板 50 包含一閘極 500，該主動層 54 中包含若干量子點 540。此外，該源極 56 以及汲極 58 皆電連接該主動層 54。於本具體實施例中，該源極 56 以及汲極 58 皆採用指插狀電極，並且交錯排列穿插於主動層 54 中。如前所述，

本發明的特徵之一，在於主動層 54 由包含共軛高分子材料以及量子點 540 之複合材料所構成。

此外，於實務中，基板 50 可以具有可撓性，並且，基板 50 可由矽、玻璃或其它適合的材料製成。此外，於實務中，絕緣層 52 可以二氧化矽、氮化矽或其它適當的材料製成。如前所述，共軛高分子材料包含聚噻吩，並且，量子點可以是金屬量子點或半導體量子點，例如前述之硒化鎘 (CdSe) 量子點，或其它合適的量子點。

如前所述，本發明還提供了一種量測光電記憶體元件之方法。請參見第 4 圖，其繪示根據本發明之一具體實施例的量測光電記憶體元件之方法流程圖。於本具體實施例中，該方法係用以量測如前所述本發明之光電記憶體元件。如圖所示，該方法包含下列步驟：

步驟 S20，將該光電記憶體元件之源極接地。

步驟 S22，於該汲極施加一汲極電壓並於該汲極量測一第一電流。

步驟 S24，以一光源照射該光電記憶體元件，並於該汲極量測一第二電流。

步驟 S26，比較該第一電流以及該第二電流之大小，以判斷該光電記憶體元件之功能性參數，如記憶體的儲存時間、記憶窗口(memory window)的大小等。

步驟 S28，施加一脈衝電壓以抹除該光電記憶體元件之記憶狀態。

當然，於實務中，本發明之量測方法也可用以量測其它光電記憶體元件。

請參見第 5 圖，其繪示本發明之光電記憶體元件照光

以及不照光之汲極到源極電流 I_{DS} 相對閘極到源極電壓 V_{GS} 之作圖。換言之，其為本發明之光電記憶體元件的特性轉換曲線，其中，汲極到源極電壓 V_{DS} 為 $-20V$ ，且元件呈現 P 型場效應電晶體之特性。如圖所示，本發明之光電記憶體元件在照光下具有明顯的遲滯現象，但是在不照光時遲滯現象並不明顯。遲滯現象之所以在照光下會更明顯，主要是因為照光時，主動層載子數目的增加使得聚噻吩-二氧化矽界面或在二氧化矽裡面，載子變得容易被捕抓所致。

請參見第 6 圖，其繪示本發明之光電記憶體元件在閘極電壓施加 $15V$ 時的記憶時間測試。如圖所示，打開脈衝光源時，汲極電流會迅速增加且混摻硒化鎘量子點元件的汲極電流變化量較大，主要是純聚噻吩及混摻硒化鎘量子點間內建電場導致電子電洞有效分離，當關閉脈衝光源後兩種元件汲源極電流均達到穩態，另外混摻硒化鎘量子點元件光電流/暗電流比 (I_{photo}/I_{dark}) 較大，也就是元件記憶窗口較大。

請參見第 7 圖，其繪示本發明之光電記憶體元件在無閘極電壓時的記憶時間測試。如圖所示，關閉燈光 100 秒之後，由於純聚噻吩元件之電流將回到最初狀態，在閘極電壓不存在下，沒有外部電場去引誘電子。因此，被捕抓的電子從這陷阱中心逃脫，造成純聚噻吩元件中汲極電流的降低。相對於混摻硒化鎘量子點元件，在照光下，電子除了存儲於氧化層界面之外，還會被硒化鎘量子點捕捉。在光激發後，在幾分鐘之後，被捕抓的電子會從這陷阱中心逃脫。相對地，在硒化鎘量子點裡面，由於能障的關係使得電子要跳回去高分子是相當困難的。即使不施加在閘極偏壓不存在下，穩態可以維持幾個小時。

請參見第 8 圖，其繪示本發明之光電記憶體元件在照

光以及不照光的情況下之汲極電流量測圖。如圖所示，照光後，本發明之光電記憶體元件的汲極電流從 1.5 上升到 415 nA。而在關閉燈源後，汲極電流緩慢下降至一個穩態。這穩態可以藉由使用脈衝電壓(-15V,100ms)有效的移除。當使用負向閘極脈衝偏壓，使被捕抓的電子會快速與來陷阱中心的大多數電子結合，在使用負向電場後，硒化鎘量子點的費米能階也被調整向導電帶，降低內建電場，因此加強了電子電洞對結合。以這操作模式為基礎下，我們可以快速藉由光學寫入及電性抹除的方式操作光電記憶體元件。

於實務中，前述之光源可視主動層材料之光吸收光譜特性選擇白光、紫外光、紅外光或其它合適種類的光源。此外，於實際應用中，當該複合材料包含 P 型半導體材料時，該閘極電壓為正。反之，當該複合材料包含 N 型半導體材料時，該閘極電壓為負。

綜上所述，本發明之光電記憶體元件係以量子點混摻至共軛導電高分子材料作為主動層，光照射後電子轉移至量子點並儲存於量子點，加以適當的閘極電壓使得電子脫離量子點。藉由採用不同大小之量子點及量子點種類或不同能帶間隙之導電共軛高分子，可以改善不同元件的光寫入之波長。並且，可利用不同結構之量子點增加電子局限於量子點的時間，進而增強記憶體的儲存時間。另外，本發明之光電記憶體元件較一般傳統電晶體記憶體更容易製備且更便宜。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明之範圍，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示根據本發明之一具體實施例的製造光電記憶體元件之方法流程圖。

第 2 圖繪示根據本發明之混摻硒化鎘量子點聚噻吩薄膜之原子力顯微鏡照片。

第 3 圖繪示根據本發明之一具體實施例的光電記憶體元件的部份剖面圖。

第 4 圖繪示根據本發明之一具體實施例的量測光電記憶體元件之方法流程圖。

第 5 圖繪示本發明之光電記憶體元件照光以及不照光之汲極到源極電流 I_{DS} 相對閘極到源極電壓 V_{GS} 之作圖。

第 6 圖繪示本發明之光電記憶體元件在閘極電壓施加 15V 時的記憶時間測試。

第 7 圖繪示本發明之光電記憶體元件在無閘極電壓時的記憶時間測試。

第 8 圖繪示本發明之光電記憶體元件在照光以及不照光的情況下之汲極電流量測圖。

【主要元件符號說明】

5：光電記憶體元件	50：基板
500：閘極	52：絕緣層
54：主動層	540：量子點
56：源極	58：汲極
S10~S18、S20~S28：流程步驟	

十、申請專利範圍：

102年1月7日修正
劃線頁(本)

- 1、一種光電記憶體元件，包含：
 - 一基板，包含一閘極包覆於該基板中；
 - 一絕緣層，形成於該基板上；
 - 一主動層，形成於該絕緣層上，該主動層係由包含一共軛高分子材料以及一量子點材料之一複合材料所構成；
 - 一源極，形成於該絕緣層上，並且該源極電連接該主動層；以及
 - 一汲極，形成於該絕緣層上，並且該汲極電連接該主動層；其中該閘極位在該絕緣層下方並位在該主動層的正下方。
- 2、如申請專利範圍第1項所述之光電記憶體元件，其中該基板係以矽或玻璃製成。
- 3、如申請專利範圍第1項所述之光電記憶體元件，其中該基板為可撓性基板。
- 4、如申請專利範圍第1項所述之光電記憶體元件，其中該絕緣層係以二氧化矽或氮化矽製成。
- 5、如申請專利範圍第1項所述之光電記憶體元件，其中該絕緣層包含：
 - 一二氧化矽層，形成於該基板上；以及
 - 一六甲基二矽氮烷層，形成於該二氧化矽層上；其中該主動層、該源極以及該汲極皆形成於該六甲基二矽氮烷層上。

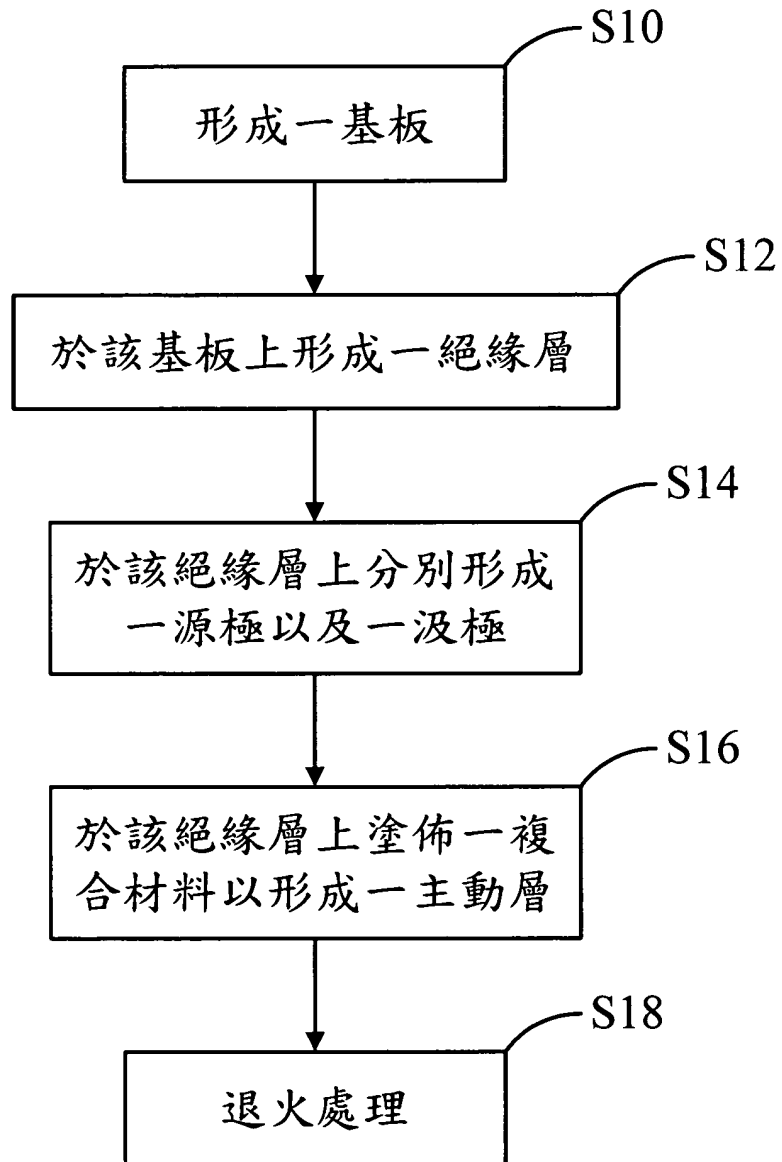
- 6、如申請專利範圍第 1 項所述之光電記憶體元件，其中該複合材料以三氯甲烷作為溶劑。
- 7、如申請專利範圍第 1 項所述之光電記憶體元件，其中該共軛高分子材料包含聚噻吩 (polythiophene, P3HT)。
- 8、如申請專利範圍第 1 項所述之光電記憶體元件，其中該量子點材料包含金屬量子點或半導體量子點。
- 9、如申請專利範圍第 8 項所述之光電記憶體元件，其中該半導體量子點係硒化鎘 (CdSe) 量子點。
- 10、如申請專利範圍第 8 項所述之光電記憶體元件，其中該硒化鎘量子點之直徑介於 2nm 至 10nm 之間。
- 11、如申請專利範圍第 1 項所述之光電記憶體元件，其中該源極以及該汲極皆為指插狀電極。
- 12、一種製造一光電記憶體元件之方法，包含下列步驟：
 - (a) 形成一基板，其包含一閘極包覆於該基板中；
 - (b) 於該基板上形成一絕緣層；
 - (c) 於該絕緣層上分別形成一源極以及一汲極；以及
 - (d) 於該絕緣層上塗佈一複合材料，以形成一主動層，其中該複合材料包含一共軛高分子材料以及一量子點材料；其中，該源極以及該汲極皆電連接該主動層，且該閘極位在該絕緣層下方並位在該主動層的正下方。
- 13、如申請專利範圍第 12 項所述之方法，進一步包含下列步驟：

- (e) 在氮氣環境下，針對主動層在 150 °C 連續退火 5 分鐘。
- 14、如申請專利範圍第 12 項所述之方法，其中步驟(b)進一步包含下列步驟：
- (b1) 於該基板上形成一二氧化矽層；以及
 - (b2) 於該二氧化矽層上形成一六甲基二矽氮烷層。
- 15、如申請專利範圍第 14 項所述之方法，其中該六甲基二矽氮烷層係以氣相沈積方式形成於該二氧化矽層上。
- 16、如申請專利範圍第 12 項所述之方法，其中該複合材料係以聚噻吩 (polythiophene, P3HT) 以及硒化鎘 (CdSe) 量子點溶於三氯甲烷所形成。
- 17、一種量測一光電記憶體元件之方法，該光電記憶體元件包含一基板，其包含一閘極；形成於該基板上之一絕緣層；形成於該絕緣層上之一源極、一汲極以及一主動層，該主動層係由包含一共軛高分子材料以及一量子點材料之一複合材料所構成，且該源極以及該汲極皆電連接該主動層，該方法下列步驟：
- (a) 將該源極接地；
 - (b) 於該汲極施加一汲極電壓並於該汲極量測一第一電流；
 - (c) 以一光源照射該光電記憶體元件，並於該汲極量測一第二電流；以及
 - (d) 比較該第一電流以及該第二電流之大小，以判斷該光電記憶體元件之功能性參數。
- 18、如申請專利範圍第 17 項所述之方法，其中於步驟(a)

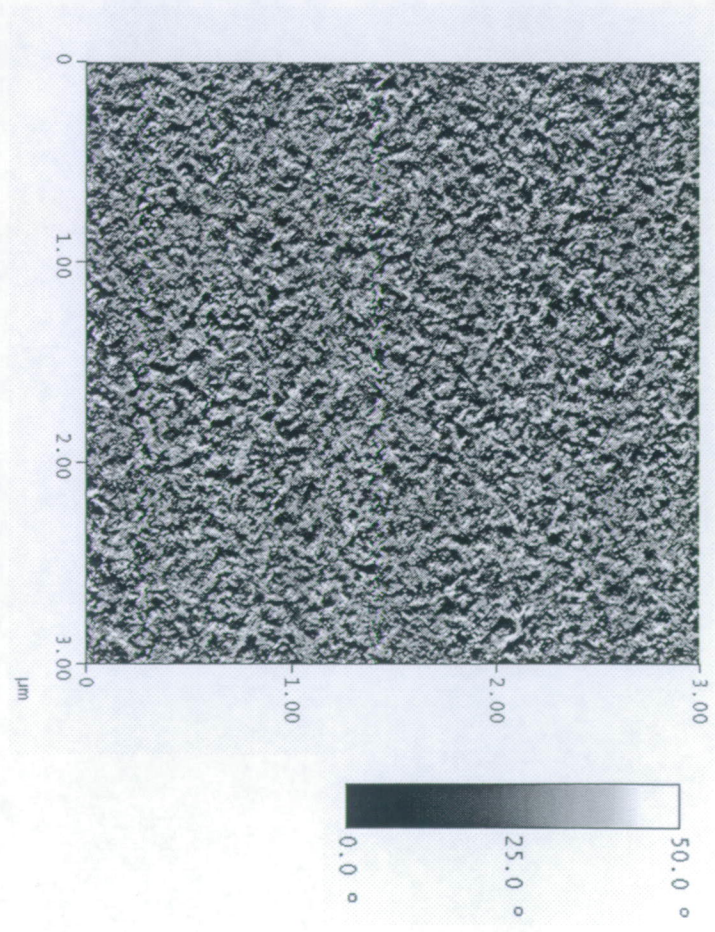
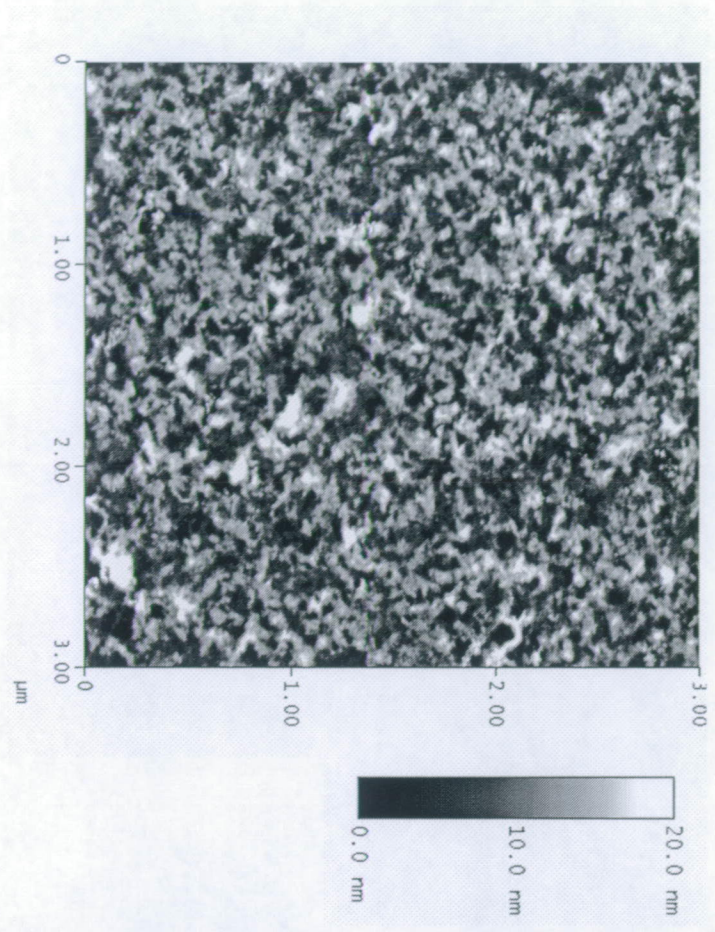
之前進一步包含下列步驟：

- (a') 透過該閘極施加一閘極電壓，致使該主動層空乏。
- 19、如申請專利範圍第 18 項所述之方法，其中當該複合材料包含 P 型半導體材料時，該閘極電壓為正。
- 20、如申請專利範圍第 18 項所述之方法，其中當該複合材料包含 N 型半導體材料時，該閘極電壓為負。
- 21、如申請專利範圍第 17 項所述之方法，進一步包含下列步驟：
- (e) 施加一脈衝電壓以抹除該光電記憶體元件之記憶狀態。
- 22、如申請專利範圍第 17 項所述之方法，其中該光源為白光、紫外光或紅外光。

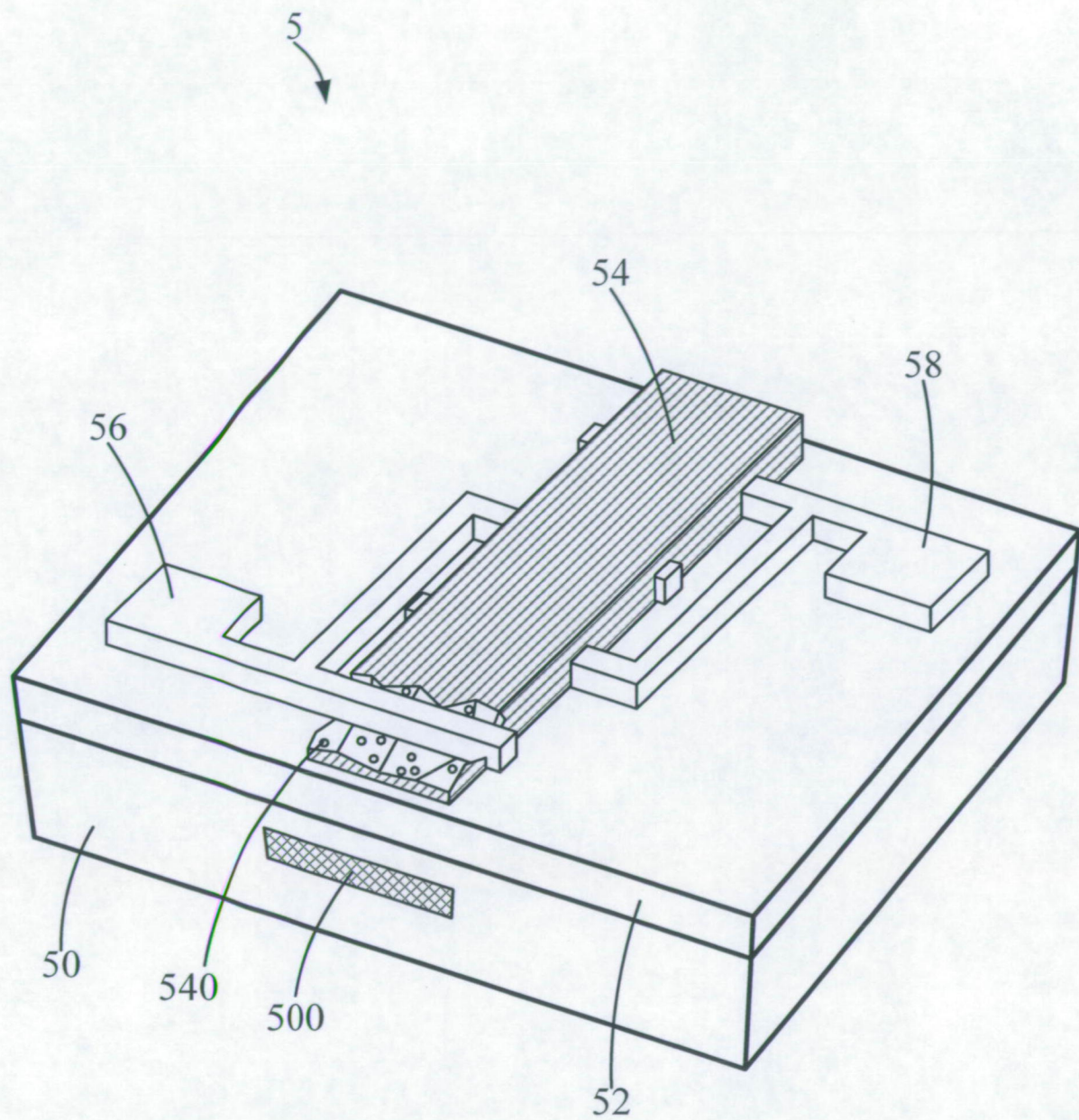
十一、圖式：



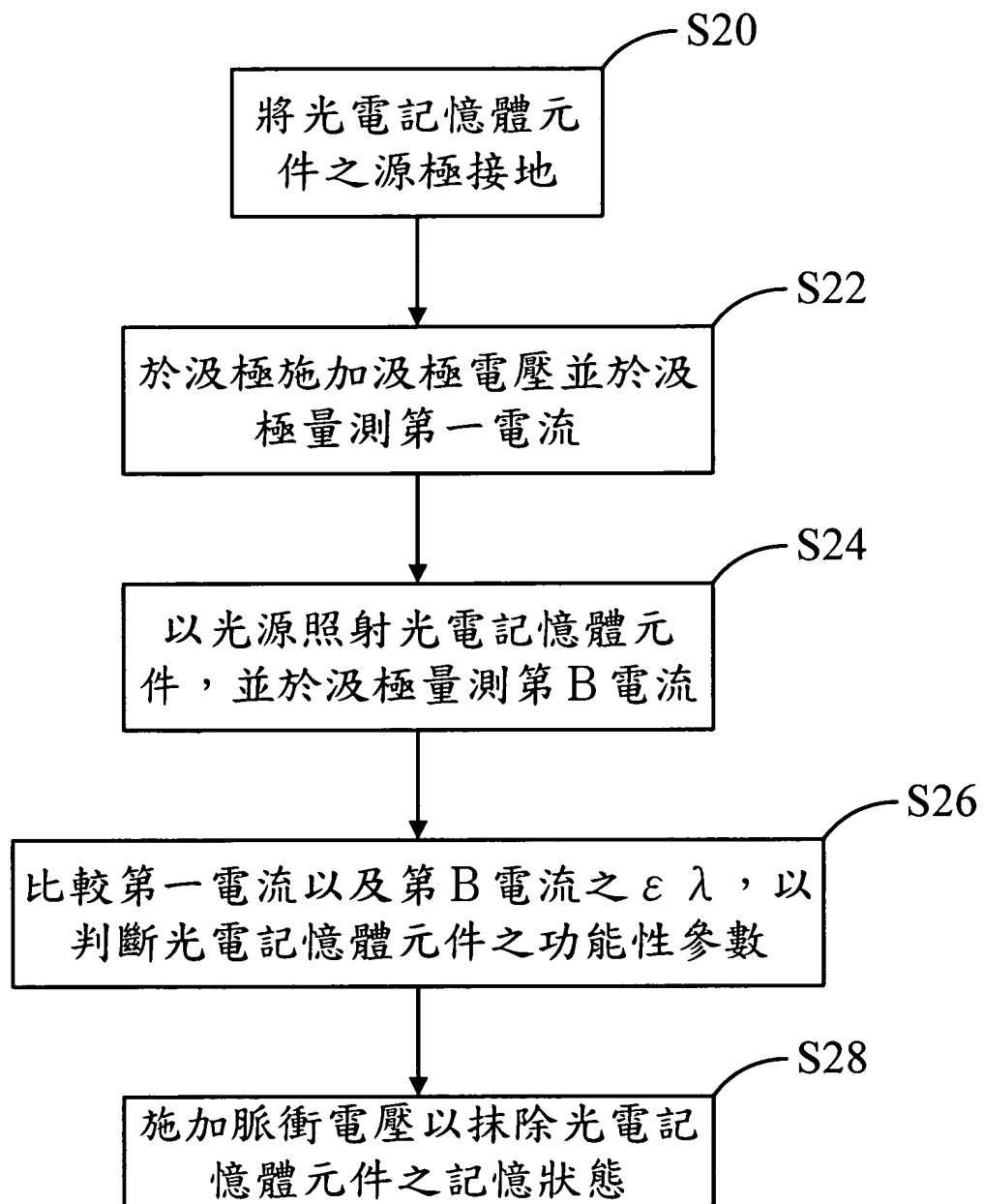
第1圖



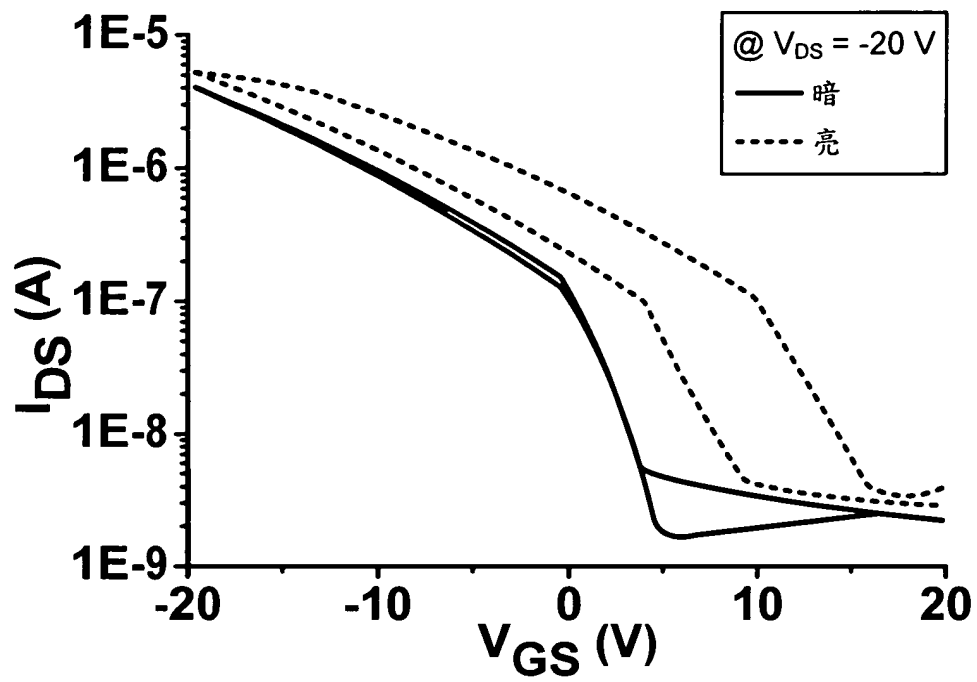
第2圖



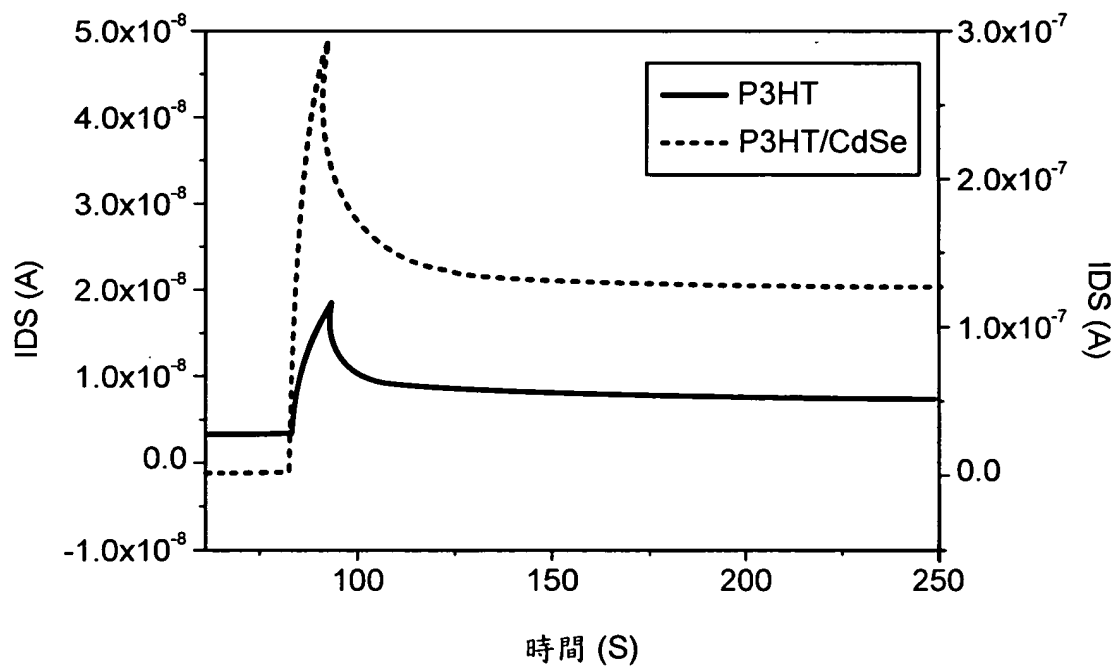
第3圖



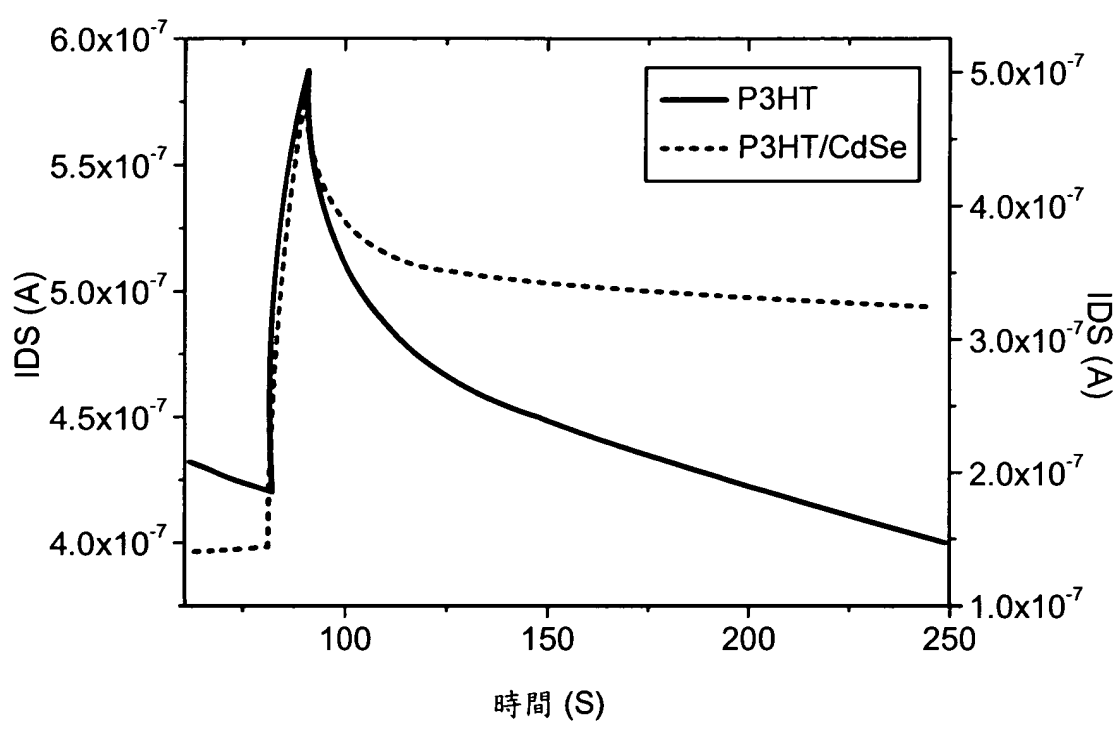
第4圖



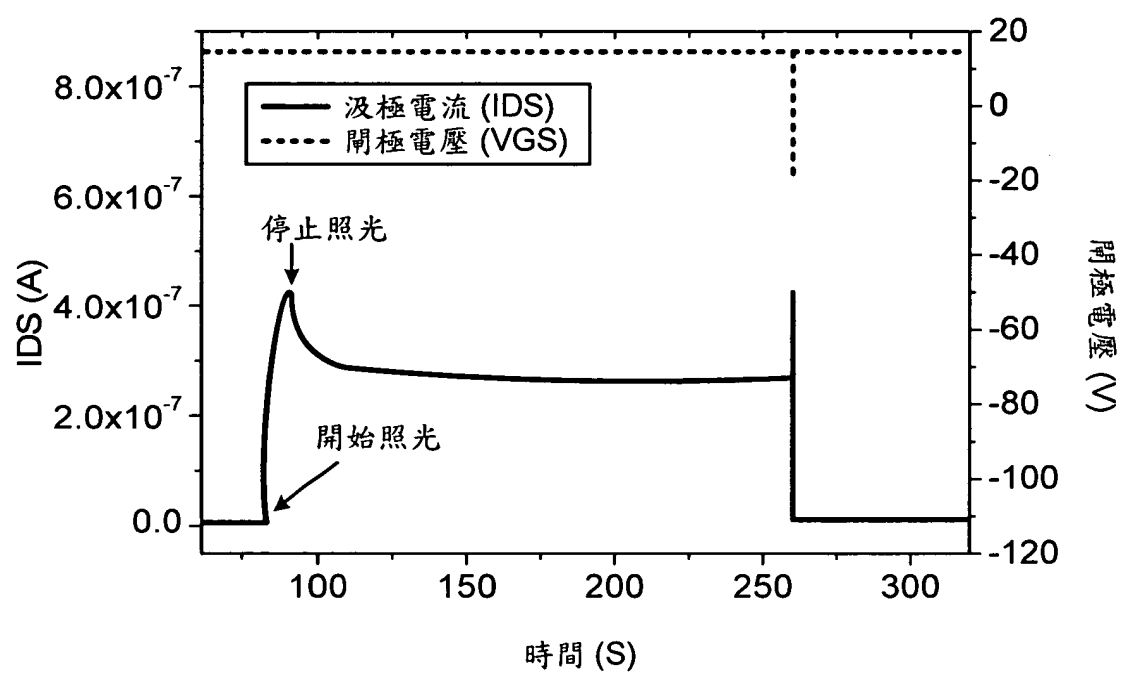
第5圖



第6圖



第7圖



第8圖