



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I381653B1

(45)公告日：中華民國 102 (2013) 年 01 月 01 日

(21)申請案號：098130766

(22)申請日：中華民國 98 (2009) 年 09 月 11 日

(51)Int. Cl. : H03M13/27 (2006.01)

H03M13/29 (2006.01)

H04L1/00 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：李順吉 LEE, SHUENN GI (TW)；王忠炫 WANG, CHUNG HSUAN (TW)；沈文和 SHEEN, WERN HO (TW)

(74)代理人：洪堯順

(56)參考文獻：

TW 200833039

TW 200845594

TW 200929892

US 6845482B2

US 2008/0115034A1

Nimbalker, A.; Blankenship, Y.; Classon, B.; Blankenship, T.K.; , "ARP and QPP Interleavers for LTE Turbo Coding," Wireless Communications and Networking Conference, 2008. WCNC 2008. IEEE , vol., no., pp.1032-1037, March 31 2008-April 3 2008.

Sun, J.; Takeshita, O.Y.; , "Interleavers for turbo codes using permutation polynomials over integer rings," Information Theory, IEEE Transactions on , vol.51, no.1, pp.101-119, Jan. 2005.

審查人員：陳明德

申請專利範圍項數：25 項 圖式數：17 共 0 頁

(54)名稱

二階重排多項式交織器位址產生裝置與方法

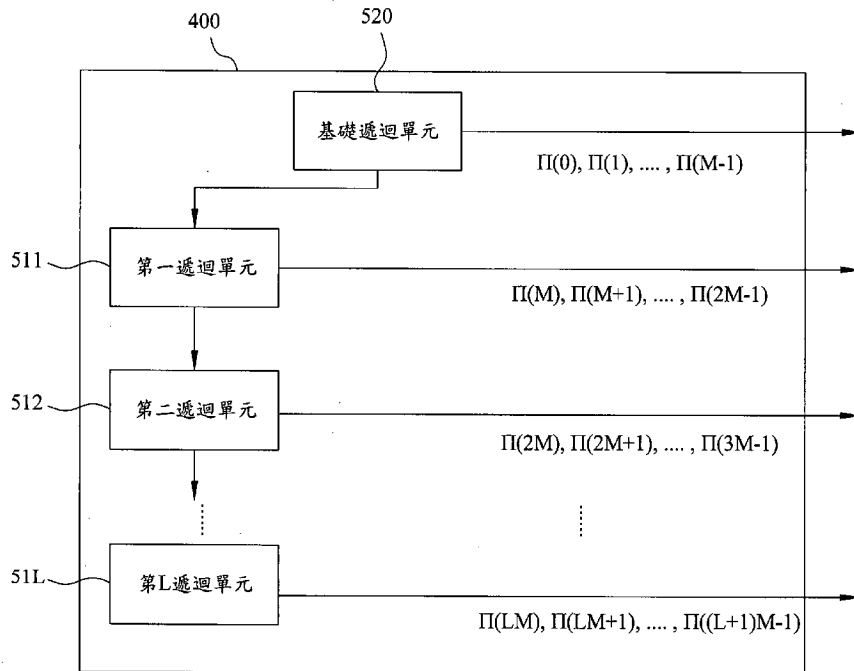
ADDRESS GENERATION APPARATUS AND METHOD FOR QUADRATIC PERMUTATION POLYNOMIAL INTERLEAVER DE-INTERLEAVER

(57)摘要

一種二階重排多項式交織器位址產生裝置，包含一基礎遞迴單元、以及表示為第一至第 L 遞迴單元的 L 個遞迴單元，L 是大於 1 的整數。此裝置根據 QPP 函數 $\Pi(i)=(f_1 i+f_2 i^2) \bmod k$ ，輸入數個可配置參數，並藉由此基礎遞迴單元依序產生出多個交織器位址，藉由此第一至第 L 遞迴單元平行產生出 L 組相對應的交織器位址，其中， $\Pi(i)$ 是此裝置產生的第 i 個交織器位址， f_1 與 f_2 是 QPP 係數，k 是一輸入序列的資訊區塊長度， $0 \leq i \leq k-1$ 。

An address generation apparatus for quadratic permutation polynomial interleaver is provided. It comprises a basic recursive unit, and L recursive units represented by first recursive unit up to L^{th} recursive

units. The apparatus inputs a plurality of configurable parameters according to a QPP function $\Pi(i)=(f_1 i + f_2 i^2) \bmod k$, generates a plurality of interleaver addresses in serial via the basic recursive unit, and generates L groups of corresponding interleaver addresses via the first upto the L^{th} recursive units, wherein $\Pi(i)$ is the i -th interleaver address generated by the apparatus, f_1 and f_2 are QPP coefficients, and k is information block length of an input sequence, $0 \leq i \leq k-1$.



第五圖

400 · · · QPP 交織
器位址產生裝置

L、M · · · 大於 1
的整數

520 · · · 基礎遞迴單
元

511-51L · · · 第一至
第 L 遞迴單元

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/30766

※申請日：98 9 11

※IPC 分類：H03M 13/27 (2006.01)
H03M 13/29 (2006.01)
H04L 1/00 (2006.01)

一、發明名稱：(中文/英文)

二階重排多項式交織器位址產生裝置與方法/

ADDRESS GENERATION APPARATUS AND METHOD FOR
QUADRATIC PERMUTATION POLYNOMIAL INTERLEAVER
DE-INTERLEAVER

二、中文發明摘要：

一種二階重排多項式交織器位址產生裝置，包含一基礎遞迴單元、以及表示為第一至第 L 遞迴單元的 L 個遞迴單元，L 是大於 1 的整數。此裝置根據 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ，輸入數個可配置參數，並藉由此基礎遞迴單元依序產生出多個交織器位址，藉由此第一至第 L 遞迴單元平行產生出 L 組相對應的交織器位址，其中， $\Pi(i)$ 是此裝置產生的第 i 個交織器位址， f_1 與 f_2 是 QPP 係數，k 是一輸入序列的資訊區塊長度， $0 \leq i \leq k-1$ 。

三、英文發明摘要：

An address generation apparatus for quadratic permutation polynomial interleaver is provided. It comprises a basic recursive unit, and L recursive units represented by first recursive unit up to Lth recursive units. The apparatus inputs a plurality of configurable parameters according to a QPP function $\Pi(i)=(f_1i+f_2i^2) \bmod k$, generates a plurality of interleaver addresses in serial via the basic recursive unit, and generates L groups of corresponding interleaver addresses via the first upto the Lth recursive units, wherein $\Pi(i)$ is the i-th interleaver address generated by the apparatus, f_1 and f_2 are QPP coefficients, and k is information block length of an input sequence, $0 \leq i \leq k-1$.

98年10月13日修正補充

四、指定代表圖：

(一)本案指定代表圖為：第(五)圖。

(二)本代表圖之元件符號簡單說明：

400 QPP 交織器位址產生裝置	L、M 大於 1 的整數
520 基礎遞迴單元	511-51L 第一至第 L 遞迴單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

98年10月13日修正替換頁

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種二階重排多項式(quadratic permutation polynomial, QPP)交織器(interleaver)位址產生(address generation)裝置與方法。

【先前技術】

近年來，行動通訊(3GPP LTE)系統大多以 QPP 交織器(Interleaver)來取代 3G 行動通訊系統中實體層渦輪碼(Turbo code)的交織器，藉以大幅改善解碼器的解碼速度。QPP 交織器除了具有記憶體無競爭(Contention Free)的優點外，在硬體的複雜度及解碼性能上皆有不錯的表現。QPP 交織器使得渦輪解碼裡輕易地避免在最大事後機率(Maximum A Posterior Probability, MAP)演算法算出最大事後機率之後，記憶體寫入碰撞的問題，同時，利用多個移動視窗(Sliding Window)來達成平行運算(Parallelism)以加快解碼器的運算速度。

常見的渦輪碼交織器設計大多將計算出的交織器位址事先儲存在一記憶體或一位址表格(address table)中，例如第一 A 圖與第一 B 圖的串列與平行架構。第一 A 圖的串列架構中，當一滑動視窗(sliding window)110 輸出一筆外來資訊(extrinsic information)110a 後，需要交織器位址時，就讀出一位址表格 120 裡一相對應的交織器位址，

當作外來資訊 110a 要被填入記憶體 130 的位址。

第一 B 圖的平行架構中，當一組滑動視窗平行輸出多筆外來資訊後，需要交織器位址時，就讀出一位址表格 121 裡多個相對應的交織器位址，並搭配一組資料多工器 (data multiplexer) 125 的選擇，當作此多筆外來資訊要被填入多個記憶體的相對應的位址。

以 LTE 渦輪碼為例，其解碼長度的範圍可由 40 至 6144 位元，也就是說每一碼段 (code segment) 裡的位元數可由 40 至 6144。對於 188 種解碼長度的規格，此記憶體需儲存 188 組長度是 40 至 6144 位元之間的交織器位址。這需要花費不少的記憶體容量。

例如，美國專利號 US6845482 揭露一種利用一個產生質數索引資訊 (index information) 的元件以及如第二圖的五種查表 (look-up table) 來產生渦輪碼交織器之記憶體位址的技術。此記憶體位址產生技術產生與 W-CDMA 標準相容的渦輪碼之交錯位址 (interleaved address)。對於 W-CDMA 標準可支援的所有可能的碼段大小，表格 210 儲存所有可以用到的質數，共有 52 個質數。表格 220 儲存四種列間排列序列 (inter-row permutation sequence) 221-224。表格 230 儲存 52 個跨列基本序列 (intra-row base sequence)，表格 230 裡每一質數 P 對應一跨列基本序列，此跨列基本序列的長度為 P-1。表格 240

儲存此 52 個跨列基本序列的起始位址(starting address)。表格 250 儲存 52 個質數序列(prime number sequence)，每一質數序列的長度為 20。

美國專利公開號 US2008/0115034 揭露一種 QPP 交織器的範例，應用於渦輪碼的編解碼。第三圖中，此 QPP 交織器 300 包括一交織器記憶體(interleaver memory)310、一位址產生器(address generator)320、以及一控制單元(control unit)330。控制單元 330 裡的模數計數器(modulo-counter)331 提供輸入索引(input index) n 給位址產生器 320。位址產生器 320 之輸出序列的第 n 個值 $\Pi(n)$ 可以描述成下列型式：

$$\Pi(n)=(f_1n+f_2n^2) \bmod k, \quad n=0,1,\dots,k-1,$$

其中， $\Pi(n)$ 是第 n 個交織輸出位置(interleaved output position)， f_1 與 f_2 是 QPP 係數， k 是輸入序列的資訊區塊長度(information block length)， \bmod 是模數運算。而計算出的 $\Pi(n)$ 值則儲存於交織器記憶體 310 中，當需要時再從交織器記憶體 310 串列讀出。

【發明內容】

本揭露的實施範例可提供一種 QPP 交織器位址產生裝置與方法。

在一實施範例中，所揭露者是一種 QPP 交織器位址產生裝置。此裝置包含一基礎遞迴單元(basic recursive

unit)、以及表示為第一至第 L 遞迴單元的 L 個遞迴單元， $L \geq 2$ 。此裝置根據一 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ， $i = 0, 1, \dots, k-1$ ，輸入數個可配置參數，並藉由此基礎遞迴單元，依序產生出多個交織器位址，藉由此第一至第 L 遞迴單元平行產生出 L 組相對應的交織器位址，其中，此基礎遞迴單元與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至此第一遞迴單元與第 $j+1$ 遞迴單元， $\Pi(i)$ 是此裝置產生的第 i 交織位址， f_1 與 f_2 是 QPP 係數， k 是一輸入序列的資訊區塊長度， $1 \leq j \leq L-1$ 。

在另一實施範例中，所揭露者是關於一種 QPP 交織器位址產生方法，應用於一通訊系統上的編解碼器。此方法包含：根據一 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ，輸入多個可配置參數；藉由一基礎遞迴單元，依序產生出多個交織器位址；以及藉由 L 個遞迴單元，以第一至第 L 遞迴單元表示，平行產生出 L 組相對應的交織器位址， $L \geq 2$ ，其中，此基礎遞迴單元與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至此第一遞迴單元與第 $j+1$ 遞迴單元， $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數， k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體之位址， $0 \leq i \leq k-1$ ， $1 \leq j \leq L-1$ 。

茲配合下列圖示、實施範例之詳細說明及申請專利範圍，將上述及本發明之其他目的與優點詳述於後。

【實施方式】

本發明的實施範例中可提供一種 QPP 交織器位址產生裝置與方法。此 QPP 交織器位址產生技術採用的硬體設計可直接計算交織器位址，並可平行輸出或串列輸出交織器位址的計算結果。

第四圖是 QPP 交織器位址產生裝置的一個範例示意圖如所示，與所揭露的某些實施範例一致。第四圖中，QPP 交織器位址產生裝置 400 根據 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ，輸入數個可配置參數 (configurable parameter) 430，例如 $\{k, (f_1+f_2) \bmod k, 2f_2 \bmod k, 2Mf_2 \bmod k, f_1M \bmod k, f_2M^2 \bmod k\}$ 或是 $\{k, f_1+f_2, 2f_2, 2Mf_2, \text{以及 } f_1M+f_2M^2\}$ ，來平行輸出交織器位址 $\Pi(i+jM)$ 或串列輸出交織器位址 $\Pi(i)$ ，其中， $\Pi(i)$ 是 QPP 交織器位址產生裝置 400 產生的第 i 交織器位址， f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ， $1 \leq j \leq L-1$ ， k 是一輸入序列的資訊區塊長度， M 是將此輸入序列的資訊輸出之滑動視窗的寬度， L 是一次平行輸出之交織器位址 $\Pi(i+jM)$ 的個數。

QPP 交織器位址產生裝置 400 可同時當成交織器與反交織器位址產生器來使用，以反交織器位址產生器來使用時，只需將輸出的交織器位址當成讀取一記憶體的位址即可。

QPP 交織器位址產生裝置 400 可串列輸出或平行輸出
交織器位址的原理先說明如下。因為

$$\text{QPP 函數 } \Pi(i) = (f_1 i + f_2 i^2) \bmod k, \quad i = 0, 1, \dots, k-1,$$

$$\begin{aligned} \text{所以 } \Pi(i+m) &= (f_1(i+m) + f_2(i+m)^2) \bmod k \\ &= (\Pi(i) + f_1 m + f_2 m^2 + 2 m f_2 i) \bmod k, \end{aligned}$$

當 $m=1$ 時，

$$\Pi(i+1) = (\Pi(i) + f_1 m + f_2 m^2 + 2 f_2 i) \bmod k, \quad i = 0, 1, \dots, k-1 \quad (1)$$

所以，QPP 交織器位址產生裝置 400 可根據遞迴公式
(1)，直接依序算出交織器位址 $\Pi(0), \Pi(1), \Pi(2), \dots$ 。

當 $m=M, 2M, 3M, \dots$ 時，

$$\Pi(i+M) = (\Pi(i) + f_1 M + f_2 M^2 + 2 f_2 i) \bmod k, \quad i = 0, 1, \dots, k-1 \quad (2)$$

所以，QPP 交織器位址產生裝置 400 可根據如遞迴公式
(2)，而直接平行算出交織器位址 $\Pi(i), \Pi(i+M), \Pi(i+2M), \dots$ 。以 $M=32$ 為例，交織器位址產生裝置
400 可平行輸出數個序列，其中

第一序列 $\{\Pi(i+M)\}$ 為 $\Pi(32), \Pi(33), \Pi(34), \dots$;

第二序列 $\{\Pi(i+2M)\}$ 為 $\Pi(64), \Pi(65), \Pi(66), \dots$;

第三序列 $\{\Pi(i+3M)\}$ 、第四序列 $\{\Pi(i+4M)\}$ 、... 等；

依此類推。 M 是每一序列的元素個數，也就是滑動視窗
的寬度。

承上述，QPP 交織器位址產生裝置 400 的架構如第
五圖的範例所示，並與所揭露的某些實施範例一致。第
五圖的範例中，QPP 交織器位址產生裝置 400 包含一基

基礎遞迴單元 520、以及 L 個遞迴單元，此 L 個遞迴單元以第一遞迴單元 511 至第 L 遞迴單元 51 L 來表示， L 是大於 1 的整數。基礎遞迴單元 520 可用來產生串列輸出，依序計算出交織器位址 $\Pi(0), \Pi(1), \Pi(2), \dots, \Pi(M-1)$ ，交織器位址之初始值 $\Pi(0)$ 可設定為一整數的常值，例如 0。而第一遞迴單元 511 至第 L 遞迴單元 51 L 可用來平行計算出交織器位址，即

第一組串列 $\Pi(M), \Pi(M+1), \dots, \Pi(2M-1)$;

第二組串列 $\Pi(2M), \Pi(2M+1), \dots, \Pi(3M-1)$; 至

第 L 組串列 $\Pi(LM), \Pi(LM+1), \dots, \Pi((L+1)M-1)$ 。

基礎遞迴單元 520 與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至第一遞迴單元 511 與第 $j+1$ 遞迴單元，例如基礎遞迴單元 520 於每一次產生交織器位址時，輸出至第一遞迴單元 511，而第一遞迴單元 511 於每一次產生交織器位址時，輸出至第二遞迴單元 512，而第二遞迴單元 512 於每一次產生交織器位址時，輸出至第三遞迴單元 513，以此類推。此平行計算輸出的數量 L 也就是滑動視窗的數量。

若滑動視窗的寬度 M 為 2 的次冪(power)，例如 $M=2^n$ ，則可利用計算出的交織器位址的 n 個最低有效位元(Least Significant Bit, LSB)來當成所有填入外來資訊之記憶體之位址。

基礎遞迴單元 520 輸入可配置參數，例如 $\{\Pi(0)、f_1+f_2、2f_2\}$ 或是 $\{f_1+f_2、2f_2\}$ ，並產生輸出串列 $\Pi(0),\Pi(1),\Pi(2),\dots$ 。而每一第 i 遞迴單元分別輸入可配置參數，例如 $\{\Pi(i+m_1)、h(i)、2m_2f_2\}$ 或是 $\{k、2Mf_2、f_1M+f_2M^2\}$ ， $1 \leq i \leq L$ ， $m_1、m_2$ 是預定的整數， $h(i)$ 是一預定的遞迴函數， $m_1、m_2、h(i)$ 將再詳細說明。此 L 個遞迴單元並平行產生出 L 個串列， $\{\Pi(i+M)\}$ 、 $\{\Pi(i+2M)\}$ 、 \dots 、 $\{\Pi(i+LM)\}$ 。換句話說，透過基礎遞迴單元 520 可實現一種串列交織器位址產生器，而藉由第一至第 L 遞迴單元可實現一種並列交織器位址產生器。以下是本揭露之 QPP 交織器位址產生裝置與方法的兩個實施範例的說明。

第一實施範例中，基礎遞迴單元的設計原理是依遞迴公式(1)，並引用遞迴函數 $g(i)$ ， $i=0,1,\dots,k-1$ ，其中

$$\Pi(i+1)=(\Pi(i)+g(i)) \bmod k，$$

$$g(i)=(f_1+f_2+2f_2i) \bmod k，且 g(i+1)=g(i)+2f_2。$$

所以，基礎遞迴單元可輸入一組可配置參數，如 $\{\Pi(0)、f_1+f_2、2f_2\}$ ，來依序產生交織器位址 $\Pi(0),\Pi(1),\Pi(2),\dots$ 等，其中基礎遞迴單元之硬體結構與時序控制的範例分別如第六 A 圖與第六 B 圖所示，並與所揭露的某些實施範例一致。

第六 A 圖的範例中，可用三個多工器 611-613、兩個暫存器 621 與 622、以及兩個 2-輸入-相加後取餘數電路

631 與 632，並搭配兩控制訊號 $init_1$ 與 $init_2$ 來實現此基礎遞迴單元。第六 B 圖的範例中，說明兩控制訊號 $init_1$ 與 $init_2$ 的時序控制，以及兩個暫存器 621 與 622 依此時序控制所暫存的交織器位址 $\Pi(i)$ 與函數值 $g(i)$ 。

2-輸入-相加後取餘數電路是一般取餘數的電路，例如兩加法運算元 A 和 B，經加法運算後，取除數 K 之後的餘數，即 $(A+B) \bmod K$ ，可用兩個加法器和一多工器來實現。以下請一併參考第六 A 圖與第六 B 圖，以說明基礎遞迴單元之內部元件之間的運作。

第六 A 圖中，基礎遞迴單元透過多工器 611-613、2-輸入-相加後取餘數電路 631、與 2-輸入-相加後取餘數電路 632，輸入一組可配置參數如 $\{\Pi(0), f_1+f_2, 2f_2\}$ 後，如第六 B 圖所示，首先，觸發控制訊號 $init_1$ (即 $init_1$ 的邏輯值為高(high))，此時第六 A 圖中，多工器 613 將輸入的參數 $\Pi(0)$ 輸出至暫存器 622。然後在控制訊號 $init_1$ 的觸發邊緣降為低值時，觸發控制訊號 $init_2$ (即 $init_2$ 的邏輯值為高(high))，此時第六 A 圖中，多工器 612 將輸入的參數 f_1+f_2 ，也就是函數值 $g(0)$ ，輸出至 2-輸入-相加後取餘數電路 632。當暫存器 622 內的 $\Pi(0)$ 輸出時， $\Pi(0)$ 同時也饋回 2-輸入-相加後取餘數電路 632。換句話說，分別藉由觸發控制訊號 $init_1$ 與 $init_2$ ，來設定 $\Pi(0)$ 與 $g(0)$ 的初始值。此時，多工器 611 也會將輸入的參數 f_1+f_2 ，輸出至 2-輸入-相加後取餘數電路

631。

然後，2-輸入-相加後取餘數電路 632 的兩加法運算元，即 $g(0)$ 與 $\Pi(0)$ ，經由模數運算後，產生下一個交織器位址 $\Pi(1)$ 。而 2-輸入-相加後取餘數電路 631 的兩加法運算元，即 f_1+f_2 與 $2f_2$ ，經由模數運算後，產生 $f_1+f_2+2f_2$ ，也就是 $g(1)$ ，並輸出至暫存器 621。交織器位址 $\Pi(1)$ 經由多工器 613，再分別被輸出至第一遞迴單元 511 與暫存器 622。換句話說，當 $\Pi(1)$ 被輸出至第一遞迴單元 511 時，暫存器 622 儲存著 $\Pi(1)$ ，而暫存器 621 儲存著 $g(1)$ 。

接下來，當暫存器 622 裡的 $\Pi(1)$ 輸出時， $\Pi(1)$ 同時饋回 2-輸入-相加後取餘數電路 632。而當暫存器 621 裡的 $g(1)$ 饋回多工器 611 時， $g(1)$ 同時經由多工器 612 後輸出至 2-輸入-相加後取餘數電路 632。多工器 611 將 $g(1)$ 輸出至 2-輸入-相加後取餘數電路 631。因此，2-輸入-相加後取餘數電路 632 的兩加法運算元，即 $g(1)$ 與 $\Pi(1)$ ，經由模數運算後，產生下一個交織器位址 $\Pi(2)$ 。而 2-輸入-相加後取餘數電路 631 的兩加法運算元，即 $g(1)$ 與 $2f_2$ ，經由模數運算後，產生 $g(2)$ 並輸出至暫存器 621。交織器位址 $\Pi(2)$ 經由多工器 613，再分別被輸出至第一遞迴單元 511 與暫存器 622。換句話說，當 $\Pi(2)$ 被輸出至第一遞迴單元 511 時，暫存器 622 儲存著 $\Pi(2)$ ，而暫存器 621 儲存著 $g(2)$ 。

依此類推，對於每一個 $i, i=0,1,2,\dots,M-1$ ，當暫存器 622 裡的 $\Pi(i)$ 輸出後，2-輸入-相加後取餘數電路 632 的兩加法運算元，即 $g(i)$ 與 $\Pi(i)$ ，經由模數運算後，產生下一個交織器位址 $\Pi(i+1)$ 。而 2-輸入-相加後取餘數電路 631 的兩加法運算元，即 $g(i)$ 與 $2f_2$ ，經由模數運算後，產生 $g(i+1)$ 並輸出至暫存器 621。交織器位址 $\Pi(i+1)$ 經由多工器 613，再分別被輸出至第一遞迴單元 511 與暫存器 622。

第一實施範例中，第一遞迴單元 511 至第 L 遞迴單元 51L 的設計原理與硬體結構。第一實施範例中，第一遞迴單元 511 至第 L 遞迴單元 51L 是依遞迴公式(2)，並引用另一遞迴函數 $h(i)$ 來設計。說明如下。

令 $m=m_1+m_2$ ，因此從遞迴公式(2)

$$\Pi(i+M)=(\Pi(i)+f_1M+f_2M^2+2f_2i) \bmod k, \text{ 可得}$$

$$\Pi(i+m_1+m_2)=(\Pi(i+m_1)+f_1m_2+2m_1m_2f_2+f_2m_2^2+2m_2f_2i) \bmod k,$$

令 $h(i)=(f_1m_2+2m_1m_2f_2+f_2m_2^2+2m_2f_2i) \bmod k$ ，故可得

$$h(i+1)=(h(i)+2m_2f_2) \bmod k。$$

以 $m_1=0, M, 2M, \dots$; 且 $m_2=M=32$ 為範例時，可得

$$\Pi(i+m_1+m_2)=\Pi(i+0+M), \text{ 即 } \Pi(32), \Pi(33), \Pi(34), \dots$$

$$\Pi(i+m_1+m_2)=\Pi(i+M+M), \text{ 即 } \Pi(64), \Pi(65), \Pi(66), \dots$$

$$\Pi(i+m_1+m_2)=\Pi(i+2M+M), \text{ 即 } \Pi(96), \Pi(97), \Pi(98), \dots$$

因此，第一遞迴單元 511 至第 L 遞迴單元 51L 中，每一遞迴單元 51j 的一組輸入參數可設計為 $\{\Pi(i+m_1)$ 、

$h(0)$ 、 $2m_2f_2$ }, $h(0) = (f_1m_1 + 2m_1m_2f_2 + f_2m_2^2) \bmod k$, 而其內部結構如第七圖的範例所示, 並與所揭露的某些實施範例一致。

第七圖的範例中, 每一遞迴單元 $51j$ 可用兩個多工器 711 與 712、兩個暫存器 721 與 722、以及兩個 2-輸入-相加後取餘數電路 731 與 732, 並搭配控制訊號 $init_1$ 來實現。遞迴單元 $51j$ 透過多工器 711 與 712、2-輸入-相加後取餘數電路 731、與 2-輸入-相加後取餘數電路 732, 輸入一組可配置參數如 $\{\Pi(i+m_1), h(0), 2m_2f_2\}$ 後, 首先, 當 $i=0$ 時, 觸發控制訊號 $init_1$ (即 $init_1$ 的邏輯值為高(high)), 此時多工器 712 將輸入的參數 $h(0)$ 輸出至 2-輸入-相加後取餘數電路 732。而多工器 711 將輸入的參數 $h(0)$ 輸出至 2-輸入-相加後取餘數電路 731。換句話說, 藉由觸發控制訊號 $init_1$, 來設定 $h(0)$ 的初始值。

然後, 2-輸入-相加後取餘數電路 732 的兩加法運算元, 即 $\Pi(i+m_1)$ 與 $h(0)$, 經由模數運算後, 產生交織器位址 $\Pi(i+m)$ 並輸出至暫存器 722。

2-輸入-相加後取餘數電路 731 的兩加法運算元, 即參數 $h(0)$ 與參數 $2m_2f_2$, 經由模數運算後, 產生 $h(1)$ 並輸出至暫存器 721。

暫存器 722 內的交織器位址 $\Pi(i+m)$ 輸出後，當 $i \geq 1$ 時，暫存器 721 內的 $h(i)$ 輸出至多工器 712， $h(i)$ 同時饋回多工器 711。而多工器 712 將 $h(i)$ 輸出至 2-輸入-相加後取餘數電路 732。2-輸入-相加後取餘數電路 732 的兩加法運算元，即 $h(i)$ 與參數 $\Pi(i+m_1)$ ，經由模數運算後，產生下一個交織器位址 $\Pi(i+1+m)$ 。交織器位址 $\Pi(i+1+m)$ 輸出至下一個遞迴單元，即遞迴單元 $51(j+1)$ ， $\Pi(i+1+m)$ 同時輸出至暫存器 722。

換句話說，遞迴單元 $51j$ 輸出交織器位址 $\Pi(i+m)$ 後，2-輸入-相加後取餘數電路 731 的兩加法運算元，即 $h(i)$ 與參數 $2m_2f_2$ ，經由模數運算後，產生下一個 $h(i+1)$ 並輸出至暫存器 721；而 2-輸入-相加後取餘數電路 732 的兩加法運算元，即 $h(i+1)$ 與參數 $\Pi(i+1+m_1)$ ，經由模數運算後，產生下一個交織器位址 $\Pi(i+1+m)$ 並輸出至下一個遞迴單元，而暫存器 722 儲存著交織器位址 $\Pi(i+1+m)$ 。

第二實施範例中，基礎遞迴單元的設計原理是依遞迴公式(1)，其中，輸入可配置參數 $\{f_1+f_2, 2f_2\}$ ，其結構如第八圖的範例所示，並與所揭露的某些實施範例一致。第八圖的範例中，基礎遞迴單元可包含一多工器 810、兩暫存器 821 與 822、以及兩個 2-輸入-相加後取餘數電路 831 與 832。可配置參數， f_1+f_2 與 $2f_2$ ，輸入基礎遞迴單元後，再藉由多工器 810、暫存器 821 與 822、

以及兩個 2-輸入-相加後取餘數電路 831 與 832，而直接依序算出交織器位址 $\Pi(0), \Pi(1), \Pi(2), \dots$ 。暫存器 821 與 822 的初始值可分別設定為 0 與 $\Pi(0)$ 。暫存器 821 與 822 裡的值可在時脈邊緣(clock edge)時進行更換。

第二實施範例中，第一至第 L 遞迴單元的設計原理是依遞迴公式(2)，其硬體結構的一個範例示意圖如第九圖所示，並與所揭露的某些實施範例一致。第九圖的範例中，第 j 遞迴單元 91j 可先分別輸入可配置參數，如 $2Mf_2$ 與 $f_1M+f_2M^2$ ，再經由一暫存器 920、以及兩個 2-輸入-相加後取餘數電路 931 與 932，而依序算出交織器位址，也就是第 j 串列 $\{\Pi(i+jM)\}$ 。暫存器 920 裡的值為 $2(j-1)M^2f_2$ ，例如 $j=1$ 時，遞迴單元 911 之暫存器裡的值為 0；而 $j=2$ 時，遞迴單元 912 之暫存器裡的值為 $2M^2f_2$ 。

第十圖是一範例架構示意圖，說明 QPP 交織器位址產生裝置 400 如何使多個滑動視窗平行輸出多筆資料至記憶體。參考第十圖，QPP 交織器位址產生裝置 400 根據輸入的數個可配置參數 430，如 $\{k, (f_1+f_2) \bmod k, 2f_2 \bmod k, 2Mf_2 \bmod k, f_1M \bmod k, f_2M^2 \bmod k\}$ 或是 $\{k, f_1+f_2, 2f_2, 2Mf_2, \text{以及 } f_1M+f_2M^2\}$ ，產生交織器位址 $\Pi(i), \Pi(i+M), \Pi(i+2M), \dots, \Pi(i+LM)$ ，並輸出記憶體選擇(memory selection)資訊 1020 至一資料多工器 1010，此記憶體選擇資訊 1020 是 $\Pi(i), \Pi(i+M), \Pi(i+2M), \dots, \Pi(i+LM)$ 之部分位元的資訊，例如最高有效 n 位元(MSB

n bits)的資訊。資料多工器 1010 接收多個滑動視窗 840 平行輸出的多筆資料 1030，以及來自 QPP 交織器位址產生裝置 400 的記憶體選擇資訊 1020 後，就會將多筆資料 1030 之每一筆資料輸出至所選擇之記憶體的一相對應的記憶體位址，這些相對應的記憶體位址 1050 可從 QPP 交織器位址產生裝置 400 直接算出之交織器位址來得到。

以 $k=40$ ， $M=8=2^3$ 為例，第十一圖說明 QPP 交織器位址產生裝置 400 如何使五個滑動視窗平行輸出的多筆資料被填入 QPP 交織器位址產生裝置 400 所產生的記憶體位址。第十一圖的範例中，輸入序列的資訊區塊長度 $k=40$ ，每一滑動視窗的寬度 $M=8$ 。當 QPP 交織器位址產生裝置 400 平行算出交織器位址 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、...、 $\Pi(i+40)$ 時，同時輸出 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、...、 $\Pi(i+40)$ 之最高有效 3 個位元的資訊至資料多工器 1010。資料多工器 1010 同時接收五個滑動視窗平行輸出的五筆資料，以及 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、...、 $\Pi(i+40)$ 之最高有效 3 位元 1120 的資訊後，將此五筆資料平行輸出至五塊記憶體之記憶體位址內，此五塊記憶體是由 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、...、 $\Pi(i+40)$ 之最高有效 3 位元來決定，其記憶體位址 1150 是由 $\Pi(i)$ 之最低有效 3 位元 (LSB 3 bits) 來決定，也就是說，此五筆資料平行輸出至五塊不同記憶體，而此五塊不同記憶體皆分別以相同記憶體位址來儲存此五筆資料。

換句話說，當 $M=2^n$ 時，如第十二圖之 QPP 交織器位址產生裝置的範例所示，基礎遞迴單元 520 算出的交織器位址 $\Pi(i)$ 中，其最低有效 n 位元是提供給所有記憶體有位址用，而其最高有效 n 位元是提供給一資料多工器，例如某一對數-對應處理器之資料多工器，來選擇一記憶體；而每一遞迴單元 j ， $j=0,1,\dots,31$ ，算出的交織器位址 $\Pi(i+jM)$ 中，其最高有效 n 位元是提供給一資料多工器，例如另一對數-對應處理器之資料多工器，來選取一記憶體。 n 可視為記憶體之位址匯流排(address buses)的位元數，也就是說，每一記憶體有 2^n 個記憶體位址。

第十三圖的範例中，以 $k=40$ 、 $M=2^3$ 、 $f_1=3$ 、 $f_2=10$ 為例，說明透過 QPP 交織器位址產生裝置算出的交織器位址，如何決定出記憶體位址，與所揭露的某些實施範例一致。假設 $\Pi(0)=0$ ，基礎遞迴單元根據遞迴公式(1)，依序算出 $\Pi(1)=13$ ， $\Pi(2)=6$ ， $\Pi(3)=19$ ， $\Pi(4)=12$ ， $\Pi(5)=25$ ， $\Pi(6)=18$ ，以及 $\Pi(7)=31$ 。當 $i=0$ ， $\Pi(0)=0=(000000)_2$ 時，其最低有效 3 位元是 $(000)_2$ ，提供給記憶體 0-4 的位址用。其最高有效 3 位元是 $(000)_2$ ，資料多工器依此將滑動視窗 0 輸出的資料傳送至記憶體 0。

$i=0$ 時，遞迴單元 1 根據遞迴公式(2)，算出 $\Pi(8)=24=(011000)_2$ ，其最高有效 3 位元是 $(011)_2=3$ ，資料多工器依此將滑動視窗 1 輸出的資料傳送至此記憶體 3。遞迴單元 2 根據遞迴公式(2)，算出

$\Pi(16)=8=(001000)_2$ ，其最高有效 3 位元是 $(001)_2=1$ ，資料多工器依此將滑動視窗 2 輸出的資料傳送至記憶體 1。遞迴單元 3 根據遞迴公式 (2)，算出 $\Pi(24)=32=(100000)_2$ ，其最高有效 3 位元是 $(100)_2=4$ ，資料多工器依此將滑動視窗 3 輸出的資料傳送至記憶體 4。遞迴單元 4 根據遞迴公式 (2)，算出 $\Pi(32)=16=(010000)_2$ ，其最高有效 3 位元是 $(010)_2=2$ ，資料多工器依此將滑動視窗 4 輸出的資料傳送至記憶體 2。

類似地， $i=1$ 時， $\Pi(1)=13=(001101)_2$ ，因此提供最低有效 3 位元 $(101)_2$ 給記憶體 0-4 的位址用，其最高有效 3 位元是 $(001)_2$ ，資料多工器將滑動視窗 0 輸出的資料傳送至記憶體 1。遞迴單元 1-4 平行算出 $\Pi(9)=(100101)_2$ ， $\Pi(17)=(010101)_2$ ， $\Pi(25)=(000101)_2$ ， $\Pi(33)=(011101)_2$ ，資料多工器將滑動視窗 1-4 輸出的資料平行傳送至記憶體 4，2，0，3。所以，在 $i=7$ 時，可平行傳送最後的 5 筆資料至記憶體 0-4。每一記憶體有 8 個位址，被寫入 8 筆滑動視窗輸出的資料。

第十四圖是一範例圖表，說明上述 40 筆經由滑動視窗輸出的資料，亦即資料輸入索引 $i=0,1,2,\dots,39$ ，相對應的交織器位址 $\Pi(i)$ 、其二位元表法、其最低有效 3 位元、以及記憶體。從第十四圖中可以看出，針對特定滑動視窗寬度(此例為 8)在計算上不需使用複雜的電路，如乘法器，並且輸出資料填入的記憶體 0-4 的位址皆相同。

本揭露之直接計算輸出資料之記憶體位址與習知技術利用大量記憶體的架構相較，可大幅減低硬體面積，例如應用在行動通訊(3GPP LTE)系統上時，可降低晶片面積。由於硬體的低複雜度，M 的值與 L 的值也容易配合滑動視窗的輸出順序來做調整和設計。

承上述，第十五圖是 QPP 交織器位址產生方法的一範例流程圖，與所揭露的某些實施範例一致。參考第十五圖，根據 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ，輸入多個可配置參數，如步驟 1510 所示。步驟 1520 中，藉由一基礎遞迴單元，依序產生出多個交織器位址，即 $\Pi(0), \Pi(1), \Pi(2), \dots$ 。步驟 1530 中，藉由 L 個遞迴單元，以第一至第 L 遞迴單元表示，平行產生出 L 組相對應的交織器位址，其中，此基礎遞迴單元與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至此第一遞迴單元與第 j+1 遞迴單元， $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數，k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體的位址， $0 \leq i \leq k-1$ ， $1 \leq j \leq L-1$ 。

步驟 1520 中，基礎遞迴單元可根據遞迴公式(1)直接算出 $\Pi(0), \Pi(1), \Pi(2), \dots$ 。而步驟 1530 中，第一遞迴單元至第 L 遞迴單元可根據遞迴公式(2)，平行算出 L 組相對應的序列，第 j 組交織器位址也就是第 j 串列 $\{\Pi(i+jM)\}$ ，如前述及第五圖的範例所示，不再說明。

當 $M=2^n$ 時，如前述第十二圖、第十三圖的範例所示，基礎遞迴單元算出的每一交織器位址 $\Pi(i)$ 中，可利用其最低有效 n 位元是作為所有記憶體位址用，而其最高有效 n 位元則可提供給一資料多工器，來從多個記憶體中選擇一記憶體。於每一次遞迴計算時，第一遞迴單元至第 L 遞迴單元平行算出的 L 個交織器位址中，其最高有效 n 位元可提供給一資料多工器，來選擇出 L 個相對應的記憶體。藉由最高有效 n 位元所選出的記憶體，以及最低有效 n 位元所指定的位址，輸入序列的每一筆資訊就可以被寫入一相對應之記憶體位址內。

綜上所述，本揭露之實施範例可提供一種 QPP 交織器位址產生裝置與方法，可直接計算交織器位址，並可平行輸出或串列輸出交織器位址的計算結果，根據此交織器位址的計算結果，透過一資料多工器，輸入序列的每一筆資訊就可以被填入一相對應之記憶體位址內。此設計不需使用複雜的電路，如乘法器，也無需花費儲存交織器位址的記憶體容量。可降低硬體的低複雜度，也容易配合滑動視窗的輸出順序來做調整和設計，可應用在如行動通訊系統上的編解碼器。

惟，以上所述者僅為本揭露之實施範例，當不能依此限定本發明實施之範圍。即大凡本發明申請專利範圍所作之均等變化與修飾，皆應仍屬本發明專利涵蓋之範圍。

【圖式簡單說明】

第一 A 圖是一個範例示意圖，說明在一串列架構中，藉由一位址表格輸出交織器位址，以將外來資訊填入相對應的記憶體位址。

第一 B 圖是一個範例示意圖，說明一平行架構中，藉由一位址表格輸出交織器位址，以將外來資訊填入相對應的記憶體位址。

第二圖是可用來產生渦輪碼交織器之記憶體位址之表格的一個範例示意圖。

第三圖是一種 QPP 交織器的一個範例示意圖。

第四圖是 QPP 交織器位址產生裝置的一個範例示意圖，與所揭露的某些實施範例一致。

第五圖是 QPP 交織器位址產生裝置之架構的一個範例示意圖，與所揭露的某些實施範例一致。

第六 A 圖是第一實施範例中，基礎遞迴單元之硬體結構的一個範例示意圖，與所揭露的某些實施範例一致。

第六 B 圖是第六 A 圖之基礎遞迴單元中，控制訊號之時序控制的一個範例示意圖，與所揭露的某些實施範例一致。

第七圖是第一實施範例中，第一遞迴單元至一第 L 遞迴單元之硬體結構的一個範例示意圖，與所揭露的某些實施範例一致。

第八圖是第二實施範例中，基礎遞迴單元之硬體結構的一個範例示意圖，與所揭露的某些實施範例一致。

第九圖是第二實施範例中，第一遞迴單元至一第 L 遞

98年10月13日修正內容

迴單元之硬體結構的一個範例示意圖，與所揭露的某些實施範例一致。

第十圖是一範例架構示意圖，說明 QPP 交織器位址產生裝置如何使多個個滑動視窗平行輸出多筆資料至記憶體，與所揭露的某些實施範例一致。

第十一圖是一範例架構示意圖，說明 QPP 交織器位址產生裝置如何使五個滑動視窗平行輸出的多筆資料被填入記憶體，與所揭露的某些實施範例一致。

第十二圖說明 QPP 交織器位址產生裝置中，每一疊代單元算出的交織器位址之位元的用途，與所揭露的某些實施範例一致。

第十三圖以 $k=40$ 、 $M=2^3$ 、 $f_1=3$ 、 $f_2=10$ 為例，說明透過 QPP 交織器位址產生裝置算出的交織器位址，如何決定出記憶體的位址，與所揭露的某些實施範例一致。

第十四圖是一範例圖表，說明第十三圖中之滑動視窗輸出資料相對應的交織器位址 $\Pi(i)$ 、其二位元表法、其最低有效 3 位元、以及記憶體，與所揭露的某些實施範例一致。

第十五圖是 QPP 交織器位址產生方法的一範例流程圖，與所揭露的某些實施範例一致。

【主要元件符號說明】

110 滑動視窗

110a 外來資訊

120 位址表格

130 記憶體

- | | |
|------------------------|----------------------|
| 121 位址表格 | 125 一組資料多工器 |
| 210、220、230、240、250 表格 | 221-224 列間排列序列 |
| 300 QPP 交織器 | 310 交織器記憶體 |
| 320 位址產生器 | 330 控制單元 |
| 331 模數計數器 | |
| 400 QPP 交織器位址產生裝置 | f_1 、 f_2 QPP 係數 |
| K 輸入序列的資訊區塊長度 | M k 的一個除數 |
| 430 數個可配置參數 | |
| 520 基礎遞迴單元 | $\Pi(i)$ 第 i 交織器位址 |
| L、M 大於 1 的整數 | 511-51L 第一至第 L 遞迴單元 |
| | 元 |
| 611-613 多工器 | 621、622 暫存器 |
| Init_1、Init_2 控制訊號 | |
| 631、632 2-輸入-相加後取餘數電路 | |
| 711、712 多工器 | 721、722 暫存器 |
| h(i) 遞迴函數 | |
| 731、732 2-輸入-相加後取餘數電路 | |
| 810 多工器 | 821、822 暫存器 |
| 831、832 2-輸入-相加後取餘數電路 | |
| 920 暫存器 | |

98年10月13日修正替換頁

931、932 2-輸入-相加後取餘數電路器

1210 資料多工器

1220 記憶體選擇資訊

1030 多筆資料

1040 多個滑動視窗

1050 記憶體位址

1120 最高有效 3 位元

1150 記憶體位址

1510 根據 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，輸入多個可配置參數

1520 藉由一基礎遞迴單元，依序產生出多個交織器位址

1530 藉由 L 個遞迴單元，以第一至第 L 遞迴單元表示，平行產生出 L 組相對應的交織器位址，其中，此基礎遞迴單元與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至此第一遞迴單元與第 $j+1$ 遞迴單元， $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數， k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體的位址， $0 \leq i \leq k-1$ ， $1 \leq j \leq L-1$

七、申請專利範圍：

1. 一種二階重排多項式(QPP)交織器位址產生裝置，該裝置包含：
 - 一基礎遞迴單元；以及
 - L 個遞迴單元，表示為第一至第 L 遞迴單元， $L \geq 2$ ；
 該裝置根據一 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ，輸入多個可配置參數，並藉由該基礎遞迴單元依序產生出多個交織器位址，藉由該第一至第 L 遞迴單元平行產生出 L 組相對應的交織器位址，其中，該基礎遞迴單元與該第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至該第一遞迴單元與該第 j+1 遞迴單元， $\Pi(i)$ 是該裝置產生的第 i 個交織器位址， f_1 與 f_2 是 QPP 係數，k 是一輸入序列的資訊區塊長度， $0 \leq i \leq k-1$ ， $1 \leq j \leq L-1$ ，mod 是模數運算。
2. 如申請專利範圍第 1 項所述之交織器位址產生裝置，該位址產生裝置藉由該第一至第 L 遞迴單元中第 j 遞迴單元，產生出一相對應的第 j 串列 $\{\Pi(i+jM)\}$ ， $j=1, \dots, L$ ， $M = k/L$ 。
3. 如申請專利範圍第 2 項所述之交織器位址產生裝置，其中該 M 等於 2^n ，n 為一正整數。
4. 如申請專利範圍第 1 項所述之交織器位址產生裝置，其中該基礎遞迴單元包括 k_1 個多工器、 k_2 個暫存器、以及 k_3 個 2-輸入-相加後取餘數電路，並且根據 k_4 個可配置基礎參數，與藉由該 k_1 個多工器、該 k_2 個暫存器、以及該 k_3 個 2-輸入-相加後取餘數電路，依序產生出該

- 多個交織器位址， k_1 、 k_2 、 k_3 、 k_4 皆為正整數，且 $k_2 \geq 2$ ， $k_3 \geq 2$ ， $k_4 \geq 2$ 。
5. 如申請專利範圍第 2 項所述之交織器位址產生裝置，其中該第 j 遞迴單元包括 n_1 個多工器、 n_2 個暫存器、以及 n_3 個 2-輸入-相加後取餘數電路，並且根據一組可配置參數，藉由該 n_1 個多工器、該 n_2 個暫存器、以及該 n_3 個 2-輸入-相加後取餘數電路，產生出該相對應的第 j 串列 $\{\Pi(i+jM)\}$ ， $n_1 \geq 0$ ，且 $n_2 \geq 1$ ， $n_3 \geq 2$ 。
 6. 如申請專利範圍第 3 項所述之交織器位址產生裝置，其中該交織器位址 $\Pi(i)$ 之最低有效 n 位元是作為該輸入序列之多筆資料填入所有記憶體之位址， $i=0,1,\dots,k-1$ 。
 7. 如申請專利範圍第 3 項所述之交織器位址產生裝置，其中該 L 個遞迴單元每一次疊代平行產生出的 L 個交織器位址之最高有效 n 位元是提供給一資料矩陣多工器，來選取 L 個相對應的記憶體。
 8. 如申請專利範圍第 3 項所述之交織器位址產生裝置，其中該基礎遞迴單元根據一遞迴公式直接依序算出該交織器位址 $\Pi(i)$ ， $i=0,1,\dots,k-1$ ，而該 L 個遞迴單元根據另一遞迴公式平行產生出該 L 組相對應的交織器位址。
 9. 如申請專利範圍第 1 項所述之交織器位址產生裝置，該裝置藉由該 L 個遞迴單元，來實現一種並列交織器位址產生器。
 10. 如申請專利範圍第 1 項所述之交織器位址產生裝置，該裝置藉由該基礎遞迴單元，來實現一種串列交織器位址產生器。

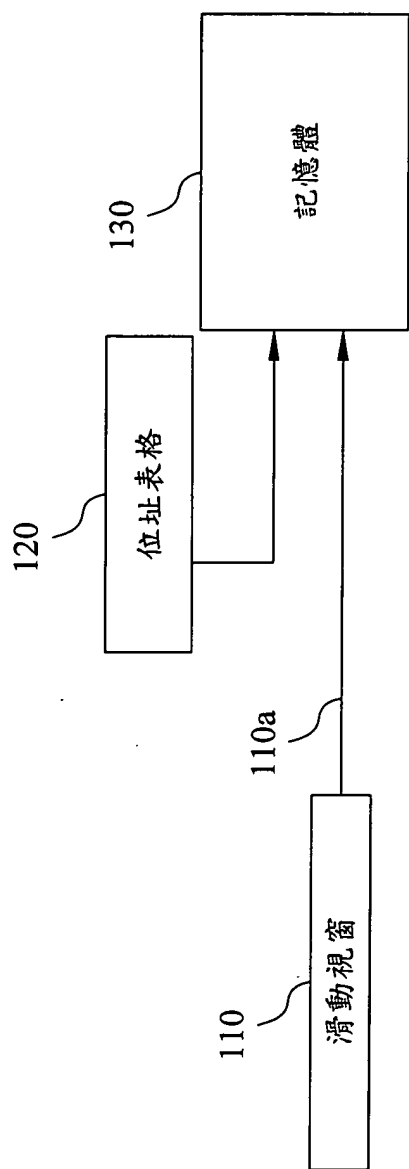
11. 如申請專利範圍第 1 項所述之交織器位址產生裝置，該裝置也是一種反交織器位址產生裝置，其中該產生出的多個交織器位址是該反交織器位址產生裝置用來讀取一記憶體的位址。
12. 如申請專利範圍第 4 項所述之交織器位址產生裝置，其中 k_1 等於 3， k_2 等於 2， k_3 等於 2， k_4 等於 3，並且該基礎遞迴單元還搭配兩個控制訊號來運作。
13. 如申請專利範圍第 4 項所述之交織器位址產生裝置，該裝置還包括 L 個 2-輸入-相加後取餘數電路，且 k_1 等於 1， k_2 等於 2， k_3 等於 2， k_4 等於 2。
14. 如申請專利範圍第 5 項所述之交織器位址產生裝置，其中 n_1 等於 2， n_2 等於 2， n_3 等於 2，該組可配置參數包括三個可配置參數，並且該第 j 遞迴單元還搭配一個控制訊號來運作。
15. 如申請專利範圍第 5 項所述之交織器位址產生裝置，其中 n_1 等於 0， n_2 等於 1， n_3 等於 2，並且該組可配置參數包括兩個可配置參數。
16. 一種二階重排多項式(QPP)交織器位址產生方法，應用於一通訊系統上的編解碼器，該方法包含：
根據一 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，輸入多個可配置參數， f_1 與 f_2 是該 QPP 函數的係數， k 是一輸入序列的資訊區塊長度， $0 \leq i \leq k-1$ ， \bmod 是模數運算；
藉由一基礎遞迴單元依序產生出多個交織器位址；以及
藉由 L 個遞迴單元，以第一至第 L 遞迴單元表示，平行產生出 L 組相對應的交織器位址， L 是大於 1 的整數；

其中，該基礎遞迴單元與第 j 遞迴單元於每一次產生交織器位址時，也分別輸出至該第一遞迴單元與第 $j+1$ 遞迴單元， $\Pi(i)$ 代表該方法產生出的第 i 交織器位址，以讓該輸入序列之資訊填入多個相對應之記憶體位址。

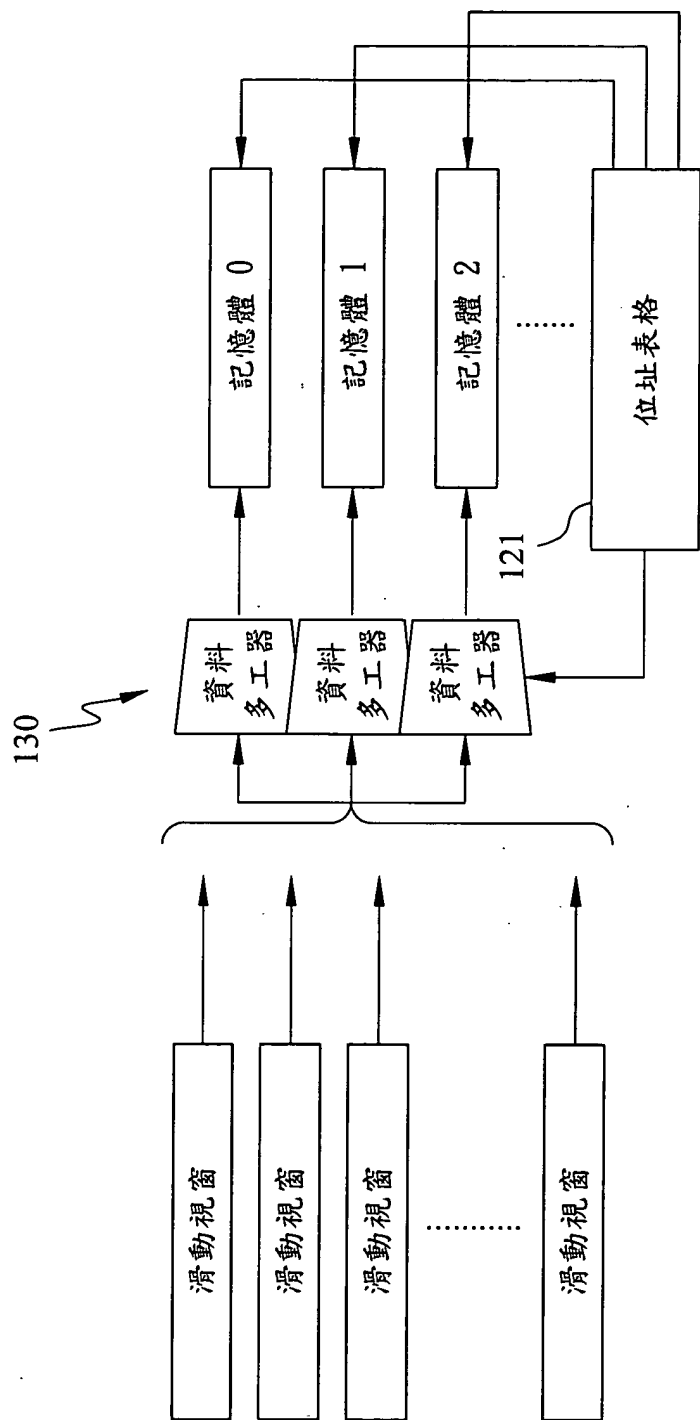
17. 如申請專利範圍第 16 項所述之交織器位址產生方法，其中該第一至第 L 遞迴單元中每一第 j 遞迴單元，根據一第二遞迴公式與一第二組可配置參數，平行產生出一相對應的第 j 串列 $\{\Pi(i+jM)\}$ ， $j=1, \dots, L$ ， $M=k/L$ ， L 是大於 1 的整數， $1 \leq i \leq L$ 。
18. 如申請專利範圍第 17 項所述之交織器位址產生方法，其中該第二組可配置參數是 $\{\Pi(i+m_1), h(0), 2m_2f_2\}$ 與 $\{k, 2Mf_2, f_1M+f_2M^2\}$ 之其中一組可配置參數， m_1, m_2 是預定的整數， $h(0) = (f_1m_1 + 2m_1m_2f_2 + f_2m_2^2) \bmod k$ 。
19. 如申請專利範圍第 16 項所述之交織器位址產生方法，其中該基礎遞迴單元根據一第一組可配置參數與一第一遞迴公式，依序產生出串列 $\{\Pi(i)\}$ ， $i=0, 1, \dots, M-1$ 。
20. 如申請專利範圍第 19 項所述之交織器位址產生方法，其中該第一組可配置參數是 $\{\Pi(0), f_1+f_2, 2f_2\}$ 與 $\{f_1+f_2, 2f_2\}$ 之其中一組可配置參數。
21. 如申請專利範圍第 16 項所述之交織器位址產生方法，其中該多個可配置參數是 $\{k, (f_1+f_2) \bmod k, 2f_2 \bmod k, 2Mf_2 \bmod k, f_1M \bmod k, f_2M^2 \bmod k\}$ 與 $\{k, f_1+f_2, 2f_2, 2Mf_2, \text{以及 } f_1M+f_2M^2\}$ 之其中一組可配置參數。
22. 如申請專利範圍第 17 項所述之交織器位址產生方法，其中該 M 等於 2^n ， n 為一正整數。

23. 如申請專利範圍第 22 項所述之交織器位址產生方法，其中該基礎遞迴單元算出的每一交織器位址 $\Pi(i)$ 中， $\Pi(i)$ 為 N 個位元， N 為大於等於 n 的正整數，其最低有效 n 位元是作為該多個相對應之記憶體之位址用，而其最高有效 $(N-n)$ 位元是用來從該多個相對應之記憶體中選出一記憶體。
24. 如申請專利範圍第 22 項所述之交織器位址產生方法，其中該基礎遞迴單元算出的每一交織器位址 $\Pi(i)$ ， $\Pi(i)$ 為 N 個位元， N 為大於等於 n 的正整數，其中該第一至第 L 遞迴單元平行算出的 L 個交織器位址中，其最高有效 $(N-n)$ 位元是用來選出 L 個相對應的記憶體。
25. 如申請專利範圍第 17 項所述之交織器位址產生方法，其中該輸入序列之資訊是透過 L 個滑動視窗平行輸出的，而 M 是滑動視窗的寬度。

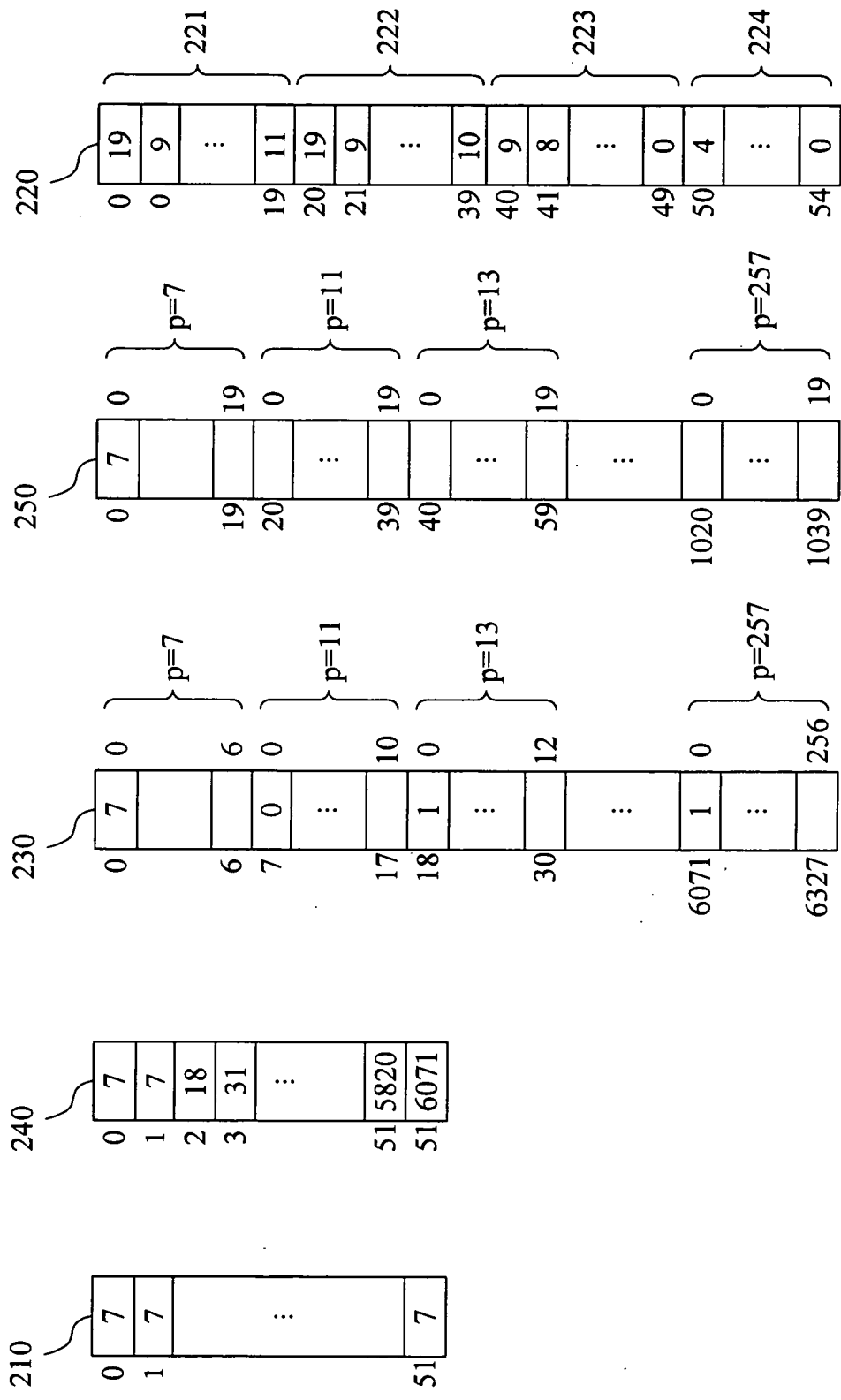
八、圖式



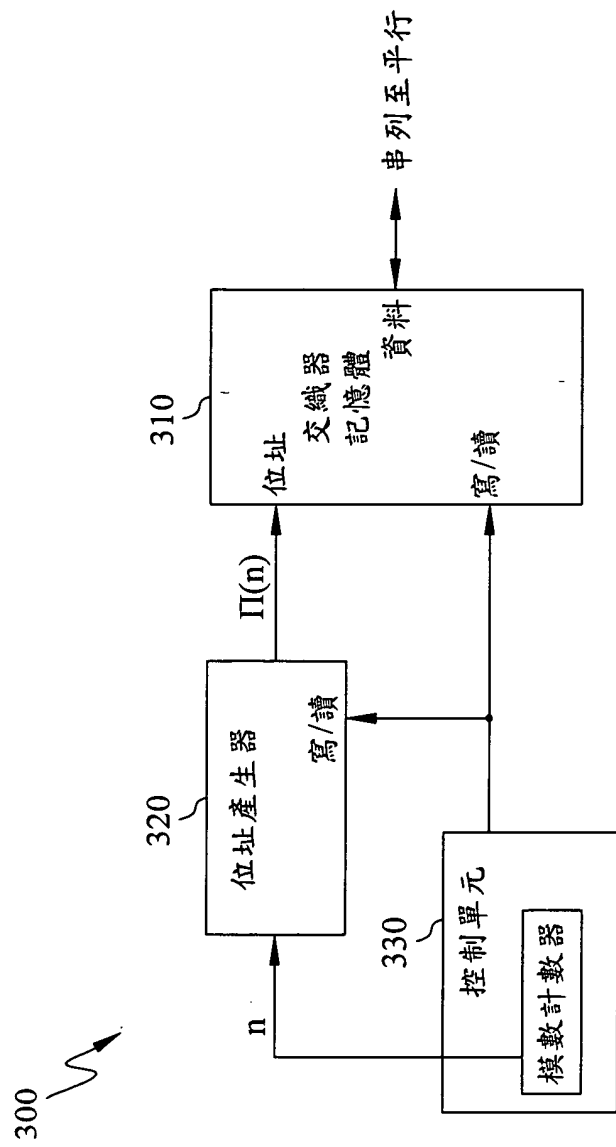
第一A圖
(習知技術)



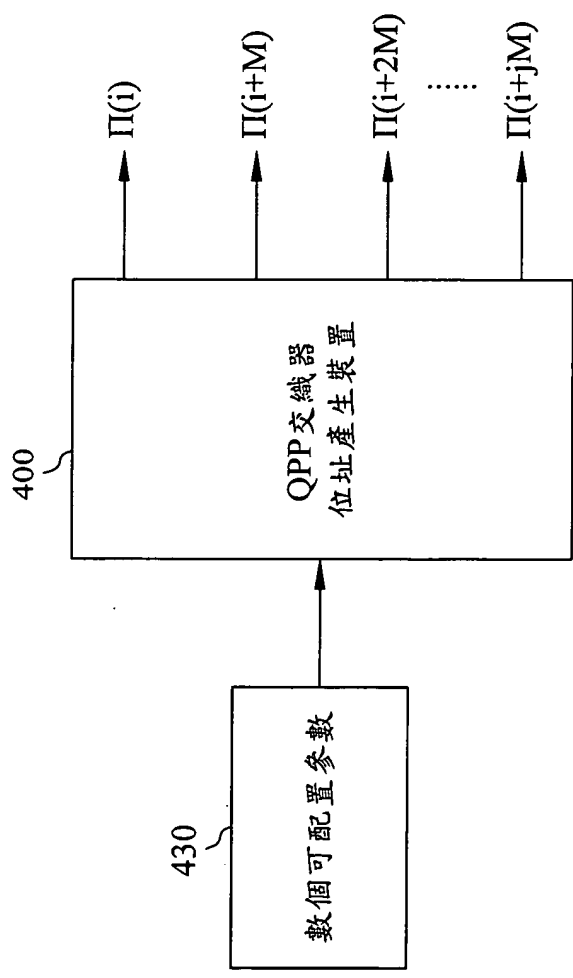
第一B圖
(習知技術)



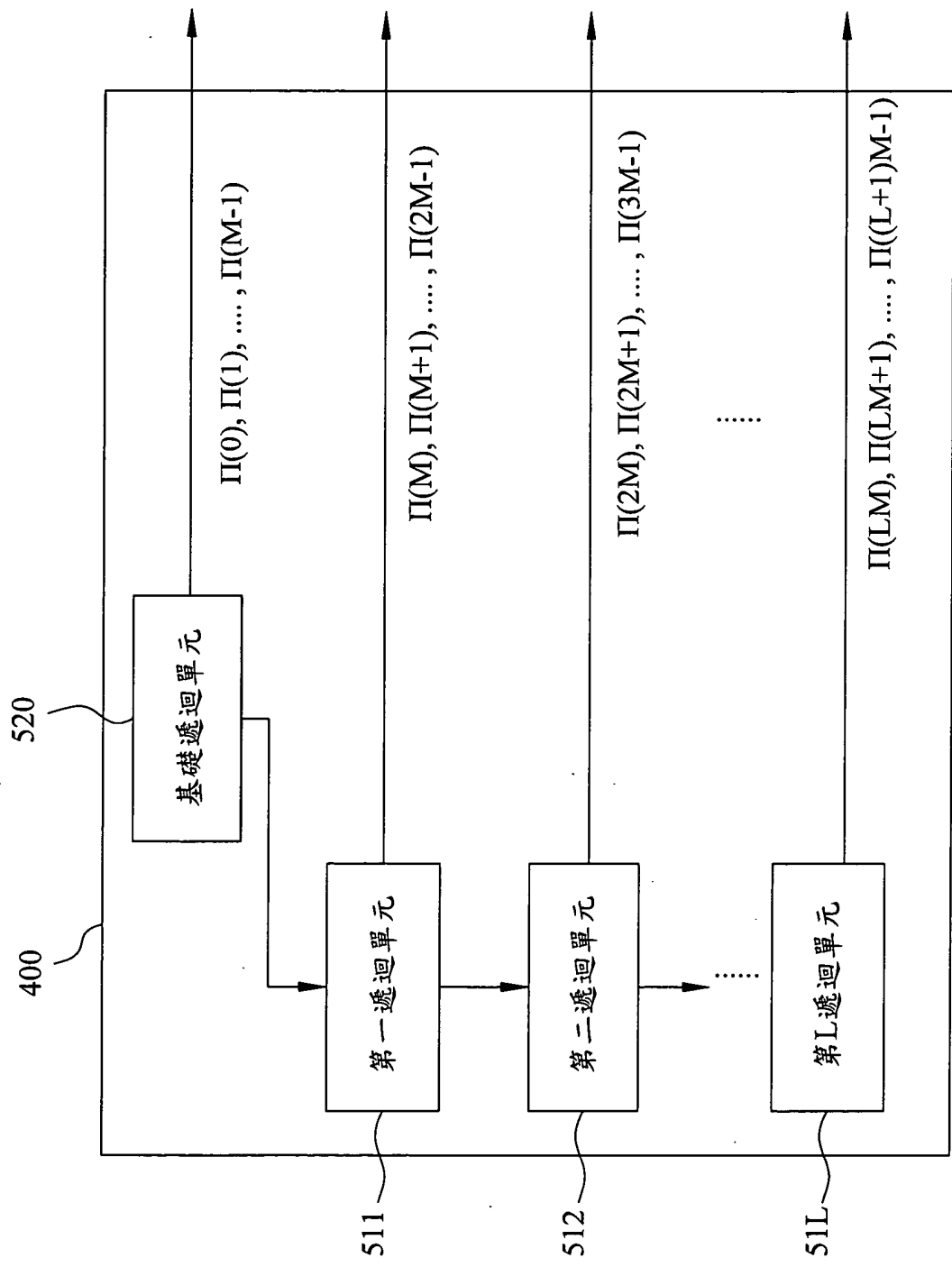
第二圖
(習知技術)



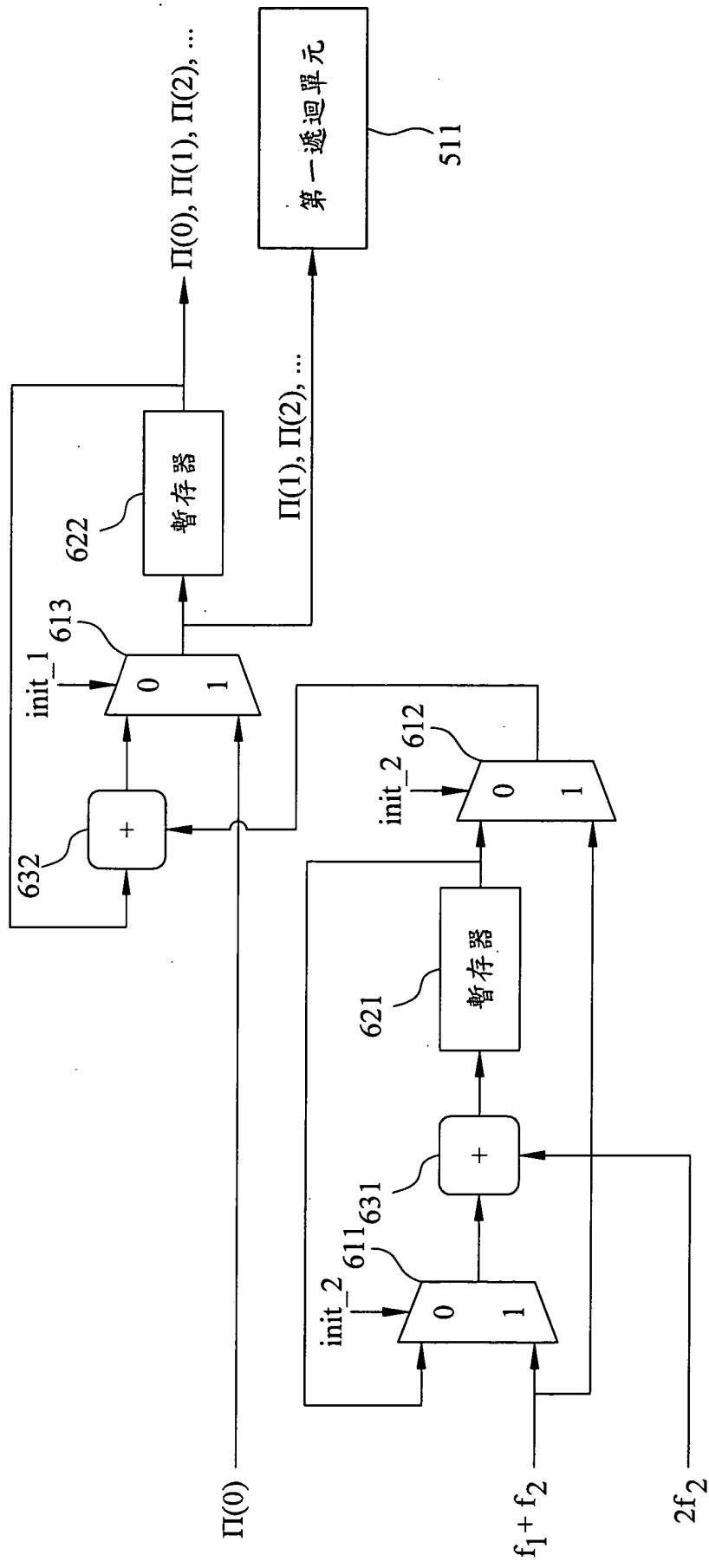
第三圖
(習知技術)



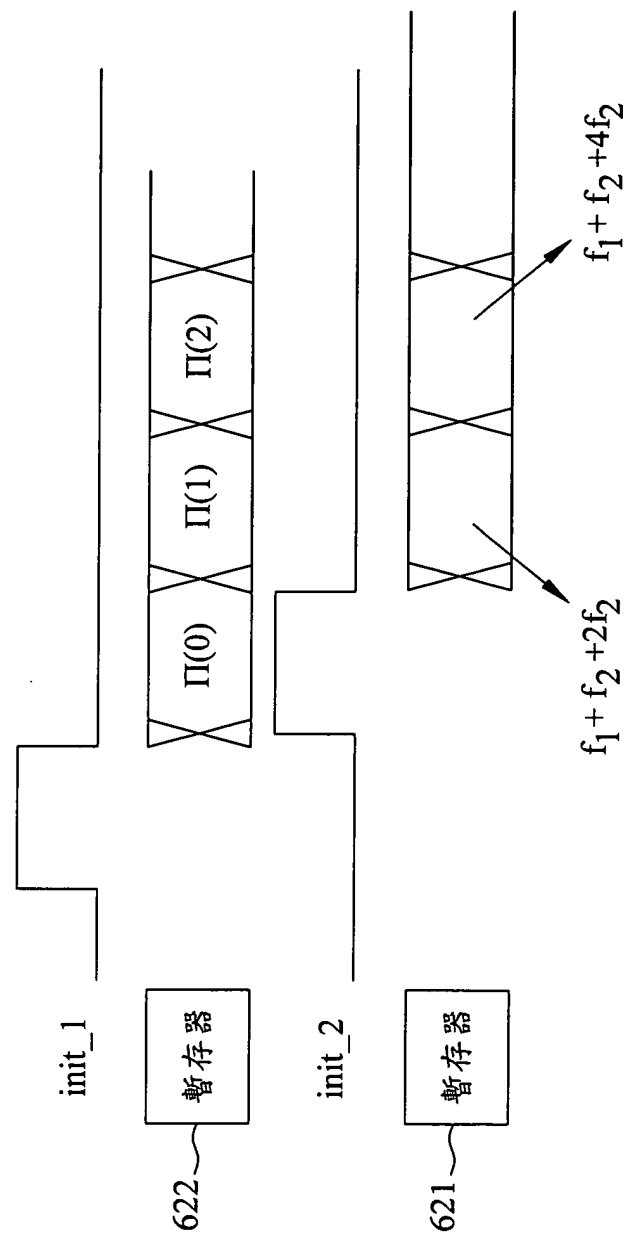
第四圖



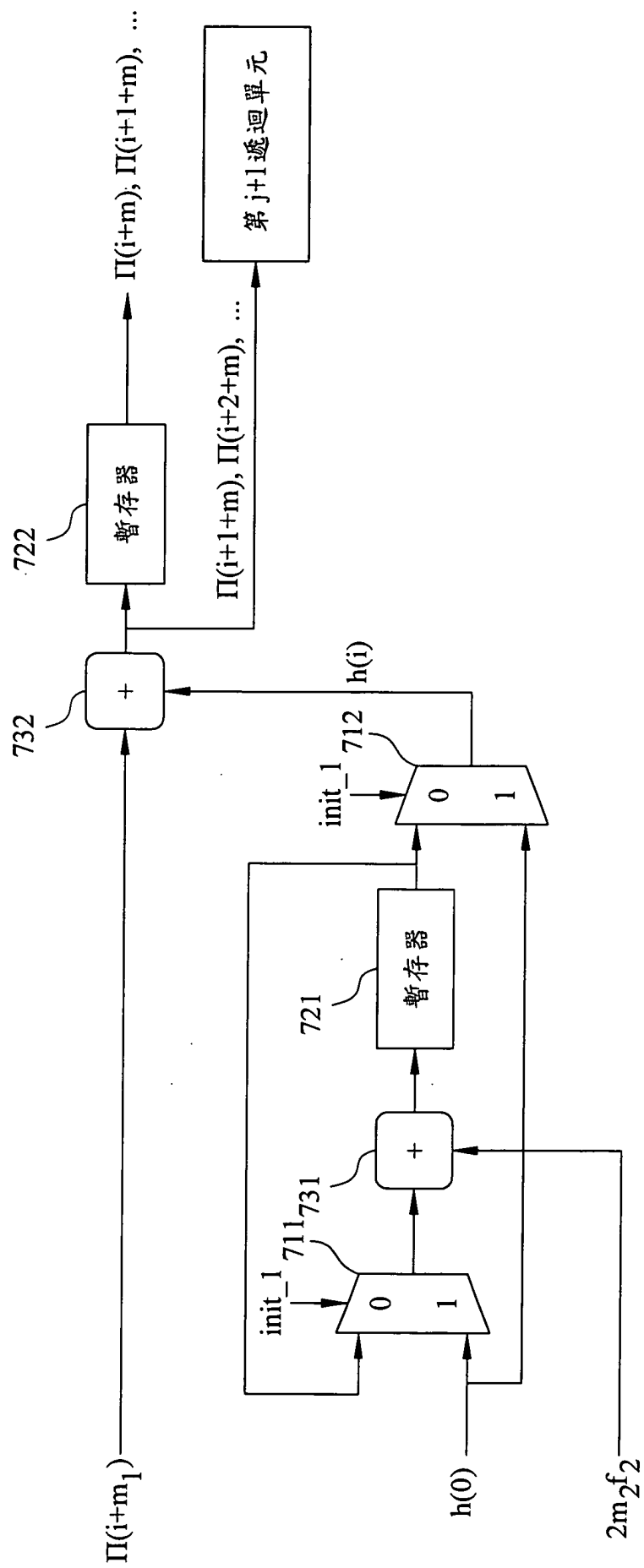
第五圖



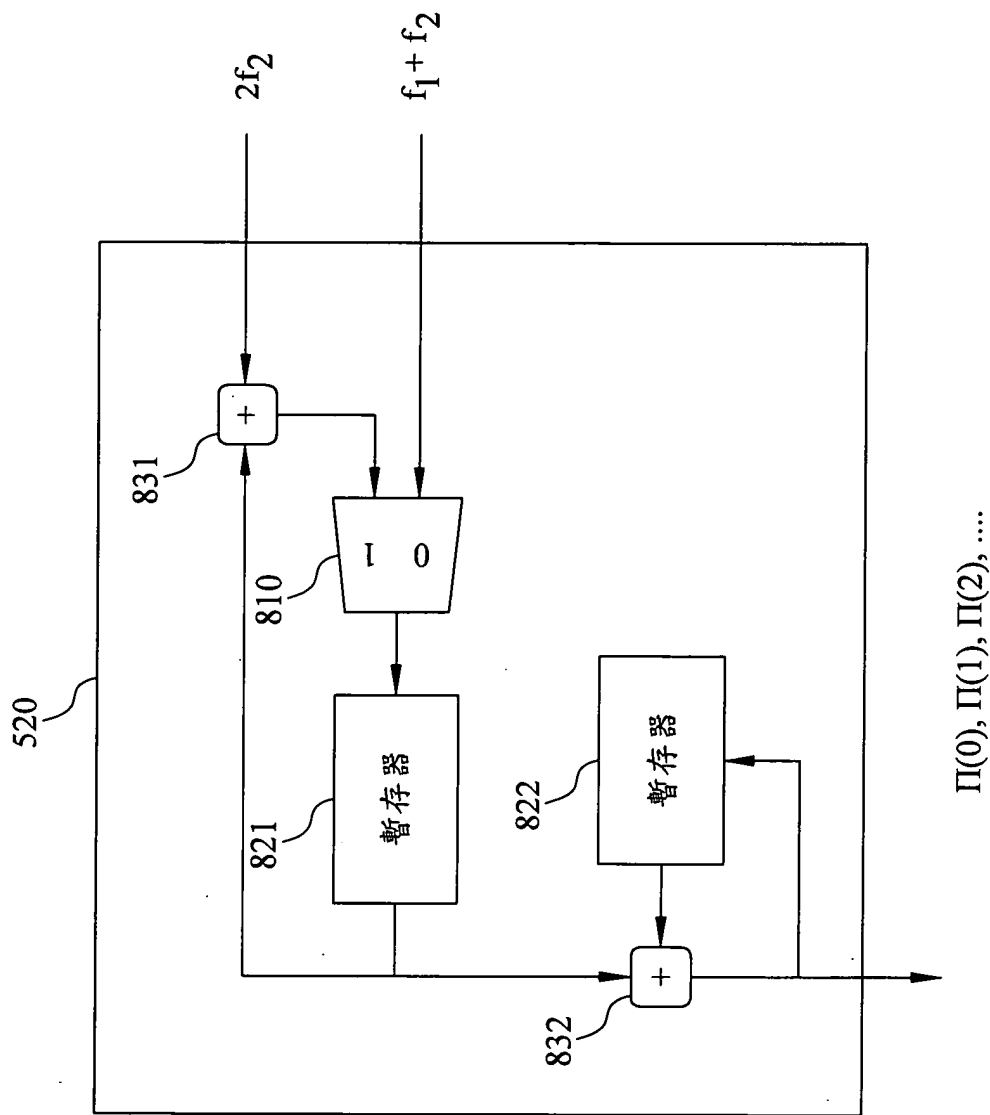
第六A圖



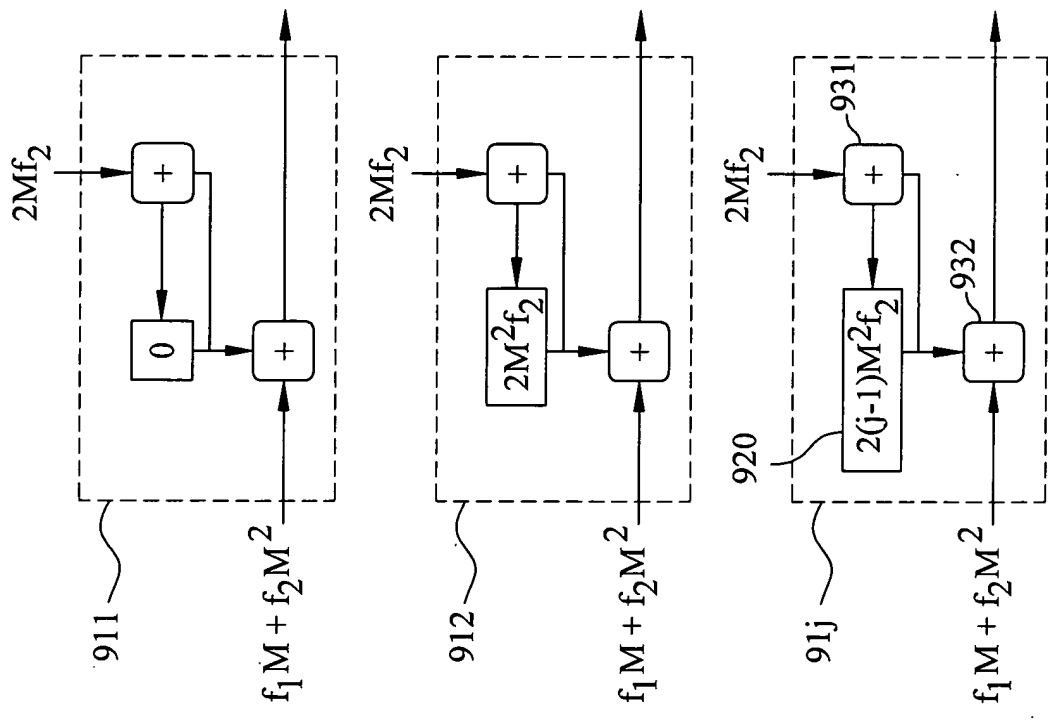
第六B圖



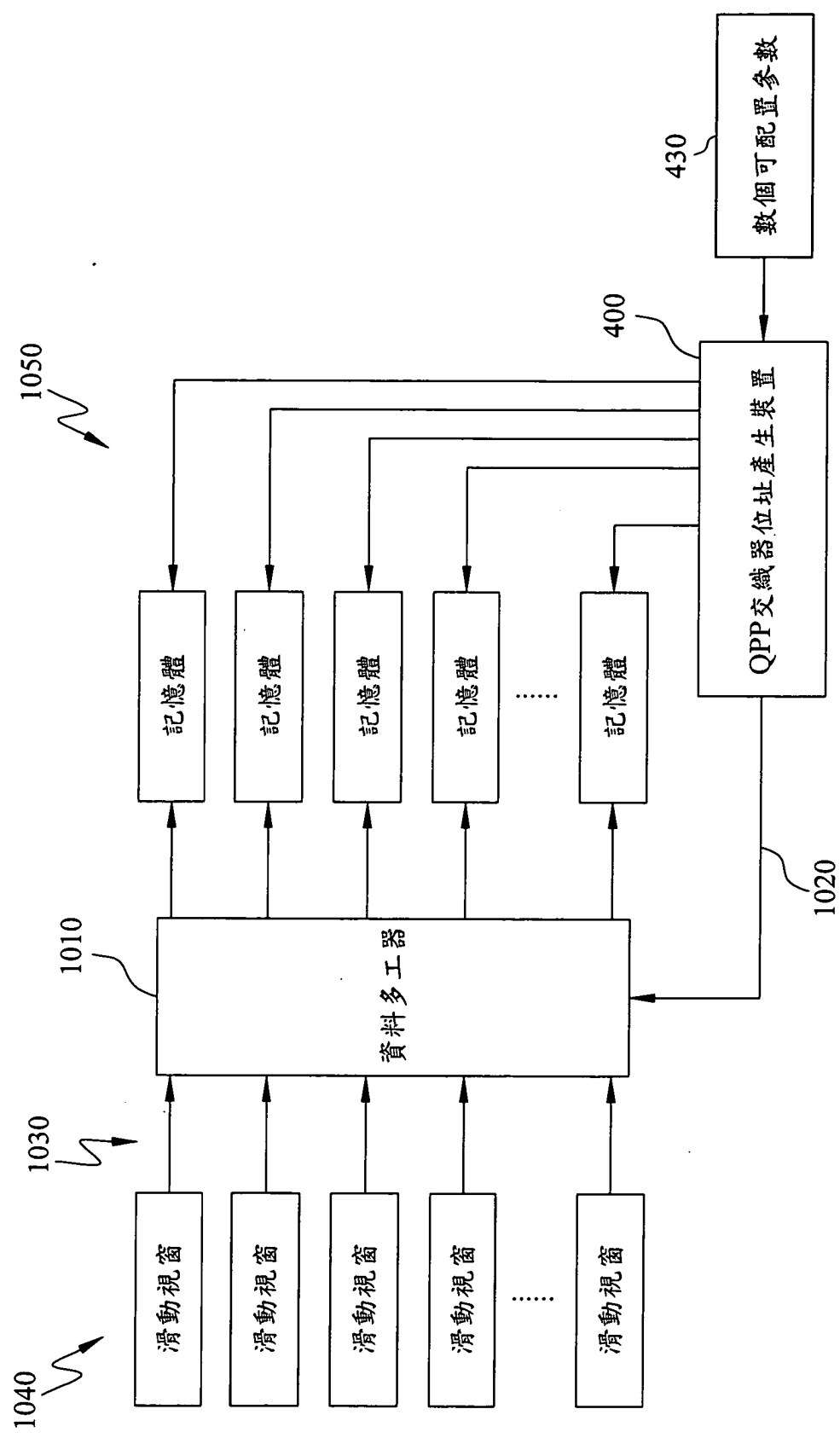
第七圖



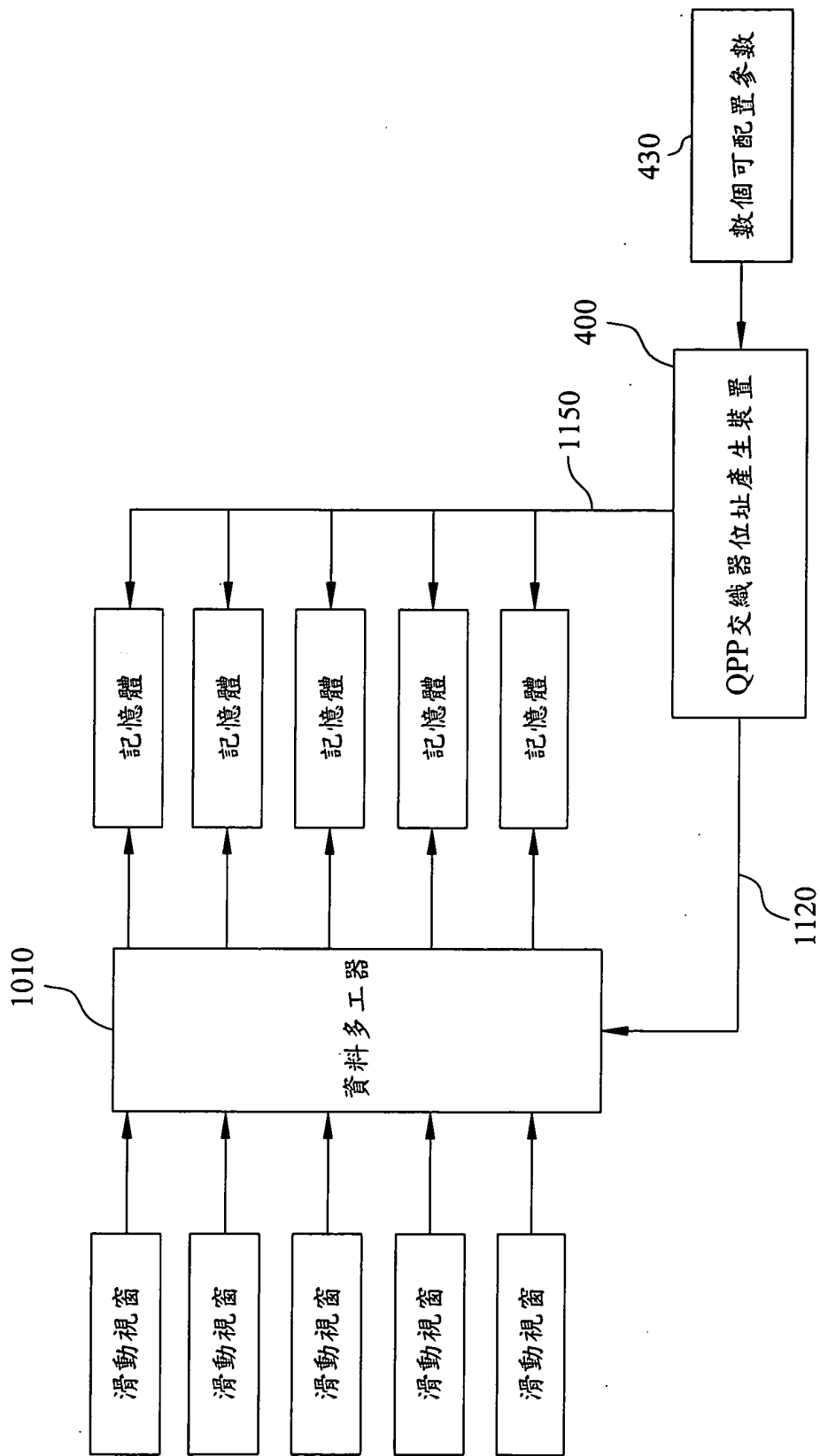
第八圖



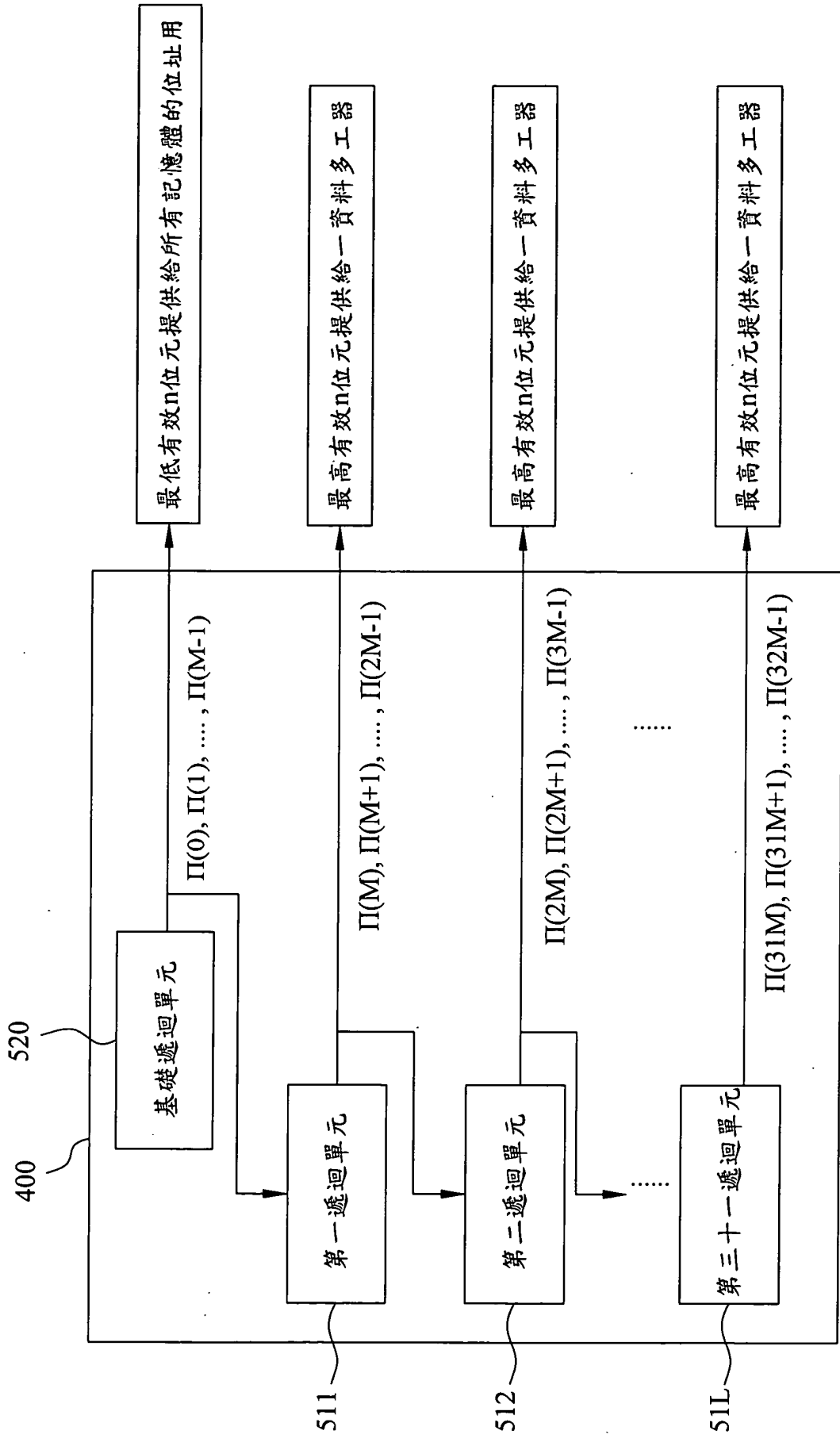
第九圖



第十圖



第十一圖



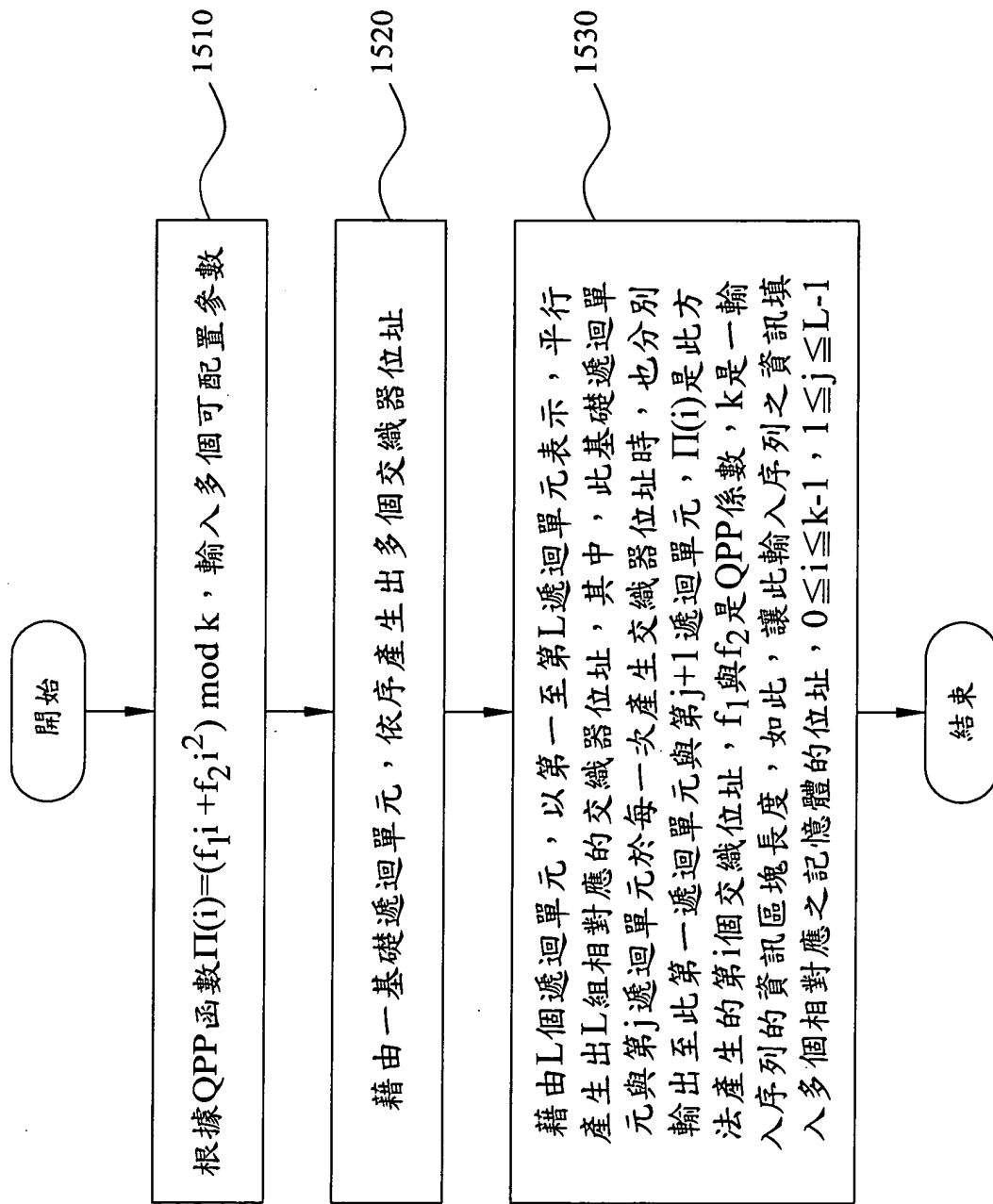
第十二圖

疊代 i	交織器位址	滑動視窗	二位元	最低有效3位元 (記憶體位址)	最高有效3位元	記憶體
0	$\Pi(0)=0$	0	000000	000	000	0
	$\Pi(0+8)=24$	1	011000	000	011	3
	$\Pi(0+16)=8$	2	001000	000	001	1
	$\Pi(0+24)=32$	3	100000	000	100	4
	$\Pi(0+32)=16$	4	010000	000	010	2
1	$\Pi(1)=3$	0	001101	101	001	1
	$\Pi(9)=37$	1	100101	101	100	4
	$\Pi(17)=21$	2	010101	101	010	2
	$\Pi(25)=5$	3	000101	101	000	0
	$\Pi(33)=29$	4	011101	101	011	3
∴	∴	∴	∴	∴	∴	∴

第十三圖

i	$\Pi(i)$	記憶體	二位元	最低有效3位元
0	0	0	000000	0
1	13	1	001101	5
2	6	0	000110	6
3	19	2	010011	3
4	12	1	001100	4
5	25	3	011001	1
6	18	2	010010	2
7	31	3	011111	7
8	24	3	110000	0
9	37	4	100101	5
10	30	3	011110	6
11	3	0	000011	3
12	36	4	100100	4
13	9	1	001001	1
14	2	0	000010	2
15	15	1	001111	7
16	8	1	001000	0
17	21	2	010101	5
18	14	1	001110	6
19	27	3	011011	3
20	20	2	010100	4
21	33	4	100001	1
22	26	3	011010	2
23	39	4	100111	7
24	32	4	100000	0
25	5	0	000101	5
26	38	4	100110	6
27	11	1	001011	3
28	4	0	000100	4
29	17	2	010001	1
30	10	1	001010	2
31	23	2	010111	7
32	16	2	010000	0
33	29	3	011101	5
34	22	2	010110	6
35	35	4	100011	3
36	28	3	011100	4
37	1	0	000001	1
38	34	4	100010	2
39	7	0	000111	7

第十四圖



第十五圖