



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I381647B1

(45) 公告日：中華民國 102 (2013) 年 01 月 01 日

(21) 申請案號：097142033

(22) 申請日：中華民國 97 (2008) 年 10 月 31 日

(51) Int. Cl. : **H03L7/08 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：陳巍仁 CHEN, WEI ZEN (TW)；張巧伶 CHANG, CHIAO LING (TW)

(74) 代理人：蔡坤旺

(56) 參考文獻：

TW 451558

TW 200705819A

US 6900675B2

US 7358820B2

N. Da Dalt, E. Thaller, P. Gregorius, and L. Gazsi, "A compact triple-band low-jitter digital LC PLL with programmable coil in 130-nm CMOS," IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1482-1490, Jul. 2005.

審查人員：蘇齊賢

申請專利範圍項數：6 項 圖式數：2 共 0 頁

(54) 名稱

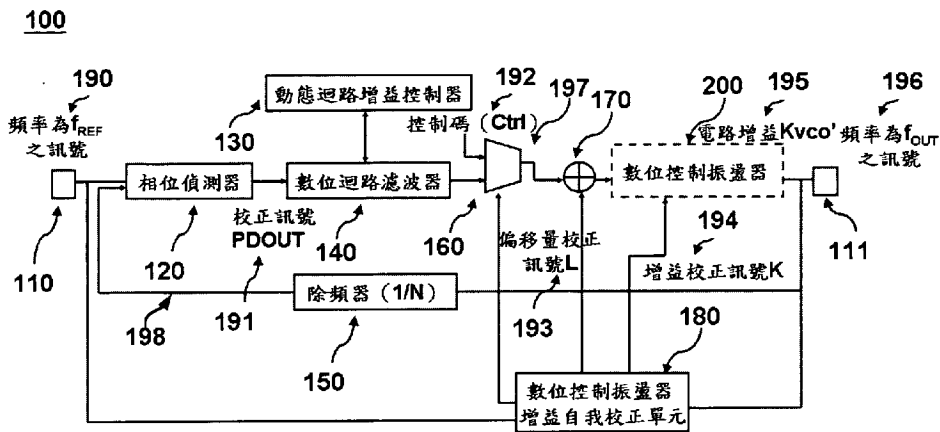
數位式自我校正鎖相迴路

A DIGITAL PHASE LOCKED LOOP WITH SELF-CALIBRATION

(57) 摘要

本發明揭示一種數位式自我校正鎖相迴路，其主要包含：一數位控制單元與一數位控制振盪器。該數位控制單元主要包含一除頻器；一相位偵測器；一數位迴路濾波器；一多工器以及一動態迴路增益控制器。本發明更揭示一數位控制振盪器增益自我校正單元。本發明之電路在相位鎖定前寄送不同之數位碼至該數位控制振盪器並檢測其輸出頻率給該數位控制振盪器增益自我校正單元。根據本發明數位式自我校正鎖相迴路具有全數位化，降低功率，節省晶片使用面積與提升整體迴路的穩定性。

The present invention discloses a digitally controlled phase-locked loop (PLL) for frequency synthesis. It mainly comprises a digital control unit and a digitally controlled oscillator (DCO). The control unit utilizes a frequency divider, a phase detector, a loop filter, a multiplexer and a dynamic loop-gain controller. The present invention also provides an automatic DCO gain calibration unit. The disclosed system would send different digital codes to DCO before phase tracing, and detect output frequency for automatic DCO gain calibration unit. The digitally controlled phase-locked loop (PLL) for frequency synthesis according to the present invention has the advantages including: fully digital realization; reducing power consumption; reducing chip area and increasing the stability of the circuit.



第 1 圖

- 100 . . . 數位式自我校正鎖相迴路
- 110 . . . 輸入端
- 111 . . . 輸出端
- 120 . . . 相位偵測器
- 130 . . . 動態迴路增益控制器
- 140 . . . 數位迴路濾波器
- 150 . . . 除頻器(1/N)
- 160 . . . 多工器
- 170 . . . 加法器
- 180 . . . 數位控制振盪器增益自我校正單元
- 190 . . . f_{REF} 之訊號
- 191 . . . 校正訊號 PDOUT
- 192 . . . 控制碼 (Ctrl)
- 193 . . . 偏移量校正訊號 L
- 194 . . . 增益校正訊號 K
- 195 . . . 電路增益 K_{VCO}
- 196 . . . f_{OUT} 之訊號
- 197 . . . 多工器輸出
- 198 . . . 除頻器輸出
- 200 . . . 數位控制振盪器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97142033

※申請日： 97.10.31 ※IPC 分類： H03L 7/08 (2006.01)

一、發明名稱：(中文/英文)

數位式自我校正鎖相迴路

A DIGITAL PHASE LOCKED LOOP WITH SELF-CALIBRATION

二、中文發明摘要：

本發明揭示一種數位式自我校正鎖相迴路，其主要包含：一數位控制單元與一數位控制振盪器。該數位控制單元主要包含一除頻器；一相位偵測器；一數位迴路濾波器；一多工器以及一動態迴路增益控制器。本發明更揭示一數位控制振盪器增益自我校正單元。本發明之電路在相位鎖定前寄送不同之數位碼至該數位控制振盪器並檢測其輸出頻率給該數位控制振盪器增益自我校正單元。根據本發明數位式自我校正鎖相迴路具有全數位化，降低功率，節省晶片使用面積與提升整體迴路的穩定性。

三、英文發明摘要：

The present invention discloses a digitally controlled phase-locked loop (PLL) for frequency synthesis. It mainly comprises a digital control unit and a digitally controlled oscillator (DCO). The control unit utilizes a frequency divider, a phase detector, a loop filter, a multiplexer and a dynamic loop-gain controller. The present invention also provides an automatic DCO gain calibration unit. The

disclosed system would send different digital codes to DCO before phase tracing, and detect output frequency for automatic DCO gain calibration unit. The digitally controlled phase-locked loop (PLL) for frequency synthesis according to the present invention has the advantages including: fully digital realization; reducing power consumption; reducing chip area and increasing the stability of the circuit.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 數位式自我校正鎖相迴路

110 輸入端 111 輸出端

120 相位偵測器

130 動態迴路增益控制器

140 數位迴路濾波器

150 除頻器(1/N)

160 多工器

170 加法器

180 數位控制振盪器增益自我校正單元

190 f_{REF} 之訊號 191 校正訊號 PDOUT

192 控制碼 (Ctrl) 193 偏移量校正訊號 L

194 增益校正訊號 K 195 電路增益 K_{VCO}

196 f_{OUT} 之訊號

197 多工器輸出

198 除頻器輸出

200 數位控制振盪器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電子電路，更特別有關於一種數位式自我校正鎖相迴路，其使用數位迴路濾波器並配合一個低功率的數位控制振盪器，使得整個迴路得以全數位化，較易操作在低電壓的工作環境下，且使整體的功率能夠下降，除此之外，在系統中加入了數位控制振盪器增益自我校正單元對數位控制振盪器的特性作校正，提升整體迴路的穩定性。

【先前技術】

電信自由化的潮流，使得無線通訊受到高度的重視。無線通訊射頻模組包括低雜訊放大器 (Low-noise amplifier)、帶通濾波器 (Bandpass filter)、混頻器 (Mixers)、壓控振盪器 (Voltage oscillators)、頻率合成器 (Frequency synthesizer) 和功率放大器 (Power amplifier)。在發射器中，頻率合成器為關鍵性組件之一。該元件較常使用鎖相迴路 (Phase-locked loop) 來達成。使用類比的方式實現鎖相迴路較容易受製程偏差影響，且隨著製成的演進，其所提供的電壓下降，造成類比電路較敏感，增加設計難度。在一般鎖相迴路中，振盪器 (Oscillator) 和除頻器 (Frequency divider) 佔整體功率消耗相當大的比例。但對調頻振盪器而言，若降

低其提供的電壓或電流，振盪器之頻率對可用的電壓或電流的增益會加大，造成振盪器的敏感度增加，並易受到雜訊干擾。

為了使鎖相迴路的功率下降，一般的做法係降低振盪器的輸出頻率，再利用相位內插器(Phase interpolator)或倍頻器(Frequency multiplier)產生輸出頻率。然而，若壓控振盪器輸出的相位有抖動，則會影響鎖相迴路最後高頻信號的相位雜訊。且若利用倍頻器產生高頻信號，其倍頻數的選擇有限，較難做調整。在低功率的情況下，鎖相迴路可用的電壓或電流的範圍縮小，振盪器的增益會增大，易受雜訊影響，使輸出信號的相位雜訊變差。

習知技術可見於美國專利第 7,088,154 號，頒給 Hung Cai Ngo，標題為“一種用於低功率鎖相迴路之配置及方法 (Method and arrangements for a Low Power Phase-Locked Loop)” ，其揭示一種利用多相位的壓控振盪器，可降低壓控振盪器的輸出頻率，再利用不同的相位經過脈波產生器(Pulse generator)產生高頻輸出信號。雖然該方式可降低壓控振盪器的功率，然而，若多相位壓控振盪器的輸出相位有抖動的話，則會直接反應到高頻輸出信號上，高頻輸出信號的相位雜訊會較差。

為了解決上述問題，有需要提供一種新的鎖相

迴路以克服先前技術的缺點。職是之故，申請人乃細心試驗與研究，並一本鍥而不捨的精神，終於研究出一種數位式自我校正鎖相迴路。其使用數位迴路濾波器並配合一個低功率的數位控制振盪器，使得整個迴路得以全數位化，較易操作在低電壓的工作環境下，且使整體的功率能夠下降，以達到節省晶片使用面積的目標。除此之外，本發明亦在系統中加入了數位控制振盪器增益自我校正單元對數位控制振盪器的特性作校正，提升整體迴路的穩定性。

【發明內容】

鑑於以上之問題，本發明提供一種數位式自我校正鎖相迴路，可應用於無線射頻傳輸介面或者高速的序列傳輸介面中。

本發明之目的在於提供一種數位式自我校正鎖相迴路，可使得整個迴路得以全數位化，且省電及省晶片使用面積，並加強整體迴路的穩定性。

為達上述目的，本發明提供一種數位式自我校正鎖相迴路，具有一輸入端，其包含一數位控制振盪器；一相位偵測器；一除頻器；一數位迴路濾波器；一多工器；一數位控制振盪器增益自我校正單元；以及一動態迴路增益控制器。該數位控制振盪器，係電性連接於一加法器，用以提供一頻率為

f_{OUT} 之訊號以及一電路增益 K_{VCO} ；該除頻器，係電性連接於該數位控制振盪器，用以對該數位控制振盪器輸出之頻率為 f_{OUT} 之訊號進行除以一正整數 N 之除法運算及輸出一頻率為 f_{OUT}/N 之訊號；該相位偵測器，用以接收該除頻器輸出頻率為 f_{OUT}/N 之訊號與來自該輸入端之一頻率為 f_{REF} 之訊號進行相位比較，以提供一校正訊號 $PDOUT$ ；該數位迴路濾波器，係電性連接於該相位偵測器，用以接收該校正訊號 $PDOUT$ ，以及調整該數位控制振盪器之輸出訊號；該多工器，係電性連接於該數位迴路濾波器，係用於接收複數個控制碼 (Ctrl) 及該數位迴路濾波器輸出之複數個數位碼；該數位控制振盪器增益自我校正單元，係電性連接於該數位控制振盪器，用以提供該數位控制振盪器一增益校正訊號 K 與該加法器一控制碼偏移量校正訊號 L ；以及該動態迴路增益控制器，係電性連接於該數位迴路濾波器，用以控制該數位迴路濾波器內部之參數。

根據本發明之一特徵，其中該數位控制振盪器更包含：一和差調變器與一調頻振盪器。該和差調變器，接收該複數個數位碼及該增益校正訊號 K ；以及該調頻振盪器，係電性連接於該和差調變器，藉由該和差調變器之調整以提供該數位控制振盪器之輸出訊號。

藉由本發明之一種數位式自我校正鎖相迴路，使得整個迴路得以全數位化，較易操作在低電壓的工作環境下，且使整體的功率能夠下降達到節省晶片使用面積的目標。此外，本發明在系統中加入了數位控制振盪器增益自我校正單元對數位控制振盪器的特性作校正，加強整體迴路的穩定性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

雖然本發明可表現為不同形式之實施例，但附圖所示者及於下文中說明者係為本發明可之較佳實施例，並請了解本文所揭示者係考量為本發明之一範例，且並非意圖用以將本發明限制於圖示及/或所描述之特定實施例中。

請參考第一圖，其揭示本發明之數位式自我校正鎖相迴路方塊圖之一較佳實施例。根據本發明之一實施例，一種數位式自我校正鎖相迴路100，其具有一輸入端110，其主要包含一數位控制振盪器200；一相位偵測器120；一除頻器150；一數位迴路濾波器140；一多工器160；一數位控制振盪器增益自我校正單元180以及一動態迴路增益控制器130。該輸入端110用以提供一頻率為 f_{REF} 之訊號

190給該相位偵測器120。該數位控制振盪器200，係電性連接於一加法器170，用以提供一頻率為 f_{OUT} 之訊號196，以及一電路增益 K_{VCO} ' 195。該除頻器150，係電性連接於該輸出端111，用以提供該輸出端111之頻率為 f_{OUT} 之訊號196進行除以一正整數 N 之除法運算及輸出一頻率為 f_{OUT}/N 之訊號。該相位偵測器120，係電性連接於該輸入端110及該除頻器輸出198，用以接收該頻率為 f_{OUT}/N 之訊號與該頻率為 f_{REF} 之訊號190進行相位比較，以提供一校正訊號PDOUT191。該數位迴路濾波器140，係電性連接於該相位偵測器120，用以接收該校正訊號PDOUT191，以及調整數位控制振盪器200之輸出訊號。該多工器160，係電性連接於該數位迴路濾波器140，係用於接收複數個控制碼(Ctrl)及該數位迴路濾波器140輸出之複數個數位碼。該數位控制振盪器增益自我校正單元180，係電性連接於該數位控制振盪器200，用以提供該數位控制振盪器200一增益校正訊號 K 194與該加法器170一控制碼偏移量校正訊號 L 193。該動態迴路增益控制器130，係電性連接於該數位迴路濾波器140，用以控制該數位迴路濾波器140內部之參數。

該數位式自我校正鎖相迴路 100 運作方式如下：一開始數位控制振盪器 200 會輸出一頻率為 f_{OUT} 之訊號 196，將此信號經過該除頻器(1/N)150

回授到該相位偵測器 120 以進行相位比較，該相位偵測器 120 會送出校正訊號 PDOUT 191 經過該數位迴路濾波器 140 後調整數位控制振盪器 200，當穩定後，輸出頻率為 f_{OUT} 之訊號 196 為頻率為 f_{REF} 之訊號 190 的 N 倍。為了增快鎖定的速度，一開始先將原先設計時，對應中央頻率的數位碼 210 送到數位控制振盪器 200 當作初始值 (Dinit)，且在鎖定的過程中，利用動態迴路增益控制器 130 控制數位迴路濾波器 140 內部的參數。

為了清楚揭示該數位控制振盪器 200 之結構，請參照第 2 圖，其為第 1 圖中之數位控制振盪器 200 方塊圖。該數位控制振盪器 200 更包含一和差調變器 220 與一調頻振盪器 230。該和差調變器 220，接收該複數個數位碼及該增益校正訊號 K194。該調頻振盪器 230，係電性連接於該和差調變器 220，藉由該和差調變器 220 之調整以提供該數位控制振盪器 230 之輸出訊號。利用增益校正訊號 K 194 可產生迴路穩定時所需之增益 K_{vco} ，但若乘上一個增益，需多加一個乘法器，但乘法器會消耗較大的功率和面積。已知該和差調變器 220 有提高解析度的功能，若將此增益倒數產生增益校正訊號 K 194 ($K=K_{vco}' / K_{vco}$) 送到和差調變器 220 中，改變和差調變器 220 的位元數，則可改變和差調變器 220 等效上除法的倍率，而得到

乘法上的效果。若用此方式作數位控制振盪器 200 的增益校正訊號 K 194，則可在不增加整體晶片的面積和功率消耗的情況下，將整體電路的特性校正回原本所設計的轉移函數。

隨著製程的演進，可用的電壓範圍愈來愈低，造成調頻振盪器 230 的增益升高，使得調頻振盪器 230 敏感度增加。為了降低調頻振盪器 230 的敏感度，在此加入了和差調變器 220，透過和差調變器 220 精確的調整調頻振盪器 230 輸出頻率的改變量，如此一來可以降低調頻振盪器 230 對雜訊的敏感度，且使整體電路可操作在較低的供應電壓下，達成低功率的效果。

一般而言，數位控制振盪器 200 容易受到製程變異、電壓變異和溫度變異等影響其性能，使其性能與當初設計時有些差異，造成整個數位式自我校正鎖相迴路 100 的特性與原先設計的不同。為了解決此問題，在數位式自我校正鎖相迴路 100 開始運作前，先送入一些控制碼 (Ctrl) 192，進行數位控制振盪器增益校正的動作，校正過後再開始鎖定，以彌補因環境因素造成該數位控制振盪器 200 特性的變異。

該數位控制振盪器增益自我校正單元 180 啟動時，會先分別送入兩組控制碼 192 為 D1 和 D2 透

過該多工器 160 送到數位控制振盪器 200 當中，利用數位控制振盪器增益自我校正單元 180 偵測當控制碼 192 為 D1 和 D2 時數位控制振盪器 200 輸出的頻率 196 分別為 f_{out1} 和 f_{out2} ，由以上的資訊可得出實際數位控制振盪器 200 的電路增益 K_{vco}' 195，即 $K_{vco}' = (f_{out2} - f_{out1}) / (D2 - D1)$ 。已知在迴路穩定時所需的數位控制振盪器 200 增益為 K_{vco} ，若將實際數位控制振盪器 200 的增益 K_{vco}' 乘上一增益為 K_{vco} / K_{vco}' ，則可使得整體迴路的特性與設計相同。

除了數位控制振盪器 200 增益在實現之後會與原本設計有所不同以外，數位控制振盪器 200 之控制碼 192 與原先設計所對應的頻率範圍也會存在一定的偏差。由於本例中迴路一開始運作時，會先透過控制碼 192 輸入一個初始值 (Dinit) 至數位碼 210 控制碼 192 使數位控制振盪器 200 輸出為中央頻率，但因前述的效應，因此會造成當晶片製作以後，因數位控制振盪器 200 輸出之 f_{OUT} 之信號 196 頻率範圍的改變，造成初始值 (Dinit) 控制碼 192 所對應到的實際頻率並非目標中央頻率 f_{out3} 。因此，除了增益自我校正外，控制碼 192 初始值 (Dinit) 所對應的實際輸出頻率與理想輸出頻率之間的偏移量也需要作校正。

接著說明偏移量校正訊號 L193 的產生過程：在執行增益校正後，送入一組控制碼 192 為 D3 至數位控制振盪器 200，由數位控制振盪器增益自我校正單元 180 測得實際輸出頻率為 f_{out3}' 。已知理想上 D3 所對應的輸出頻率 f_{out3} 和實際所得到的頻率 f_{out3}' 之間的關係如下式(1)與式(2)所示，其中 f_{init} 是控制碼 192 為 0 時的初始頻率，偏移量校正訊號 L193 是控制碼 192 的偏移量。

$$f_{out3} = D3 \times K_{vco} + f_{init} \quad (1)$$

$$f_{out3}' = D3 \times K_{vco} + f_{init}' = (D3 + L) \times K_{vco} + f_{init} \quad (2)$$

由上面的關係式，可以反推控制碼 192 的偏移量校正訊號 L193，如下式(3)。將此偏移量校正訊號 L193 利用加法器 170 加到多工器輸出 197，抵銷初始值(Dinit)的偏移量，再將此結果送到和差調變器 220 的輸入端 210 中，即可校正數位控制振盪器 200 因環境所造成的頻率飄移。

$$L = (f_{out3}' - f_{out3}) / K_{vco} \quad (3)$$

完成上述之程序後，該數位式自我校正鎖相迴路 100 開始進行鎖定，因數位控制振盪器 200 的特性已校正回原本所設計的情形，因此提升了整個迴路的穩定度與準確度，使其鎖定的特性更能掌握，且更準確。在本例中，數位控制振盪器 200 可調整

極細微的頻率變化，使得數位控制振盪器 200 的功率可降低，且利用此方法可以降低其敏感度，並得以在較低的電壓環境下工作。

需注意，以上之主動電路之電晶體形式可以利用 0.18 μm 、0.13 μm 、0.09 μm 、0.045 μm 或更先進的製程實現，其電晶體形式可以下列種類實現：雙載子電晶體(BJT)，異質接面雙載子電晶體(HBT)，高電子移動率電晶體(HEMT)，假型高電子移動率電晶體(PHEMT)，互補式金屬氧化半導體場效電晶體(CMOS)以及側面擴散式金屬氧化半導體場效電晶體(LDMOS)。用於電晶體之半導體基板材料包含有：矽、絕緣層上矽(SOI)、矽鍺化合物(SiGe)、砷化鎵(GaAs)、磷化銦(InP)與矽鍺-碳化合物。

綜上所述，根據本發明之一種數位式自我校正鎖相迴路 100，係利用數位迴路濾波器並配合一個低功率的數位控制振盪器，使得整個迴路得以全數位化，較易操作在低電壓的工作環境下，且使整體的功率能夠下降達到節省晶片使用面積的目標，並利用振盪器增益自我校正單元對數位控制振盪器的特性作校正，加強了整體迴路的穩定性。因此，本發明可廣泛應用在行動式或無線網路系統中。

雖然本發明就前述較佳實施例揭示，然其並

非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改，而不會破壞此發明的精神。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下：

第 1 圖顯示為本發明之數位式自我校正鎖相迴路方塊圖；以及

第 2 圖顯示為第 1 圖中之數位控制振盪器方塊圖。

【主要元件符號說明】

100 數位式自我校正鎖相迴路

110 輸入端 111 輸出端

120 相位偵測器

130 動態迴路增益控制器

140 數位迴路濾波器

150 除頻器 (1/N)

160 多工器

170 加法器

180 數位控制振盪器增益自我校正單元

190 頻率為 f_{REF} 之訊號 191 校正訊號 PDOUT

- 192 控制碼 (Ctrl)
- 193 偏移量校正訊號 L
- 194 增益校正訊號 K
- 195 電路增益 K_{VCO}
- 196 頻率為 f_{OUT} 之訊號
- 197 多工器輸出
- 198 除頻器輸出
- 200 數位控制振盪器
- 210 數位碼
- 220 和差調變器
- 230 調頻振盪器

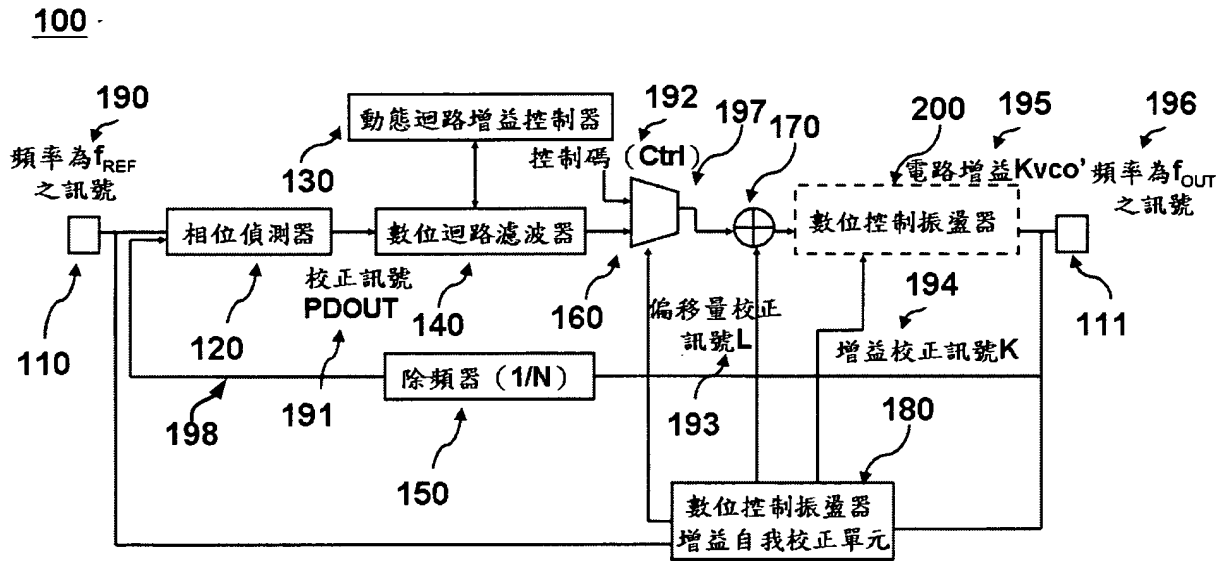
七、申請專利範圍：

1. 一種數位式自我校正鎖相迴路，具有一輸入端，其包含：
 - 一數位控制振盪器，係電性連接於一加法器，用以提供一頻率為 f_{OUT} 之訊號以及一電路增益 K_{VCO} ；
 - 一除頻器，係電性連接於該數位控制振盪器，用以對該數位控制振盪器輸出之頻率為 f_{OUT} 之訊號進行除以一正整數 N 之除法運算及輸出一頻率為 f_{OUT}/N 之訊號；
 - 一相位偵測器，係電性連接於該輸入端，用以接收該除頻器輸出該頻率為 f_{OUT}/N 之訊號與來自該輸入端之一頻率為 f_{REF} 之訊號進行相位比較，以提供一校正訊號 $PDOUT$ ；
 - 一數位迴路濾波器，係電性連接於該相位偵測器，用以接收該校正訊號 $PDOUT$ ，以及調整該數位控制振盪器之輸出訊號；
 - 一多工器，係電性連接於該數位迴路濾波器，係用於接收複數個控制碼 (Ctrl) 及該數位迴路濾波器輸出之複數個數位碼；
 - 一數位控制振盪器增益自我校正單元，係電性連接於該數位控制振盪器，用以提供該數位控制振盪器一增益校正訊號 K 與該加法器一控制碼偏移量校正訊號 L ；以及
 - 一動態迴路增益控制器，係電性連接於該數位迴路濾波器，用以控制該數位迴路濾波器內部之參數。

2. 如申請專利範圍第1項所述之數位式自我校正鎖相迴路，其中該數位控制振盪器更包含：
一和差調變器，接收該複數個數位碼及該增益校正訊號 K ；以及
一調頻振盪器，係電性連接於該和差調變器，藉由該和差調變器之調整以提供該數位控制振盪器之輸出訊號。
3. 如申請專利範圍第2項所述之數位式自我校正鎖相迴路，其中該和差調變器係藉由改變其位元數，可改變該和差調變器等效上除法之倍率。
4. 如申請專利範圍第1項所述之數位式自我校正鎖相迴路，其中該數位控制振盪器增益自我校正單元之該增益校正訊號 K ，係用以校正該數位控制振盪器之該電路增益 K_{VCO} ，使其與原本設計所需的增益 K_{VCO} 相同。
5. 如申請專利範圍第1項所述之數位式自我校正鎖相迴路，其中該數位控制振盪器增益自我校正單元之該控制碼偏移量校正訊號 L ，係用以校正該複數個控制碼，進而修正該數位控制振盪器輸出頻率 f_{OUT} 之訊號的頻率飄移。

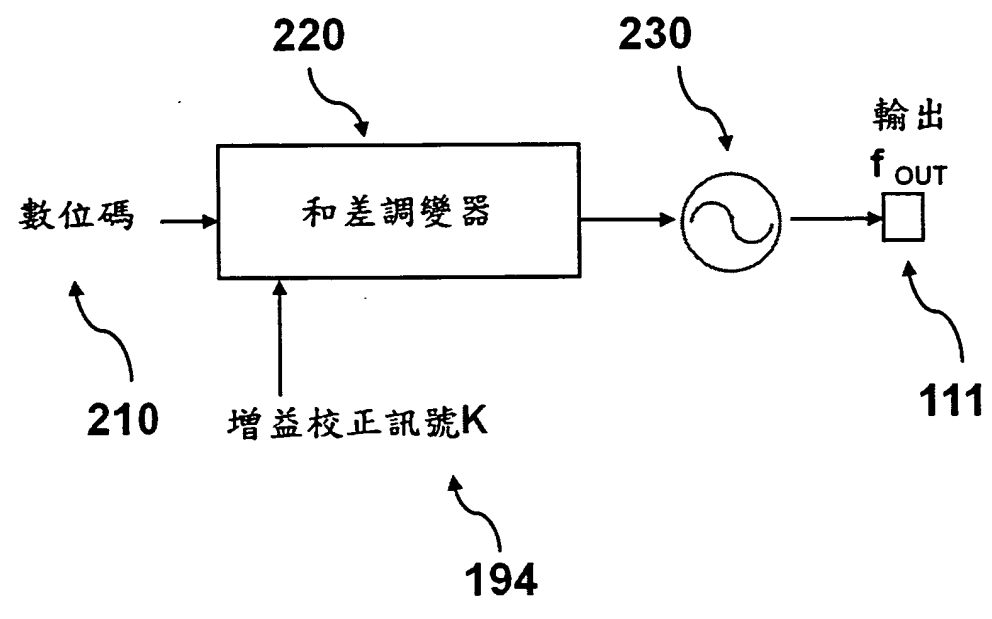
6. 如申請專利範圍第 1 項所述之數位式自我校正鎖相迴路，其中該數位式自我校正鎖相迴路可由 0.18 μm 、0.13 μm 、0.09 μm 、0.045 μm 或更先進的製程實現。

八、圖式：



第 1 圖

200



第 2 圖