

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97139994

※ 申請日期：97.10.17

※IPC 分類：H01L21/336 (2006.01)  
H01L29/772 (2006.01)

## 一、發明名稱：(中文/英文)

具懸浮式奈米通道之電晶體結構與其製造方法

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

## 三、發明人：(共4人)

姓 名：(中文/英文)

1. 林鴻志

2. 蘇俊榮

3. 徐行徽

4. 李冠樟

國 籍：(中文/英文)

中華民國 TW (皆同)

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種具懸浮式奈米通道之電晶體結構與其製造方法，其包含有一基底；一位於基底上的側閘極；一覆蓋於基底與側閘極上的介電層；一位於側閘極之側邊的懸浮式奈米線通道，其與介電層間具有一氣隙；以及一源極電極與一汲極電極，其係設置於介電層上且分設於懸浮式奈米線通道的兩端。藉由側閘極之靜電力對懸浮式奈米線通道之吸附或分離，來達到快速改變等效側閘極介電層厚度，而使元件在開關狀態上快速切換或改變通道之起始電壓。

## 六、英文發明摘要：

**七、指定代表圖：**

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

10 具懸浮式奈米通道之電晶體

12 基底

14 熱氧化層

16 側閘極

20 介電層

22 懸浮式奈米線通道

24 源極電極

26 源極電極

28 犧牲層

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種電晶體結構與製造方法，特別是指一種具懸浮式奈米通道之電晶體結構與其製造方法。

### 【先前技術】

根據理論，一般元件之次臨界擺幅度 (subthreshold swing, SS) 之最佳值為 60mv/decade。然而，為使元件有更佳的次臨界擺幅度，而使元件在開關間具有更大的電流開關比，有微機電 (MEMS) 結合金氧半場效電晶體之懸浮閘極電晶體 (suspended gate MOSFET, SG-MOSFET) 之結構因應而生，其懸浮閘極結構提供了可調變之閘極電容，使其之次臨界擺幅度可突破理論之限制 (可至數個 mv/decade)，然而其微機電的結構，使元件的規模提升許多 (為數個微米至數十微米)，亦因規模較大，使其在閘極懸浮使用之蝕刻製程也因此有較高難度。

在 N. Abele et al., "1T MEMS Memory Based on Suspended Gate MOSFET," in IEDM, (2006) 之文獻中曾提出一種利用平面結構與微機電製程，其以乾式選擇性蝕刻去除一犧牲介電層使形成一氣隙於閘極與通道之間的微機電記憶體，但在此文獻中懸浮部份是閘極，此外由於是使用平面結構，因此在形成氣隙的過程相當不易，且須以乾式選擇性蝕刻的方式來進行蝕刻，再者，此一文獻中因考慮犧牲介電層氣隙蝕刻的難易度，所形成的氣隙厚度相當厚 (>200 nm)，因此需相當高的操作電壓。

再者，中華民國專利公告號 I246541 之專利文獻中揭露以一種低成本及可大量製作矽奈米線之方法，其係將一矽基底以敏化液與活化液進行催化

處理，使反應金屬原子吸附在該矽基底表面，再將處理後之矽基底浸泡於一無電鍍酸性鍍液中進行無電鍍沈積，以於矽基底上電鍍沉積出一層含有催化金屬微粒之金屬層，隨後將此一矽基底置入高溫爐管中，於高溫下催化金屬微粒與矽基底表面之矽原子在高溫下於金屬/矽基底界面處熔融形成液態的矽化物合金，而後透過固態-液態-固態(solid-liquid-solid, SLS)化學合成製程以藉由溫度梯度之變化，促使矽-矽鍵因觸媒效應重新組合排列而堆疊成矽奈米線。此專利雖能大量製備矽奈米線，但未來在製作電晶體元件時仍會遭遇對準之問題，並且有殘留催化金屬污染疑慮。

在 X. L. Feng et al., "Very High Frequency Silicon Nanowire Electromechanical Resonators," Nano Lett., Vol. 7, pp. 1953-1959 (2007)之文獻為利用氣態-液態-固態(vapor-liquid-solid, VLS)方式，形成懸浮奈米線之元件，並研究其振盪特性以評估作為振盪器之可行性。此方式主要屬於實驗室的技術手段，基本上難以準確地定位與對準奈米線之位置，因此在應用上並不適合於產品的量產。此外，結構本身僅具 source 和 drain 兩電極，屬於被動元件。

有鑑於對更優良微機電金氧半元件需求的存在，本發明遂針對上述習知技術之缺失，提出一種嶄新且低電壓下即可操作之具懸浮式奈米通道之電晶體結構與製造方法，以有效簡化製程步驟並降低成本。

### 【發明內容】

本發明之主要目的在提供一種具懸浮式奈米通道之電晶體結構與製造方法，其係利用現有半導體製程和設備相容之技術，在成本低和步驟簡易

之製程下，來完成再現性高且可量產化之電晶體結構。

本發明之再一目的在提供一種具懸浮式奈米通道之電晶體結構與製造方法，其藉由靜電力對懸浮式奈米線通道之作用，可達到快速改變等效側閘極介電層厚度之目的，進而可應用於開關元件，提升開關元件之電流開關比。

本發明之又一目的在提供一種具懸浮式奈米通道之電晶體結構與製造方法，其利用側閘極電壓施以靜電力於奈米線通道上，可產生吸附或排斥之效果，藉此可改變側閘極之等效介電層厚度，而達到改變通道之起始電壓，因此，可應用於記憶體元件之運作。

依照本發明提供一種具懸浮式奈米通道之電晶體結構，其包含有一基底；一位於基底上的側閘極；一覆蓋於基底與側閘極上的介電層；一位於側閘極之側邊的懸浮式奈米線通道，其與介電層間具有一氣隙；以及一源極電極與一汲極電極，其係設置於介電層上且分設於懸浮式奈米線通道的兩端。

依照本發明之一種具懸浮式奈米通道之電晶體結構之製造方法步驟，其包含有提供一基底；於基底上形成一側閘極；於側閘極與基底表面上依序形成一介電層與一犧牲層；於犧牲層上形成一多晶矽層並進行源/汲極離子佈植；對多晶矽層進行圖案化製程，以在側閘極側壁上形成一奈米線通道，與在犧牲層上形成分設於奈米線兩端之一源極電極與一汲極電極；以及移除自源極電極、汲極電極與奈米線顯露出的犧牲層，以使奈米線通道成為懸浮狀態。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

請參閱第 1 圖，其係本發明實施例之具懸浮式奈米通道之電晶體的結構示意圖。如圖所示，本發明之具懸浮式奈米通道之電晶體 10 包含有一基底 12，其上有一作為絕緣層之熱氧化層 14；熱氧化層 14 之表面有一側閘極 16；一覆蓋於側閘極 16 與熱氧化層 14 上的介電層 20；至少一位於側閘極 16 之側邊上的懸浮式奈米線通道 22，其與介電層 20 間具有一氣隙 25；以及一源極電極 24 與一汲極電極 26，其係設置於介電層 20 上且分設於懸浮式奈米線通道 22 的兩端。

其中上述之基底可以是矽基底，側閘極之材質為多晶矽，而源極電極 24 與汲極電極 26 之材質是經過源極/汲極離子佈植後的多晶矽。懸浮式奈米線通道 22 之結晶態可以是多晶或者經過低溫再結晶技術處理後之單晶。介電層之材質係可為氮化矽或者氧化矽。

此外，源極電極 24 與汲極電極 26 之底面更具有犧牲層 28，以作為與介電層之接面。

接續，係針對上述本發明之具懸浮式奈米通道之電晶體結構之製作流程進行說明。

請一併參閱第 2~6 圖，其係本發明之具懸浮式奈米通道之電晶體結構的製作流程示意圖。首先如第 2 圖所示，提供一矽基底 12，並於矽基底 12 上依序形成一作為絕緣層之熱氧化層 14，與一多晶矽層 15；接續如第 3 圖



所示，對多晶矽層 15 進行圖案化製程，以定義出側閘極 (side-gate) 結構 16；再如第 4 圖所示，再於頂表面上依序沉積一介電層 20、一與介電層 20 具有不同蝕刻選擇比的犧牲層 28 與一多晶矽層 30；然後，對多晶矽層 30 進行源極離子佈植與汲極離子佈植，再利用微影與非等向性蝕刻在側閘極 16 側壁之犧牲層 28 上形成奈米線通道 22 並同時定義出位於犧牲層 28 上的源極電極 24 與汲極電極 26 結構，如第 5 圖所示；最後，利用選擇性蝕刻的方式，來蝕刻掉自源極、汲極電極 24、26 與奈米線通道 22 顯露出的犧牲層 28，以使奈米線通道 22 成為懸浮狀態，而獲得如第 6 圖所示之具懸浮式奈米通道之電晶體結構 10。

更者，可利用低溫再結晶技術將懸浮式奈米線通道之結晶狀態由多晶態轉變為高品質的單晶態，以提升操作時通道之可靠性。

由上述製造方法步驟可發現本發明依現有半導體製造方法和與現有半導體設備相容之技術，利用與蝕刻閘極邊襯相同之方法，以非等向性蝕刻多晶矽，並調整蝕刻時間，使其微縮至奈米等級，在閘極兩側形成邊襯狀多晶矽奈米線通道，藉由蝕刻條件調控奈米線通道尺寸至 100 nm (奈米) 以下，且在成本低和步驟簡易之製造方法下，完成重複性高且可量產化之懸浮式奈米線通道元件製作。因此本發明之具懸浮式奈米線通道之電晶體結構結構與製造，可以解決現今奈米線電子元件製作不易或需高成本和高技術門檻之問題。

請參閱第 7 圖所示，在本發明之具懸浮式奈米通道之電晶體結構中，由於奈米線通道為懸浮之結構，因此，側閘極和懸浮式奈米線通道間，除

介電層外，另存在一層空氣作為介電質。利用側閘極電壓施以靜電力於懸浮式奈米線通道上，可產生吸附或排斥之效果，藉此可改變側閘極之等效介電層厚度，而達到改變通道之起始電壓，因此，可應用於記憶體元件之運作。

再者，本案發明之具懸浮式奈米通道之電晶體結構亦可應用於開關元件之操作，其主要原因是靜電力對懸浮式奈米線通道之作用，可達到快速改變等效側閘極介電層厚度之目的，進而使元件在開關狀態上快速切換，亦因等效於側閘極介電層厚度改變，而提升元件之電流開關比。

鑑此，本發明之具懸浮式奈米線通道之電晶體在操作時會由於閘靜電力的作用，如果是吸引力的話，懸浮奈米線通道會被吸近接觸閘極側壁上的閘介電層，斥力則會分離懸浮奈米線通道，在電性上會呈現兩種不同的邏輯態，如第 7 圖所示。因此，本發明之結構可用於開關元件或記憶體元件之應用。

綜上所述，本發明提出一種具懸浮式奈米通道之電晶體結構與製造方法，其係利用現有半導體製程和設備相容之技術，在成本低和步驟簡易之製造方法下，完成重複性高且可量產化之具懸浮式奈米通道之電晶體結構。再者，本發明為微機電結合電晶體之結構，其側閘極電容為可變電容，在元件關閉狀態時，因空氣介電層之存在，可使元件關閉電流極低，進而使功率消耗降低，而可於低電壓操作環境下運作，並提高元件的可靠度。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化

或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖係本發明之具懸浮式奈米通道之電晶體的結構示意圖。

第 2~6 圖係本發明之具懸浮式奈米通道之電晶體結構的製作流程示意圖。

第 7 圖係本發明之具懸浮式奈米通道之電晶體的電性圖。

### 【主要元件符號說明】

10 具懸浮式奈米通道之電晶體

● 12 基底

14 熱氧化層

15 多晶矽層

16 側閘極

20 介電層

22 懸浮式奈米線通道

24 源極電極

● 26 源極電極

28 犧牲層

## 十、申請專利範圍：

1. 一種具懸浮式奈米線通道之電晶體結構，其包含有：
  - 一基底；
  - 一側閘極，其係位於該基底上；
  - 一介電層，其係覆蓋於該基底與該側閘極上；
  - 一懸浮式奈米線通道，其係位於該側閘極之側邊，且與該介電層間具有一氣隙；以及
  - 一源極電極與一汲極電極，其係設置於該介電層上且分設於該懸浮式奈米線通道的兩端。
2. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該源極電極與該汲極電極之底面各具有一犧牲層，以與該介電層接面。
3. 如申請專利範圍第 2 項所述之具懸浮式奈米線通道之電晶體結構，其中該犧牲層與該介電層間具有不同蝕刻選擇比。
4. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該基底表面具有一絕緣層。
5. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該介電層之材質係為氮化矽或者氧化矽。
6. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該懸浮式奈米線通道之結晶態為單晶矽或者多晶矽。
7. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該基底為矽基底。
8. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其係

應用於記憶體元件的操作或開關元件。

9. 如申請專利範圍第 1 項所述之具懸浮式奈米線通道之電晶體結構，其中該懸浮式奈米線通道之尺寸為 100 奈米以下。
10. 一種具懸浮式奈米線通道之電晶體結構的製造方法，其包含有下列步驟：
  - 提供一基底；
  - 於該基底上形成一側閘極；
  - 於該側閘極與該基底表面上依序形成一介電層與一犧牲層；
  - 於該犧牲層上形成一多晶矽層並對該多晶矽層進行源/汲極離子佈植；
  - 對該多晶矽層進行圖案化製程，以在該側閘極之側壁上形成一奈米線通道，與在該介電層上形成分設於該奈米線兩端之一源極電極與一汲極電極；以及
  - 移除該奈米線通道與該閘極間所夾之該犧牲層，以使該奈米線通道成為一懸浮狀態之奈米線通道。
11. 如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中對該多晶矽層進行圖案化製程的步驟包含有微影與非等向性蝕刻。
12. 如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中該移除該犧牲層的步驟係利用選擇性蝕刻。
13. 如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中該基底表面覆蓋有一絕緣層。
14. 如申請專利範圍第 13 項所述之具懸浮式奈米線通道之電晶體結構的製

造方法，其中於該基底上形成一側閘極的步驟更包含有：

於該絕緣層上形成一側閘極多晶矽層；以及

對該側閘極多晶矽層進行圖案化，以定義出該側閘極結構。

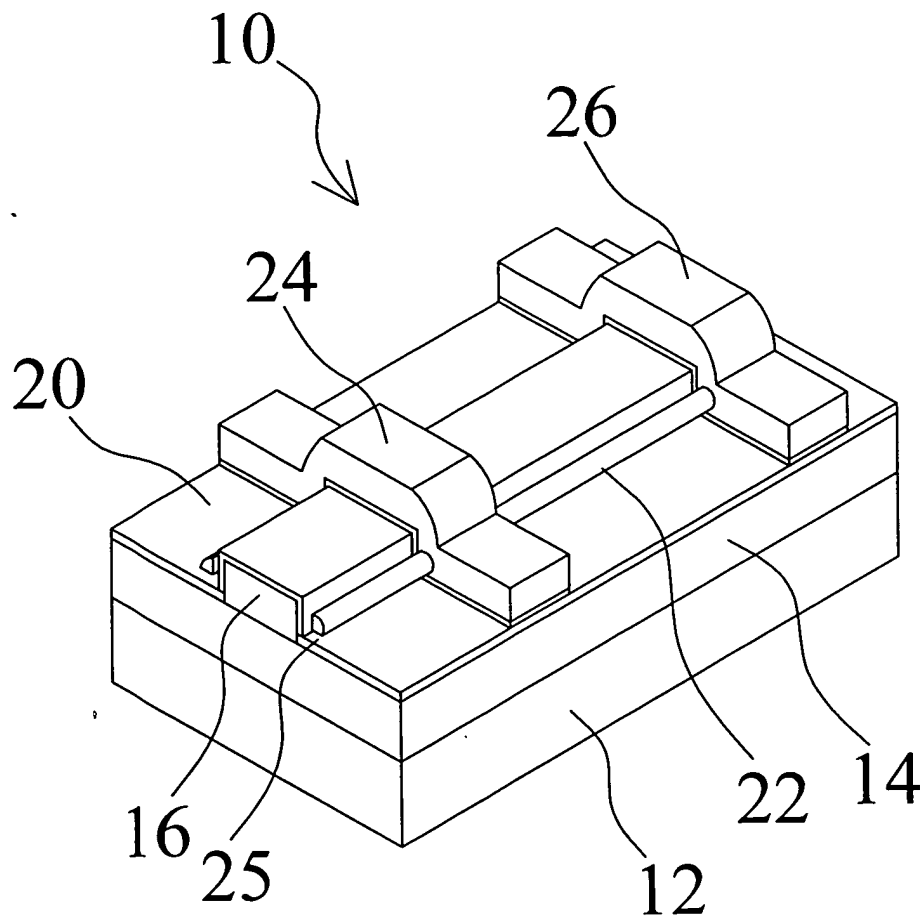
15.如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中該介電層之材質係為氮化矽或氧化矽。

16.如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中該基底為矽基底。

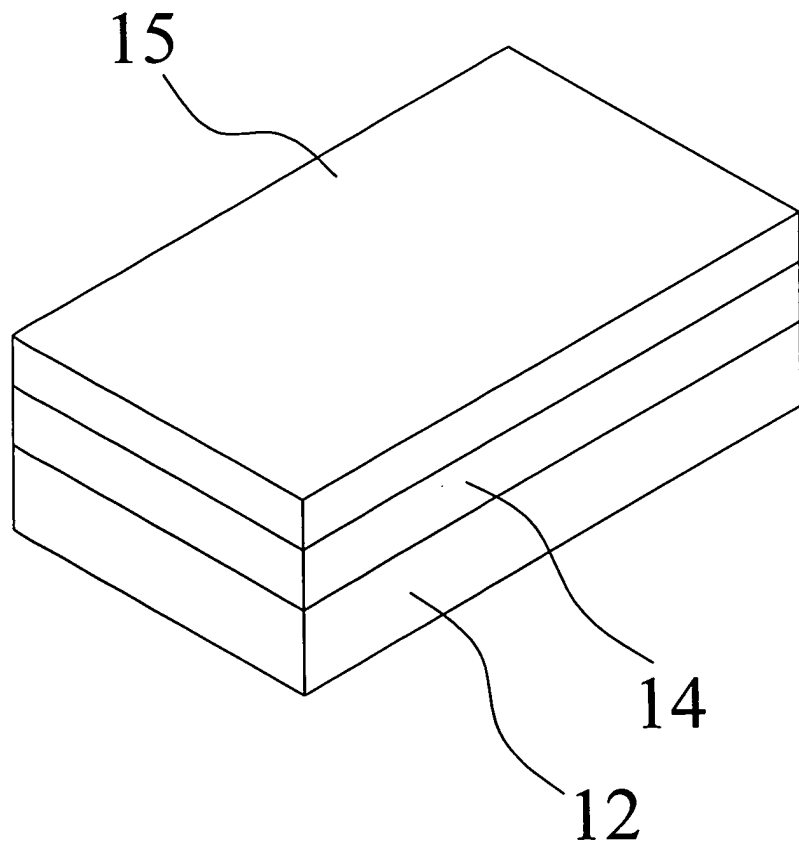
17.如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其更可對該奈米線通道進行低溫再結晶的步驟，以使該奈米線通道成為單晶結構。

18.如申請專利範圍第 10 項所述之具懸浮式奈米線通道之電晶體結構的製造方法，其中該奈米線通道之尺寸為 100 奈米以下。

十一、圖式：

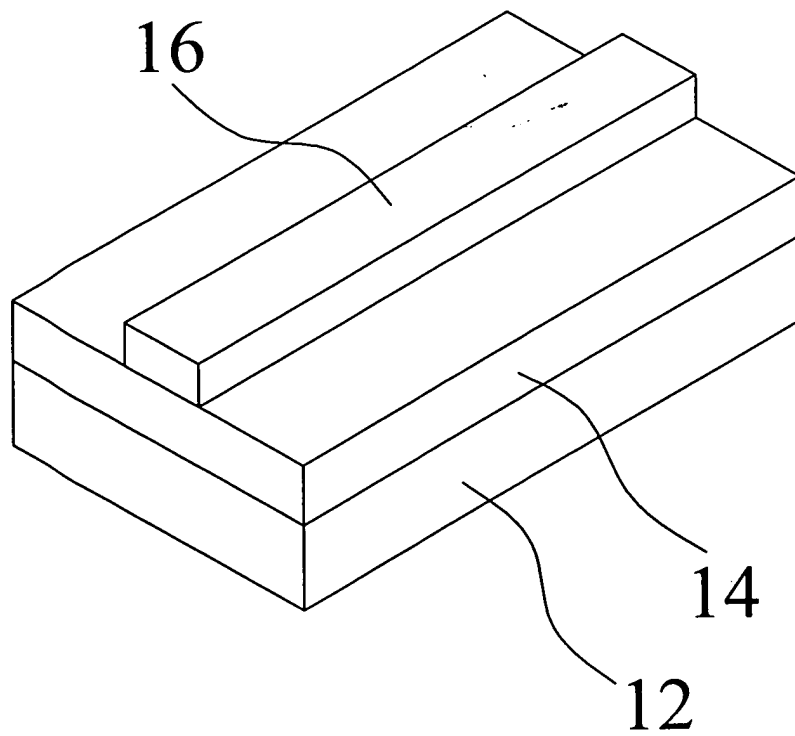


第1圖

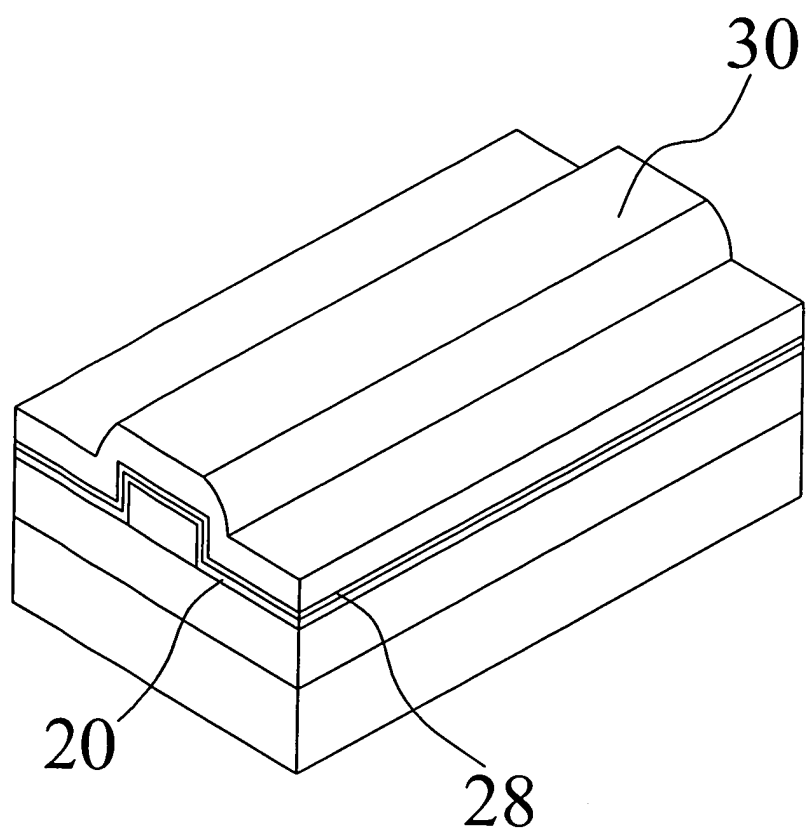


第2圖

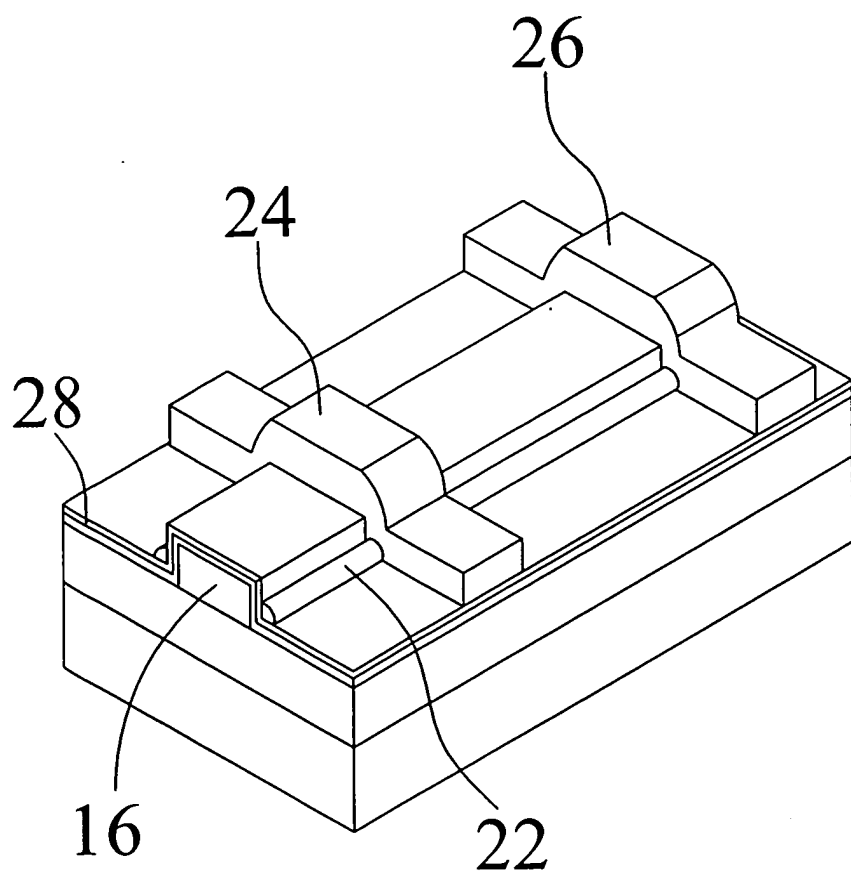




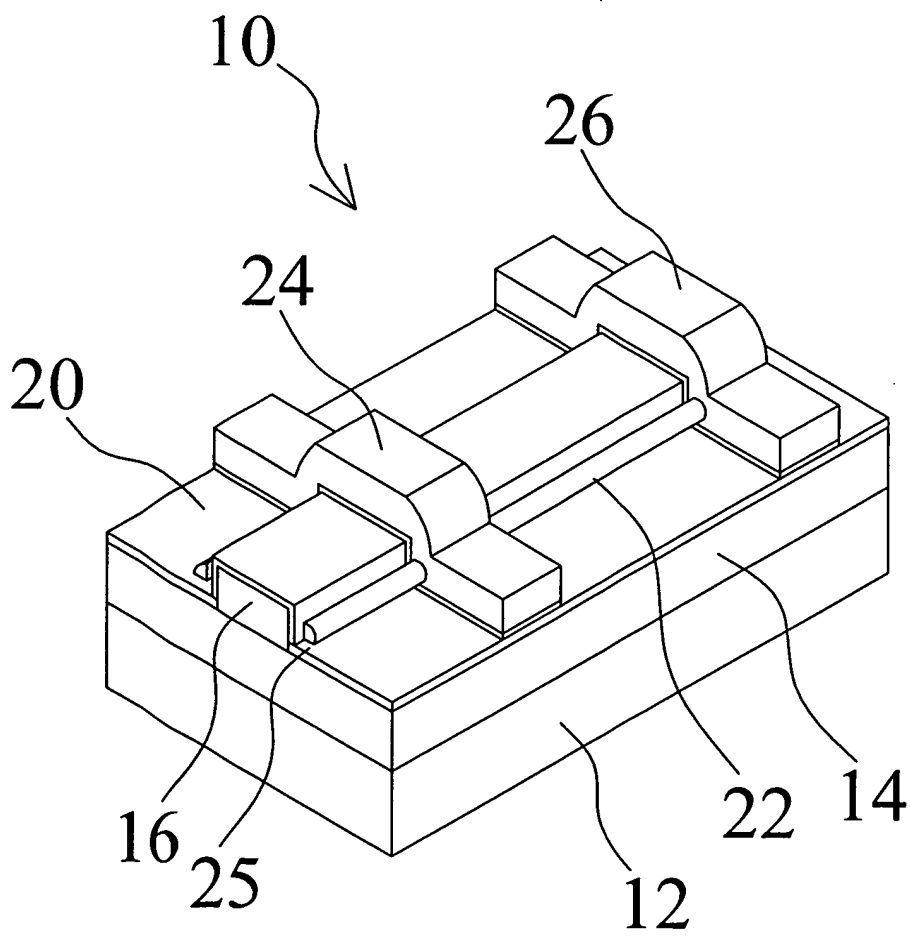
第3圖



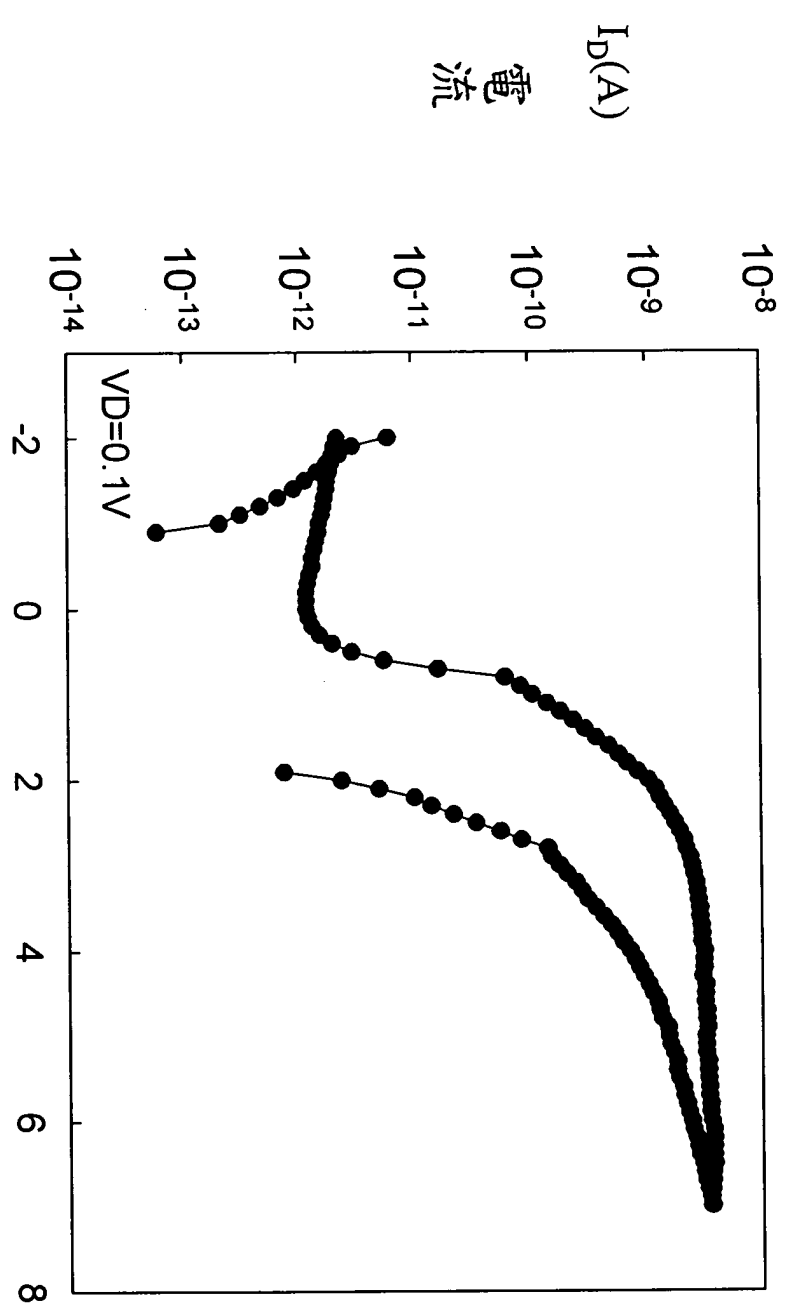
第4圖



第5圖



第6圖



第7圖  
 $V_G$ (V)電壓