

101年5月15日修正替換頁

101年5月15日修正替換頁

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97117512

※ 申請日期：97.5.13

※IPC 分類：H01L 21/02 (2006.01)
B81C 1/00 (2006.01)

一、發明名稱：(中文/英文)

半導體電路與微探針感測元件的整合結構及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳妍華

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1 邱俊誠 Jin-Chern CHIOU

2 張志瑋 Chih-Wei CHANG

國 籍：(中文/英文)

中華民國 TW (皆同)

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種半導體電路與微探針感測元件的整合結構及其製造方法，係於半導體基板一面製作半導體電路，另一面則直接蝕刻出供生理訊號感測之用的微探針構造，再利用沉積方法於微探針表面依序沉積絕緣層與導電層，最後，再使用導電材料電性連接半導體電路之電性連接墊與導電層，從而在同一片半導體基板兩面完成電路與微探針感測元件之整合，且解決了電性阻絕的問題，微探針所感測到的生理訊號準位將不會影響到半導體電路的正常工作。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (1G) 圖。

(二)本代表圖之元件符號簡單說明：

10 矽晶片

11 穿孔

20 電路

21 電性連接墊

30 微探針

40 絕緣層

50 導電層

60 導電材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種半導體與微機電元件的整合結構，特別是指一種半導體電路與微探針感測元件的整合結構及其製造方法。

【先前技術】

習知的半導體-微機電整合 (CMOS-MEMS) 技術包含半導體製程與微機電後製程部分，其中半導體製程是在矽晶圓正面製作積體電路，微機電後製程則包括藉由蝕刻製作懸浮感測元件，或是沉積、接合其他的感測與致動元件。

如美國專利第 7208809 號乃揭示一種具有微機電元件的半導體裝置 (semiconductor device having MEMS)，是在半導體電路背後製造微鏡面和其驅動與感測元件，其感測部份為精密且複雜的薄膜加工法 (surface micromachining)，需要額外多層薄膜沉積與黃光定義或蝕刻來製造。

另如美國專利第 7160752 號則揭示一種矽基微機電元件的製造方法 (fabrication of advanced silicon-based MEMS devices)，是利用接合技術在半導體電路旁製造微機電致動與感測元件，此方法需要額外之接合對準技術，且其製程精密度高、機台昂貴、穩定性不佳。

【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種半導體電路與微探針感測元件的整合結構及其製造方法，藉由整合電路系統與微探針之生理訊號感測元件於同一半導體基板的兩面，提高可靠度與異質系統整合性。

本發明的另一目的在於提供一種半導體電路與微探針感測元件的整合

結構及其製造方法，係解決同時以半導體基板作為半導體電路基板與微機電感測元件的電性隔離問題，不需要額外的封裝技術來整合微探針感測元件與半導體電路。

因此，為達上述目的，本發明所揭露之半導體電路與微探針感測元件的整合結構，其製作是將半導體基板的兩面分別製作有半導體電路與微探針，電路包含複數個電性連接墊，且微探針的構造是以蝕刻方法直接在半導體基板製作出來，不需要額外的基板，並蝕刻出導通半導體基板兩面的穿孔，再利用沉積方法，在微探針表面依序沉積絕緣層與導電層，最後再利用導電材料將穿孔中導電層與電路之電性連接墊連接，完成電路與微探針感測元件之整合。

或者，本發明之製造方法也可以不做穿孔的蝕刻，直接在微探針表面沉積絕緣層與導電層後，利用封裝方式將導線或導電層型式的導電材料電性連接位於半導體基板兩面的電性連接墊與導電層。

為使對本發明的目的、特徵及其功能有進一步的了解，茲配合圖式詳

細說明如下：

【實施方式】

請參照第 1A 圖~第 1G 圖，為本發明之實施例所提供之半導體電路與微探針感測元件的整合結構之製造流程剖面圖。以下詳細說明各個步驟。

如第 1A 圖所示，提供一利用半導體製程所製造之半導體基板，半導體基板可譬如為在矽晶圓上所製造之矽晶片 10，也可以為三五族材料或是其他可為積體電路基板材料所構成。

如第 1B 圖所示，將電路 20 在矽晶片 10 之一面完成製造，電路 20 包

含複數電性連接墊 21。切割後的裸晶另一面仍有厚 300~500 微米 (μm) 之矽晶片。在此定義矽晶片 10 上有電路 20 的一面為第一表面，另一面則為第二表面。

然後，如第 1C 圖所示，在已完成電路 20 的矽晶片 10 之第二表面，利用黃光以及蝕刻方法製作出感測生理訊號所需的微探針 30 結構，微探針 30 結構可包含單一微探針或複數微探針，且複數微探針可構成為微探針陣列。本實施例中，蝕刻方式可包括濕式蝕刻、乾式氣體蝕刻、離子反應蝕刻或是電化學蝕刻方式。

在第 1B 圖與第 1C 圖的步驟中，也可以先製作微探針 30 結構後再進行電路 20 製作。

如第 1D 圖所示，再進行另一次的黃光以及蝕刻方法，製作出貫通矽晶片 10 第一表面與第二表面的穿孔 11，以作為電性導通之用。而矽晶片 10 上導通用的穿孔 11 可以為單一穿孔或是複數個穿孔設計。

之後，如第 1E 圖所示，利用薄膜沉積方法，在矽晶片 10 第二表面沉積一層絕緣層 40，而貫穿矽晶片 10 第一表面與第二表面之穿孔 11 內也會沉積上一層絕緣層 40，絕緣層 40 之材質可以是任何具有電性阻絕之材料。

如第 1F 圖所示，在絕緣層 40 上再沉積一層導電層 50，此導電層 50 也會沉積在穿孔 11 之中以及絕緣層 40 之上，而使穿孔 11 達到電性導通。

上述絕緣層 40 與導電層 50 的沉積方法可以為化學氣相沉積、物理氣相沉積、化學液相沉積、物理液相沉積、電鍍方法、電鑄方法或是原子層沉積(Atomic Layer Deposition; ALD)方法。

最後，如第 1G 圖所示，利用銀膠或錫球或其他的導電材料 60 將穿孔 11 中的導電層 50 與電路 20 之電性連接墊 21 連接，即完成本實施例之整合結構。

本實施例利用穿孔達到連接矽晶片兩面之電性，且有預先沉積一層絕緣層，使微探針感測元件所感測到的生理訊號準位不會影響到電路的正常工作。過去的設計中，如要連接兩種皆為半導體基板的電路與微機電元件大多必須額外使用一片基板做為電性隔絕與連接之用，而本發明則可在同一片半導體基板上實現。

另外，如第 2 圖所示，為本發明另一實施例的半導體電路與微探針感測元件的整合結構。接在前述第 1B 圖與第 1C 圖中微探針結構與電路的製作步驟之後，不做穿孔的蝕刻，而直接在矽晶片第二表面沉積絕緣層與導電層，再利用封裝方式，將導電材料電性連接矽晶圓第一表面的電性連接墊以及第二表面的導電層。用來導通矽晶圓兩面之導電材料可以為單一導線或是複數個導線或是一整個面的包覆，以針對一根微探針、一組微探針或全面性的微探針結構電性連接到對應的電性連接墊。如第 3 圖所示，為本發明之另一實施例之立體圖，其利用二條導線型式之導電材料 61、62 將二組微探針 31 與 32 電性連接至對應的電性連接墊 22 與 23。

綜上所述，本發明揭露了一種半導體電路與微探針感測元件的整合結構及其製造方法，是以體型加工法(bulk micromachining)，直接以半導體基板作為微探針感測元件的主結構，而在同一片半導體基板的兩面完成電路設計與微探針感測元件之整合，且解決了電性阻絕的問題，為朝向系統

整合 SOC 設計的重要概念與實現方式之一。

雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【圖式簡單說明】

第 1A 圖~第 1G 圖係為本發明之實施例所提供之半導體電路與微探針感測元件的整合結構之製造流程剖面圖。

第 2 圖係本發明之另一實施例的半導體電路與微探針感測元件的整合結構之示意圖。

第 3 圖係本發明之另一實施例具有複數導線型式之導電材料的半導體電路與微探針感測元件的整合結構之立體圖。

【主要元件符號說明】

10 矽晶片

11 穿孔

20 電路

21、22、23 電性連接墊

30、31、32 微探針

40 絕緣層

50 導電層

60、61、62 導電材料

十、申請專利範圍：

1. 一種半導體電路與微探針感測元件的整合結構，其包含：

一半導體晶圓基板，具有一第一表面與一第二表面，該第一表面形成有一半導體電路，該半導體電路包含複數電性連接墊，該第二表面蝕刻形成至少一微探針；

一絕緣層，形成於該微探針表面；

一導電層，形成於該絕緣層表面；及

一導電材料，其係位於該半導體晶圓基板外圍，以連接該導電層與該些電性連接墊。

2. 如申請專利範圍第 1 項所述之半導體電路與微探針感測元件的整合結構，其中該半導體晶圓基板係為三五族材料。
3. 如申請專利範圍第 1 項所述之半導體電路與微探針感測元件的整合結構，其中該導電材料係為單一導線、複數導線或另一導電層。
4. 如申請專利範圍第 1 項所述之半導體電路與微探針感測元件的整合結構，其中該半導體晶圓基板更包含至少一穿孔，貫通該第一表面與該第二表面，且該絕緣層更形成於該穿孔表面，該導電層更形成於該穿孔中該絕緣層表面，以電性導通該穿孔。
5. 如申請專利範圍第 4 項所述之半導體電路與微探針感測元件的整合結構，其中該導電材料係為銀膠或錫球。
6. 如申請專利範圍第 1 項所述之半導體電路與微探針感測元件的整合結構，其中該電性連接墊之材料係為銀膠或錫球。
7. 如申請專利範圍第 1 項所述之半導體電路與微探針感測元件的整合結

構，其中該微探針係複數個。

8. 如申請專利範圍第 7 項所述之半導體電路與微探針感測元件的整合結構，其中該些微探針係構成一微探針陣列。
9. 如申請專利範圍第 7 項所述之半導體電路與微探針感測元件的整合結構，其中該些微探針分為複數組，每一組微探針係利用一該導電材料電性連接至對應的該些電性連接墊。
10. 一種半導體電路與微探針感測元件的整合結構之製造方法，其步驟包含：

提供一半導體晶圓基板，該半導體晶圓基板具有一第一表面與一第二表面；

形成一半導體電路於該半導體晶圓基板之該第一表面，該半導體電路包含複數個電性連接墊，並利用蝕刻方法，形成至少一微探針於該半導體晶圓基板之該第二表面；

利用沉積方法，依序形成一絕緣層於該微探針表面，形成一導電層於該絕緣層表面；及

利用一形成於該半導體晶圓基板外圍之導電材料連接該導電層與該些電性連接墊。

11. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該半導體晶圓基板係為三五族材料。
12. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該蝕刻方法係為濕式蝕刻、乾式氣體蝕刻、離子反

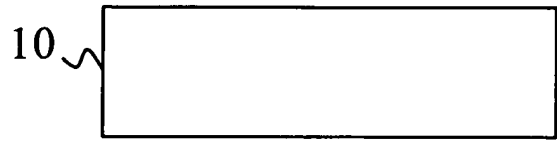
應蝕刻或電化學蝕刻方式。

13. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該導電材料為單一導線、複數導線或另一導電層。
14. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中形成該半導體電路與該微探針之步驟之後，更包含利用蝕刻方法，形成至少一穿孔貫通該半導體晶圓基板之該第一表面與該第二表面。
15. 如申請專利範圍第 14 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該蝕刻方法係為濕式蝕刻、乾式氣體蝕刻、離子反應蝕刻或電化學蝕刻方式。
16. 如申請專利範圍第 14 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中形成該絕緣層與該導電層之步驟，係更形成該絕緣層於該穿孔表面，更形成該導電層於該穿孔中該絕緣層表面，以電性導通該穿孔。
17. 如申請專利範圍第 16 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該導電材料係為銀膠或錫球。
18. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該電性連接墊之材料係為銀膠或錫球。
19. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中形成該絕緣層與該導電層之沉積方法係為化學氣相沉積、物理氣相沉積、化學液相沉積、物理液相沉積、電鍍方法、電鑄

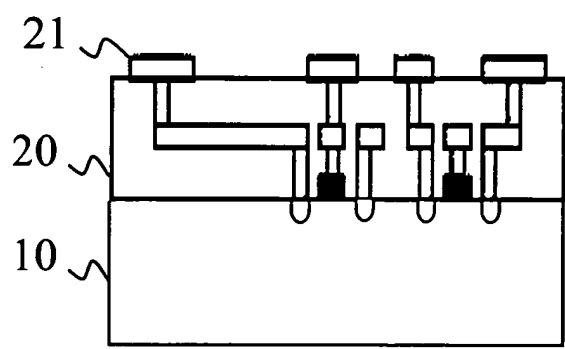
方法或原子層沉積(Atomic Layer Deposition; ALD)方法。

20. 如申請專利範圍第 10 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該微探針係複數個。
21. 如申請專利範圍第 20 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中該些微探針係構成一微探針陣列。
22. 如申請專利範圍第 20 項所述之半導體電路與微探針感測元件的整合結構之製造方法，其中連接該導電層與該些電性連接墊之步驟，係將該些微探針分為複數組，每一組微探針係利用一該導電材料電性連接至對應的該些電性連接墊。

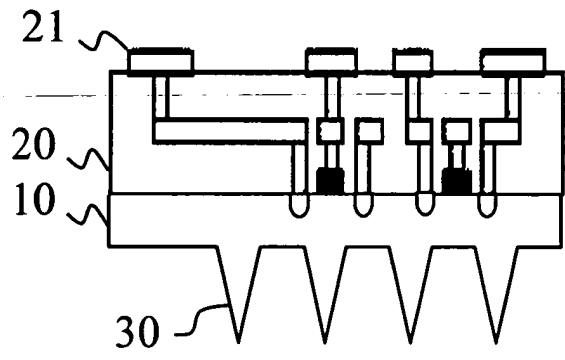
十一、圖式



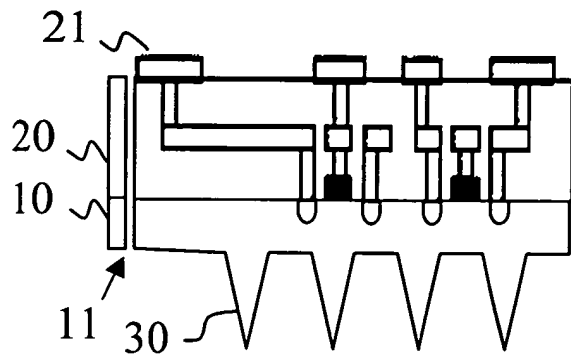
第1A圖



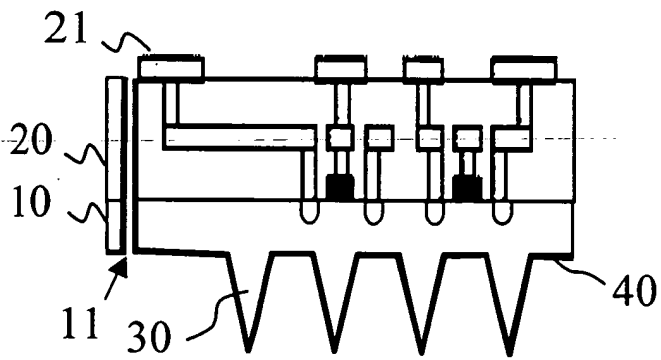
第1B圖



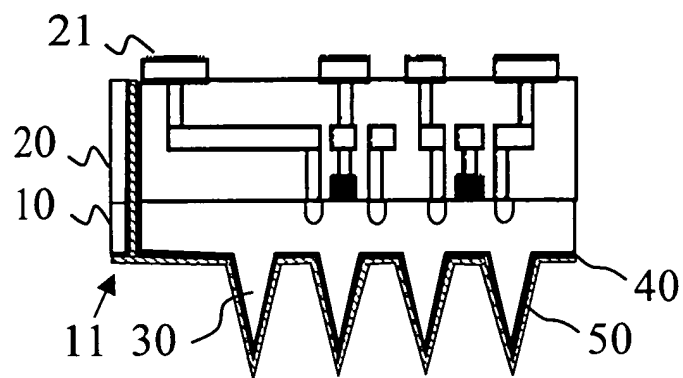
第1C圖



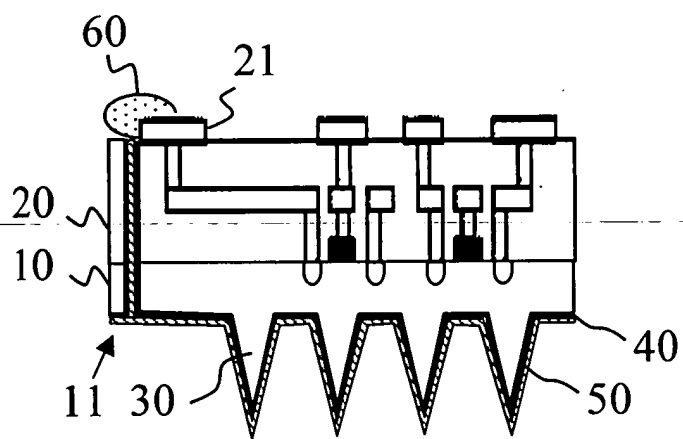
第1D圖



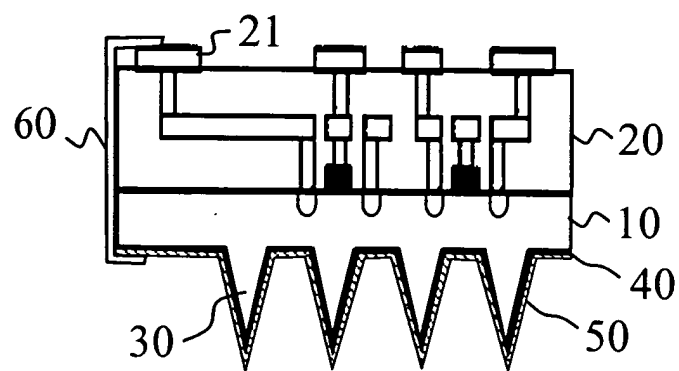
第1E圖



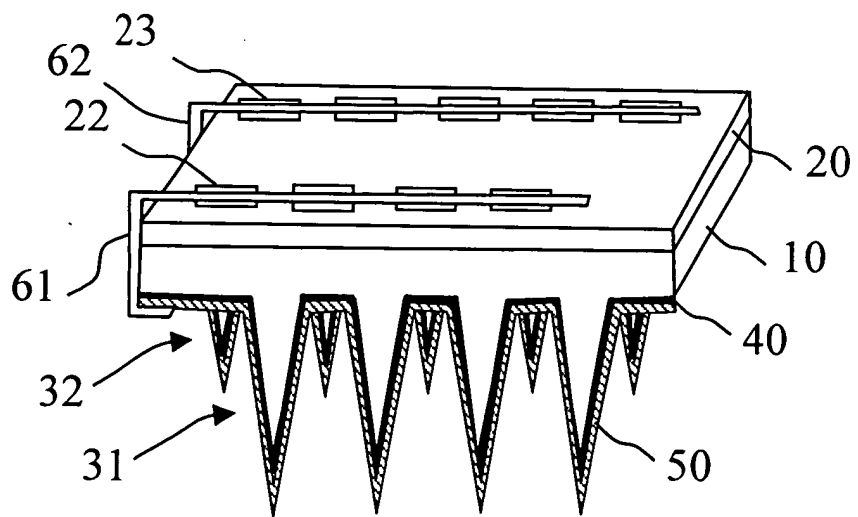
第1F圖



第1G圖



第2圖



第3圖