



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I456907 B

(45) 公告日：中華民國 103 (2014) 年 10 月 11 日

(21) 申請案號：101147417

(22) 申請日：中華民國 101 (2012) 年 12 月 14 日

(51) Int. Cl. : H03M1/06 (2006.01)

H03M1/46 (2006.01)

H03M1/80 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：洪浩喬 HONG, HAO CHIAO (TW)；王毓賢 WANG, YU SHIEN (TW)

(74) 代理人：林火泉

(56) 參考文獻：

US 5684487

US 7129879B1

US 7688238B2

US 7969335B2

US 8134486B2

審查人員：陳臆聰

申請專利範圍項數：16 項 圖式數：17 共 0 頁

(54) 名稱

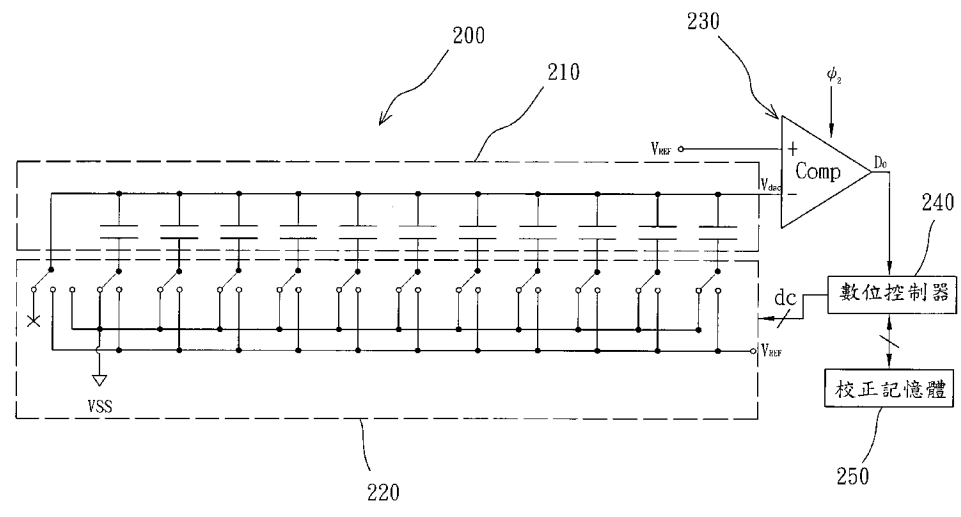
數位類比轉換電路及其權重誤差估測與校正方法

DIGITAL-TO-ANALOG CONVERTER CIRCUIT AND WEIGHT ERROR ESTIMATION/
CALIBRATION METHOD THEREOF

(57) 摘要

本發明揭露一種數位類比轉換電路及其權重誤差估測與校正方法。本發明係利用輸出切換電路自所有轉換器單元中動態選取至少包含已知權重轉換器單元的數個轉換器單元作為參考轉換器群組，以及由未知權重轉換器單元中動態選取至少一個未知權重轉換器單元，藉由一個類比數位轉換器將參考轉換器群組的輸出與未知權重轉換器單元的輸出總和的差值數位化並將結果輸入數位控制器，數位控制器根據類比數位轉換器輸出控制參考轉換器群組的輸入使參考轉換器群組的輸出逼近該未知權重轉換器單元的輸出，並依過程中所得之類比數位轉換器輸出計算出該等未知權重轉換器單元的真實數位權重，並儲存於校正記憶體以供校正之用。

A digital-to-analog converter (DAC) circuit and weight error estimation/calibration method thereof. An output switching circuit is used to select dynamically a plurality of conversion units containing at least the known weight conversion units from all the conversion units as the reference converter unit group. Then, the proposed method selects dynamically at least an unknown weight conversion unit from the unknown weight conversion units. An analog-to-digital converter (ADC) digitalizes the difference between the output of the reference converter group and the output sum of the unknown weight conversion units, and outputs the results to a digital controller. The digital controller controls the inputs of the reference converter group based on the outputs of the ADC to make the output of the reference converter group approximate to the output sum of the selected unknown weight conversion units, and utilizes the outputs of the ADC converter to calculate the actual digital weights of the unknown weight conversion units, and stores them in the calibration memory. The digital controller calibrates the DAC based on the contents of the calibration memory.



- 200 . . . 數位類比轉換電路
- 210 . . . 轉換器單元
- 220 . . . 輸出切換電路
- 230 . . . 比較器
- 240 . . . 數位控制器
- 250 . . . 校正記憶體

第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101147417

※申請日：101.12.14

※IPC 分類： H03M 1/06 (2006.1)
H03M 1/46 (2006.1)
H03M 1/80 (2006.1)

一、發明名稱：(中文/英文)

數位類比轉換電路及其權重誤差估測與校正方法 / Digital-To-Analog Converter Circuit and Weight Error Estimation/Calibration Method Thereof

二、中文發明摘要：

本發明揭露一種數位類比轉換電路及其權重誤差估測與校正方法。本發明係利用輸出切換電路自所有轉換器單元中動態選取至少包含已知權重轉換器單元的數個轉換器單元作為參考轉換器群組，以及由未知權重轉換器單元中動態選取至少一個未知權重轉換器單元，藉由一個類比數位轉換器將參考轉換器群組的輸出與未知權重轉換器單元的輸出總和的差值數位化並將結果輸入數位控制器，數位控制器根據類比數位轉換器輸出控制參考轉換器群組的輸入使參考轉換器群組的輸出逼近該未知權重轉換器單元的輸出，並依過程中所得之類比數位轉換器輸出計算出該等未知權重轉換器單元的真實數位權重，並儲存於校正記憶體以供校正之用。

三、英文發明摘要：

A digital-to-analog converter (DAC) circuit and weight error estimation/calibration method thereof. An output switching circuit is used to select dynamically a plurality of conversion units containing at least the known weight conversion units from all the conversion units as the reference converter unit group. Then, the proposed method selects dynamically at least an unknown

weight conversion unit from the unknown weight conversion units. An analog-to-digital converter (ADC) digitalizes the difference between the output of the reference converter group and the output sum of the unknown weight conversion units, and outputs the results to a digital controller. The digital controller controls the inputs of the reference converter group based on the outputs of the ADC to make the output of the reference converter group approximate to the output sum of the selected unknown weight conversion units, and utilizes the outputs of the ADC converter to calculate the actual digital weights of the unknown weight conversion units, and stores them in the calibration memory. The digital controller calibrates the DAC based on the contents of the calibration memory.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

200：數位類比轉換電路

210：轉換器單元

220：輸出切換電路

230：比較器

240：數位控制器

250：校正記憶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種高解析度的資料轉換器，且特別是有關於一種高解析度的資料轉換器的校正機制。

【先前技術】

美國專利號 US7893853，其專利名稱為 DAC variation-tracking calibration，揭示了一種利用一組最低有效位元虛擬單元(LSB Dummy cell)來計算最低有效位元(LSB)的總和，利用此數值為基準值，與每一個最高有效位元(MSB)作比較，藉由調整最高有效位元(MSB)的子數位類比轉換器(Sub-DAC)來校正最高有效位元(MSB)的大小值，使其相等於最低有效位元(LSB)的總和。但是此一技術的缺點在於每一個最高有效位元(MSB)皆增加了一組子數位類比轉換器(Sub-DAC)，增加了大量的電路面積。

美國期刊 IEEE J. Solid-State Circuit vol. 38, pp. 2051-2059, Dec. 2003，有一篇 Y. Cong and R. Geiger 所發表，名為 A 1.5-V 14-b 100MS/s Self-Calibrated DAC 的文章。其係利用了一個高解析度的類比數位轉換器(16-bit ADC)來校正 14-bit 的數位類比轉換器(DAC)，使用前景(Foreground)校正模式，在開機時，藉由高解析度的類比數位轉換器(ADC)將數位類比轉換器(DAC)的最高有效位元(MSB)電流源逐個校正；並在校正輸出模式時將錯誤量帶入計算得到期望輸出值。其缺點有二：

第一、所需類比數位轉換器(ADC)的解析度需要相當高，至少要比數位類比轉換器(DAC)高 2-bit，所以電路設計複雜度高；以及

第二、其所加入的高解析度類比數位轉換器(ADC)，面積遠大於所需數位類

比轉換器(DAC)的面積。

於國際會議 IEEE Asian Solid-State Circuit Conference Nov. 12-14, 2007, 有一篇 Yusuke Ikeda, Matthias Frey, and Akira Matsuzawa 所發表, 名為 A 14-bit 100MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC 的文章。其係利用 8-bit 的子數位類比轉換器(Sub-DAC)與 3-bit 的校正位元(Cal-bit)對主數位類比轉換器(Main-DAC)進行校正; 其亦使用前景(Foreground)校正模式, 在開機時, 對每一個電流源校正; 並在正常輸出模式時, 帶入錯誤量計算得到期望輸出值。但其缺點是增加了一組子數位類比轉換器(Sub-DAC)與校正位元(Cal-bit), 增加了電路面積與設計複雜度。

美國期刊 IEEE J. Solid-State Circuit, vol. 42, No. 11, pp. 2386-2394, Nov. 2007, 另有一篇 T. Chen and G. Gielen 所發表, 名為 A 14-bit 200-MHz current-steering DAC with switching-sequence post-adjustment calibration 的文章。其係利用電流比較器將每個最高有效位元(MSB)電流源的大小比較出來, 並利用數位電路將其排序, 在校正輸出時利用大配小的方式使輸出電流能在平均值附近, 因此輸出錯誤量可以降低。但是其需要大量的數位控制電路對電流源大小進行排序, 並在其輸出時進行校正。

整體來看, 現有技術在高解析度的資料轉換器的設計上, 仍難以克服面積與複雜度的問題。

【發明內容】

因此, 本發明之一目的是在提供一種數位類比轉換電路, 其係利用全新的動態轉換器單元分割機制, 以求得數位類比轉換電

路中所有未知轉換器單元的真實權重，進而使用該等轉換器單元的真實權重校正其輸出來提升高解析度的資料轉換器的良率與效能。

根據本發明之一實施方式，提出一種數位類比轉換電路，其包括 P 個轉換器單元、一輸出切換電路、一類比數位轉換器、一數位控制器與一校正記憶體。P 個轉換器單元中包含 A 個已知權重轉換器單元與 P-A 個未知權重轉換器單元。

輸出切換電路係電性連接上述 P 個轉換器單元並接收每一個轉換器單元之輸出；輸出切換電路於一錯誤估測模式時，根據一參考群組數位控制訊號於上述 P 個轉換器單元中動態選取 N 個轉換器單元作為參考轉換器群組，並根據參考群組數位控制訊號正比例輸出一參考輸出(Ir)，該參考轉換器群組至少包含上述 A 個已知權重轉換器單元。以及根據一待校群組數位控制訊號於上述 P-A 個未知權重轉換器單元中動態選取至少一個未知權重轉換器單元作為待校轉換器群組並產生一待校輸出(Ic)，且待校輸出小於參考輸出之最大值。

類比數位轉換器，例如比較器，則係依參考輸出(Ir)和待校輸出(Ic)的差值產生一數位校正訊號(Do)；然後，數位控制器電性連接類比數位轉換器及輸出切換電路，用以產生上述的參考群組數位控制訊號與待校群組數位控制訊號使該參考輸出逼近該待校輸出，並於接收到逼近過程中所產出之該等數位校正訊號(Do)後產生一數位權重輸出。數位權重輸出則係用以建立一權重表，數位

控制器再根據權重表計算每一個未知權重轉換器單元的真實數位權重。最後，校正記憶體電性連接數位控制器，其係用以儲存數位控制器根據權重表所計算出之每一未知權重轉換器單元之真實數位權重。

具體而言，在本發明其他實施方式中，上述 A 個已知權重轉換器單元之權重可以是依序呈 2 的幕次遞增。另一方面，上述每一個未知權重轉換器單元之名義上的權重輸出，也可以都是相等的或是呈 2 的幕次遞增。此外，權重表內的每一個數位權重輸出可以是經由選取不同的 N 個轉換器單元，組成不同的參考轉換器群組所得到的結果。另外，數位控制器於正常轉換模式時，可以設計為接收一數位輸入訊號並根據校正記憶體的內容控制輸出切換電路產生一個校正後類比輸出。實際實施電路時，參考輸出(Ir)與待校輸出(Ic)可以是差動訊號。

本發明之另一目的是在提供一種數位類比轉換電路之權重誤差估測方法，以搭配前述之數位類比轉換電路，解決因製程因素所造成的靜態非線性效應。

根據本發明之一實施方式，提出一種數位類比轉換電路之權重誤差估測方法，其係用以於如前所述之數位類比轉換電路中估測該待校輸出(Ic)之真實權重，包括下列步驟：首先，選取 M 個不同的待校轉換器群組產生 M 個不同的待校輸出，其中 M 大於或等於 P-A；接下來，對每一個待校輸出以逐次逼近法(Successive Approximation)進行估測，利用改變參考群組數位控制訊號，來控

制參考輸出(I_r)使得參考輸出(I_r)逐次逼近待校輸出(I_c)，進而計算出該待校輸出(I_c)之該數位權重輸出；最後，依上述待校輸出(I_c)之數位權重輸出建立權重表，反覆實施直至數位控制器可以根據權重表計算出每一個未知權重轉換器單元之真實數位權重，並儲存於校正記憶體。

具體而言，在本發明其他實施方式中，上述之數位類比轉換電路之權重誤差估測方法在逐一對 M 個待校轉換器群組輸出 ($I_{MSB_1} \sim I_{MSB_M}$) 以逐次逼近法 (Successive Approximation) 進行估測時，也可以是利用參考轉換器群組的 A 個已知權重轉換器單元及部分之 $P-A$ 個未知權重轉換器單元。另外，在進行估測時，數位控制器可以利用權重表內容所對應的多組待解之聯立方程式一併計算出 $P-A$ 個未知權重轉換器單元的真實數位權重。另一方面，參考輸出(I_r)與待校輸出(I_c)可以是差動訊號。此外， $P-A$ 個未知權重轉換器單元也可以是以溫度計碼 (Thermometer Coded) 操作，進而提供待校轉換器群組輸出，以作為待校輸出 I_c 。從另一個角度觀之，該等 M 個待校轉換器單元更可分成二組相同之群組，每一群組之轉換器單元權重輸出係依序呈 2 的冪次遞增進而提供 $2M$ 個待校轉換器群組輸出以作為待校輸出 I_c 。當然，上述未知權重轉換器單元所提供之每一輸出 ($I_{MSB_1} \sim I_{MSB_M}$) 也可以被切割為至少兩個權重更小的輸出，以確保待校轉換器群組所提供之最小輸出不大於參考輸出之最大值。更進一步的說，在上述每一個輸出 (I_{MSB_m}) 的切割上，是將其分為至少兩個最小待校輸出 ($I_{CUT_m0,1}$)，使每一最

小待校輸出滿足下列公式： $I_{CUT_m0,1} \leq \sum_{k=0}^{N-1} I_k$ 。

其中， $\sum_{k=0}^{N-1} I_k$ 為 N 個參考轉換器群組所產生的最大參考輸出、 I_0 為最小權重轉換器單元輸出、以及 $\Delta I_{CUT_m0,1}$ 為該等最小待校輸出 (I_c) 實際值與其理想輸出值間之誤差量，且 $\Delta I_{CUT_m0,1}$ 絕對小於 0；藉此， N 個轉換器單元所提供之參考輸出 ($\sum_{k=0}^{N-1} d_k I_k$ ， d_k 為參考群組數位控制訊號) 即足以估測待校輸出之真實數位權重。

本發明之又一目的是在提供一種數位類比轉換電路之權重誤差校正方法，以搭配前述之數位類比轉換電路，減少所需校正電路的面積以及複雜度。

根據本發明之一實施方式，提出一種數位類比轉換電路之權重誤差校正方法，用於如前所述之數位類比轉換電路中以校正該待校轉換群組之輸出，包括下列步驟：首先，利用校正記憶體所儲存之真實權重表修正轉換器單元的數位控制訊號；然後，利用修正後的待校轉換器群組和參考轉換器群組的數位控制訊號驅動上述轉換器單元產生數位類比轉換電路之校正後輸出，進而校正上述 P-A 個未知權重轉換器單元所產生的輸出誤差。

因此，上述諸實施方式之數位類比轉換電路及其權重誤差估測與校正方法，其因考量到數位類比轉換器 (DAC) 大多由一組具不同權重 (weights) 的單元 (cell) 所構成，各單元 (cell) 之間的權重比例的準確度決定了數位類比轉換器 (DAC) 的精準度；進而提出了在使用少許額外電路的情形下，利用數位類比轉換器 (DAC) 原電路架構中的低權重位元組單元 (LSB cells) 與動態分割各較高權重位元單

元來對數位類比轉換器(DAC)中的各較高權重位元單元進行權重比例誤差的估計，獲得其數位誤差值。上述機制所得之結果可用以校正數位類比轉換器(DAC)的權重比例誤差，提升其精準度。因此，相較於先前技術，至少具有下列優勢：

第一、有效減少所需電路面積以及設計複雜度；

第二、重複使用原有低權重位元組作為參考(reference)，避免使用複製(replica)的低權重位元組單元作為參考(reference)時與原有電路低權重位元組單元之間的不匹配問題；以及

第三、減少製程因素所造成權重誤差，提升電路效能與良率。

【實施方式】

本發明適用於各式數位類比轉換器(DAC)。在傳統的方式中，一個 14 位元數位類比轉換器(DAC)係以二進位權重式(Binary weighted)的 14 個轉換器單元($I_{CS1\sim14}$)實現，相鄰位元所控制的轉換器單元之輸出彼此呈現 2 的冪次方權重比例，即 $I_{CS2}=2\times I_{CS1}$ 、 $I_{CS3}=2^2\times I_{CS1}$ 、 \dots 、 $I_{CS14}=2^{13}\times I_{CS1}$ ，由於高權重轉換器單元(例如 $I_{CS9}\sim I_{CS14}$)在實現時其權重比例相對於低權重轉換器單元(例如 $I_{CS1}\sim I_{CS8}$)有權重誤差，無法正好等於 2 的冪次方，因而造成數位類比轉換器(DAC)的線性度變差。為了解決這個問題，在本實施方式中，對數位類比轉換器(DAC)進行前景式校正，來校正數位類比轉換器(DAC)中每個高權重轉換器單元的權重誤差。

此處先以單端(single-ended)切換電容式數位類比轉換器為例說明之。請參閱第 1 圖所示，本發明之一實施方式的數位類比轉

換電路 200 可以依功能切割成幾個相互作用的區塊，包括有：P 個轉換器單元 210，其中包含 A 個已知權重轉換器單元以及 P-A 個未知權重轉換器單元。一個輸出切換電路 220，其由複數切換開關組成，此輸出切換電路 220 電性連接上述 P 個轉換器單元 210，並接收每一轉換器單元 210 之輸出；其中，此輸出切換電路 220 於錯誤估測模式時，可根據一個參考群組數位控制訊號於 P 個轉換器單元 210 中動態選取 N 個轉換器單元作為參考轉換器群組，且參考轉換器群組至少包含 A 個已知權重轉換器單元，並根據參考群組數位控制訊號正比例輸出一參考輸出(Ir)。另外，輸出切換電路 220 亦根據一個待校群組數位控制訊號於 P-A 個未知權重轉換器單元中動態選取至少一個未知權重轉換器單元作為待校轉換器群組，並產生待校輸出(Ic)，其中待校輸出必須小於參考輸出之最大值。另有一類比數位轉換器係將參考輸出(Ir)和待校輸出(Ic)的差值數位化以產生數位校正訊號(Do)，在此類比數位轉換器係以一比較器 230 為例，用來比較上述的參考輸出(Ir)和待校輸出(Ic) (如第 1 圖所示之 $V_{ref}-V_{dac}=I_r-I_c$)，以產生數位校正訊號(Do)至一數位控制器 240，此數位控制器 240 電性連接比較器 230 及輸出切換電路 220，用以產生上述的參考群組數位控制訊號與待校群組數位控制訊號(dc)，並於接收數位校正訊號(Do)後產生一數位權重輸出；數位權重輸出係用以建立一權重表，數位控制器 240 根據權重表計算每一未知權重轉換器單元的真實數位權重。另有一校正記憶體 250 係電性連接數位控制器 240，係用以儲存數位控制器

240 根據權重表所計算出之每一未知權重轉換器單元之真實數位權重。

具體而言，請同時參閱第 2 圖，為方便解釋，其僅重點繪示轉換器單元 210、輸出切換電路 220 與比較器 230。至於前述數位控制器 240，其功能則在於控制輸出切換單元 220 中的多個切換開關(S0~S82)；而前述校正記憶體 250 則係用來儲存結果，為避免模糊焦點，在此均不予繪示。第 2 圖所設計的轉換器單元 210 與輸出切換電路 220，可以區分為主數位類比轉換電路(Main DAC)201 與最低有效位元數位類比轉換電路(LSB DAC)202。在此，本實施方式先預設最低有效位元數位類比轉換電路(LSB DAC)202 中的多個電容器(C₁ 到 C₅)權重為理想狀態；而主數位類比轉換電路(Main DAC)201 則由電容器 C_{8x} 到 C_{6x} 所組成，例如： $C_{82}:C_{81}:C_{72}:C_{71}:C_{62}:C_{61}:C_5:C_4:C_3:C_2:C_1 = 2^6:2^6:2^5:2^5:2^4:2^4:2^4:2^3:2^2:2:1$ 。

接下來，本實施方式利用下表一作為範例說明如何進行權重估測，此範例係採二進制權重，每一個未知權重轉換器單元作為待校轉換器群組被切割為兩個具有相等名義權重的子單元：

表一

單元名稱	I8		I7		I6		LSB DAC					估測權重	結果
理想權重	128		64		32		假設具有理想權重					當某未知權重子單元的權重被估算出來後，該子單元即可用以估測另一個權重更大的單元	
實際權重	158		66		39								
子單元名稱	I8_2	I8_1	I7_2	I7_1	I6_2	I6_1	I5	I4	I3	I2	I1		
理想權重	64	64	32	32	16	16	16	8	4	2	1		
實際權重	108	50	42	24	30	9	16	8	4	2	1		
步驟 1, SA 1	任意	任意	任意	任意	任意	Ic=9	1	0	0	0	0		Do=0
步驟 1, SA 2	任意	任意	任意	任意	任意	Ic=9	0	1	0	0	0	Do=1	
步驟 1, SA 3	任意	任意	任意	任意	任意	Ic=9	0	1	1	0	0	Do=0	
步驟 1, SA 4	任意	任意	任意	任意	任意	Ic=9	0	1	0	1	0	Do=0	
步驟 1, SA 5	任意	任意	任意	任意	任意	Ic=9	0	1	0	0	1	Do=1	
步驟 1 求 I6_1 權重	任意	任意	任意	任意	任意	Ic=9	0	1	0	0	1	Dw(I6_1) =(01001)=9	I6=9+30=39
步驟 2 求 I6_2 權重	任意	任意	任意	任意	Ic=30	任意	1	1	1	1	0	Dw(I6_2)=30	
步驟 3 求 I7_1 權重	任意	任意	任意	Ic=24	0		1	1	0	0	0	Dw(I7_1)=0*16+(11000)=24	I7=42+24=66
步驟 4 求 I7_2 權重	任意	任意	Ic=42	任意	1		0	0	0	1	1	Dw(I7_2)=1*16+(00011)=42	
步驟 5 求 I8_1 權重	未使用	Ic=50	0		1		0	1	0	0	0	Dw(I8_1)=0*17+1*16+(01000)=50	I8=50+108=158
步驟 6 求 I8_2 權重	Ic=108	任意	1		1		0	0	0	1	1	Dw(I8_2)=1*17+1*16+(00011)=108	

亦即在主數位類比轉換電路(Main DAC)201 中的每一個位元

係由兩個電容器所構成；而且其第 i 個位元係控制一個權重為 2^{i-1}

單元的等效電容。數位類比轉換電路 200 的輸出為 V_{dac} ，在此所示之數位類比轉換電路 200 是一個電容式的數位類比轉換器，其待校輸出(Ic)與參考輸出(Ir)並非同時分別產生的。更進一步的說明之，在 V_{dac} 電壓節點此處的 Ic-Ir 訊號係透過下列兩個步驟產生的，而這兩個步驟也是用來估測電容的權重：

第一步驟：對電容陣列進行預充電；以及

第二步驟：利用逐次逼近法(Successive Approximation)由高位元至低位元對每一個位元執行位元循環(Bit-cycling)直到

$V_{dac}=V_{REF}$ 。位元循環如表三所式，其中若表格填入“任意”表示此單元可以是參加位元循環的單元之一，亦可以不加入位元循環。切換開關(S0~S82)接受控制訊號而在 V_{dac} 產生待校電流(I_c)與參考電流(I_r)間的差值；比較器 230 接收差值來決定出數位校正訊號(D0)。事實上，第 2 圖可視為一個逐次逼近暫存器(Successive Approximation Register, SAR)ADC。具體的估測電容運算過程如下：

利用電荷不減原理，此 SAR 類比數位轉換電路會有如下的轉移函數：

$$\frac{V_{dac}}{V_{REF}} = \frac{C_{out}}{C_T} - \frac{C_{prc}}{C_T} + \frac{V_{ip}}{V_{REF}} \quad (1)$$

其中 C_{prc} 是在第一步驟預充電狀態時，連結到 V_{REF} 的電容總值； C_{out} 是在第二步驟位元循環(Bit-cycling)後，連結到 V_{REF} 的電容總值； C_T 是連結到 V_{dac} 的電容總值，即 $V_{dac} = \sum_i C_i$ ； V_{ip} 為預充電電壓值。

在預估模式下， $C_{prc} = C_{UT}$ 且 $V_{ip} = V_{REF}$ ， C_{UT} 是該(等)待測單元的總電容值；此外，在位元循環(Bit-cycling)後， V_{dac} 逼近 V_{REF} ，由第(1)

式可知：

$$\frac{C_{UT}}{C_T} = \frac{C_{out}}{C_T} = \sum_i d_i W_i \quad (2)$$

故 $\frac{C_{UT}}{C_T} = \frac{C_{out}}{C_T} = \sum_i d_i W_i$ 。若參與位元循環的各電容權重 W_i 為已知，本發明就可以藉由所得到的 d_i 計算出待測總電容的真實權重。

上列公式運算或略顯複雜，故請一併參閱第 3A 到 3H 圖，其係第 2 圖之數位類比轉換電路 200 的操作示意圖。第 3A 圖中， $V_{dac} = V_{REF}$ ， $Q_{dac} = (C_T - C_{61})V_{REF}$ ，本實施方式設定 $I_C = C_{61}V_{REF}$ ，即如開關

狀態 241 所示。在第 3B 圖中，基於電荷不減 (Charge Conservation)， $Q_{dac} = (C_T - C_{61})V_{REF} = (C_T - C_5)V_{dac}$ ；，假設所有電容權重如表一所示此時，比較器 230 的輸入為 $V_{dac} = \frac{C_T - C_{61}}{C_T - C_5}V_{REF} < V_{REF}$ ，所以 $Do=0$ 。換句話說，在這裡有一個子步驟，設定： $I_r = C_5V_{REF}$ ，即如開關狀態 242 所示。

第 3C 圖中，因為 $Q_{dac} = (C_T - C_{61})V_{REF} = (C_T + 0 \cdot C_5 - C_4)V_{dac}$ ，所以 $V_{dac} = \frac{C_T - C_{61}}{C_T - C_4}V_{REF}$ 。換句話說，在這裡有一個子步驟，設定： $I_r = (0 \cdot C_5 + 1 \cdot C_4)V_{REF}$ ，即如開關狀態 243 所示。接下來，如第 3D 圖中的開關狀態 244、第 3E 圖中的開關狀態 245 與第 3F 圖中的開關狀態 246 所示，在各個子步驟中， $I_r = (0 \cdot C_5 + 1 \cdot C_4 + 0 \cdot C_3 + 0 \cdot C_2 + 1 \cdot C_1)V_{REF}$ 。因為在位元循環 (Bit-cycling) 的最後 $I_r = I_C$ 且 $V_{dac} \rightarrow V_{REF}$ ，另一方面 $I_r = (C_4 + C_1)V_{REF} = I_C = C_{61}V_{REF}$ ，所以 $C_{61} = C_4 + C_1$ ；此即如表一所示，待測轉換器單元 I6 的子單元 I6_1 之真實權重係為 LSB DAC 202 中之子單元 I4 和 I1 真實權重的總和 8+1，所以此子單元 I6_1 之真實權重係為 9；以此類推，即可得知 I6_2 之真實權重為 30。

接下來，在最高有效位元的權重估測方面，本實施方式採行的機制係從最低有效位元 (Less Significant Bit, LSB)，即 C_{61} 與 C_{62} ，到最高有效位元 (Most Significant Bit, MSB)，即 C_{81} 與 C_{82} 。而且，一旦知悉 C_{61} 與 C_{62} 的權重， C_{61} 與 C_{62} 即在後續的估測運算中，被當作完整的 C_6 處理，且亦可作為參考轉換器群組中之一員。接下來，以第 3G 圖與第 3H 圖示範對 C_{72} 的估測運算。第 3G 圖中，

在第一步驟預充電時， $V_{dac} = V_{REF}$ ，且 $Q_{dac} = (C_T - C_{72})V_{REF}$ ；換句話說，在這裡有一個子步驟，設定： $I_C = C_{72}V_{REF}$ ，即如開關狀態 247 所示。在第 3H 圖中，於第二步驟位元循環的最後時，子步驟設定： $I_r = (1 \cdot C_6 + 0 \cdot C_5 + 0 \cdot C_4 + 0 \cdot C_3 + 1 \cdot C_2 + 1 \cdot C_1)V_{REF}$ ，即如開關狀態 248 所示。此時， $I_r = I_C$ 且 $V_{dac} \rightarrow V_{REF}$ ，所以 $C_{72} = C_6 + C_2 + C_1$ 。

另外，比較器 230 本身的偏差(offset) V_{os} 所帶來的影響也可以校正如下：首先，將所有的切換開關(S0~S82)設定為零。然後，執行位元循環運算，其輸出值即為 V_{os}/V_{ref} 。若任意設定一個切換開關為 1，進行預充電與位元循環運算，則其輸出便為 $W_x - (V_{os}/V_{ref})$ ，這樣就可以對比較器 230 偏差值影響進行校正。

另一方面，上述數位類比轉換電路 200 估測待校輸出(I_c)之真實權重的方法，也可以大略整理成如下步驟：

第一步：選取 M 個不同的待校轉換器群組，產生 M 個不同的待校輸出(I_c)；其中，M 大於或等於 P-A。

第二步：對每一待校輸出以逐次逼近法(Successive Approximation)進行估測，利用改變參考群組數位控制訊號，來控制參考輸出(I_r)；使得參考輸出(I_r)逐次逼近待校輸出(I_c)，進而計算出待校輸出(I_c)之數位權重輸出。

第三步：依待校輸出(I_c)之數位權重輸出，建立權重表；反覆實施直至數位控制器 240 可以根據權重表計算出每一未知權重轉換器單元之真實數位權重，並儲存於校正記憶體 250。

當然，上述數位類比轉換電路 200 在校正待校轉換群組之輸

出時，便可以相應的大略整理成如下步驟：

第一步：利用校正記憶體 250 所儲存之真實權重表修正轉換器單元 210 的數位控制訊號。

第二步：利用修正後的待校轉換器群組以及參考轉換器群組的數位控制訊號，驅動轉換器單元 210，產生數位類比轉換電路之校正後輸出；進而校正 P-A 個未知權重轉換器單元所產生的輸出誤差。

接續，請參閱第 4 圖，第 4 圖是本發明另一實施方式之數位類比轉換電路 300 的結構示意圖。為方便解釋，其僅重點繪示轉換器單元 310、輸出切換電路 320 與比較器 330。至於前述第 1 圖中之數位控制器 240，其功能則在於控制數位類比轉換電路 300 中的多個切換開關(S0~S82)；而前述校正記憶體 250 則係用來儲存結果，為避免模糊焦點，在此均不予繪示。第 4 圖的數位類比轉換電路 300 中，轉換器單元 310 與輸出切換電路 320，當然亦可區分為主數位類比轉換電路(Main DAC)301 與最低有效位元數位類比轉換電路(LSB DAC)302。數位類比轉換電路 300 與前述實施方式之差異特徵在於一個衰減式電容 C_A 被用來實現最低有效位元數位類比轉換電路 (LSB DAC)301，即名義上 $C_{82}:C_{81}:C_{72}:C_{71}:C_{62}:C_{61}:C_A:C_5:C_4:C_3:C_2:C_1 = 2^2:2^2:2^1:2^1:1:1:2:2^4:2^3:2^2:2^1:1$ 。具體操作請一併參閱第 5A 圖與第 5B 圖所示，第 5A 圖係繪示數位類比轉換電路 300 的預充電步驟，第 5B 圖則係繪示數位類比轉換電路 300 的位元循環步驟。其中，預充電步驟

的開關狀態 341 與位元循環步驟的開關狀態 342 皆已詳述於前，在此便不再予以贅述。

上述之數位類比轉換電路 200、300 為單端電容式的數位類比轉換器，本發明同樣的可以用來校正全差動(fully-differential)電容式的數位類比轉換器，其步驟相同故不予贅述。除此之外，本發明亦可為電流式的數位類比轉換器，如第 6 圖所示之又一實施例的數位類比轉換電路 100；兩者之間的主要差異在於第 1 圖的待校輸出(Ic)與參考輸出(Ir)係為同時產生的。

請參閱第 6 圖所示，此實施方式之數位類比轉換電路 100 包括 P 個轉換器單元 110、輸出切換電路 120、比較器 130、數位控制器 140 與校正記憶體 150。在設計理念上，雖然藉由適當的選擇電晶體大小，未經校正的數位類比轉換器(DAC)的有效位元數(ENOB)大概可以達到 8 bits 以上，但為了避免校正時所需計算量太過複雜並增加太多額外硬體負擔，本實施方式於 P 個轉換器單元 110 中，將此數位類比轉換電路 100 的低權重電流源單元設為 8-位元最低有效單元陣列(LSB cell array)111，並令其所產生的非線性誤差小於 0.5 最低權重電流源單元(I_{LSB_1})的輸出。此 8-位元的最低有效位元陣列(LSB cell array)111 內的每一個電流源單元(I_{LSB_n})彼此權重比例為理想的分布，即 $I_{LSB_2}=2 \times I_{LSB_1}$ 、 $I_{LSB_3}=2^2 \times I_{LSB_1}$ 、...、 $I_{LSB_8}=2^7 \times I_{LSB_1}$ ，使用二進制碼(Binary code)的操作模式，同於傳統數位類比轉換器(DAC)的電流源單元之電流 $I_{CS1} \sim I_{CS8}$ 。另一方面，P 個轉換器單元 110 中的高權重電流源單元

設為 6-位元最高有效位元陣列(MSB cell array)112，此 6-位元最高有效位元陣列(MSB cell array)112 中的每一個電流源單元(I_{MSB_m})彼此之間權重比例相同，亦即 $I_{MSB_1}=I_{MSB_2}=\dots=I_{MSB_{128}}$ ，每一個高權重電流源單元 $I_{MSB_m}=I_{LSB_8}$ ；且係使用溫度計碼(Thermometer Code)的操作模式。當然，本實施方式僅為舉例，此高權重與低權重電流源單元的位元切割方式可以自行設計，而亦不脫離本發明之教示。

● 本數位類比轉換電路 100 在操作上亦分為權重錯誤計算模式與校正輸出模式，在錯誤計算模式中，先由數位控制器 140 產生數位電流源開關控制訊號(dc)控制低權重電流源單元($I_{LSB_1}\sim I_{LSB_8}$)，亦即第 6 圖中所繪示的 8-位元最低有效位元陣列(LSB cell array)111；且其再對每一高權重電流源單元(I_{MSB_m})，即第 6 圖中所繪示的 6-位元最高有效位元陣列(MSB cell array)112，使用逐次逼近法(Successive Approximation)的方式進行數位權重誤差值(D_{MSB_m})的估測，並且將結果儲存於校正記憶體(Cal_memory)150 中。另一方面，在校正輸出模式時，本實施方式之數位類比轉換電路 100 即可再利用此誤差值(D_{MSB_m})修正數位電流源開關訊號(dc)，進而輸出正確權重比例的類比訊號。

更進一步的說明之，請一併參考第 7A 圖與第 7B 圖，其係分別為第 6 圖之最低有效位元陣列 111 與最高有效位元陣列 112 的結構示意圖。圖中，每一高權重電流源單元(I_{MSB_m})的權重誤差估測方法如下：首先，藉由控制數位類比轉換電路(DAC)100 中特定

電流源單元的電流流向，即可產生參考電流源單元的參考電流(I_r)與待校電流源單元的待校電流(I_c)之間的電流誤差(ΔI)。以本實施方式為例，參考電流源單元即為低權重電流源單元($I_{LSB_1} \sim I_{LSB_8}$)，而待校電流源單元為任一個高權重電流源單元(I_{MSB_m})。然後，電流誤差經由電流比較器 130 的轉換，產生一數位訊號(D_0)。接下來，數位訊號回傳至數位控制器 140 處理，並且使用逐次逼近法 (Successive Approximation) 的方式逼近參考電流(I_r)與待校電流(I_c)，進而求得每一個待校電流源(I_{MSB_m})相對於單位電流 I_0 ($I_0 = I_{LSB_1}$) 的真實比例。最後，再將其值儲存於校正記憶體 150 中。如此一來，當數位類比轉換電路 100 工作在校正輸出模式時，即可使用所得之真實權重比例值對輸出進行校正。

值得注意的是，跟習知的美國專利號 US7893853 DAC variation-tracking calibration 一文與美國期刊 IEEE A 14-bit 100MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC 一文的校正技術相比較下，顯見習知技術會另外利用一組理想參考電流源做為基準來校正高權重電流源單元與參考電流源之間的比例，並假設參考電流源單元與低權重電流源單元之間的權重比例無誤差；而在這樣子的假設下，習知技術的最大校正量即為所增加參考電流源的電流總合。反觀本實施方式利用本身電路的低權重電流源單元 ($I_{LSB_1} \sim I_{LSB_8}$) 做為理想電流源，加上數位電路的控制做校正，其不增加額外的電流源即可確保高權重電流源單元 (I_{MSB_m}) 與低權重電

流源單元($I_{LSB_1} \sim I_{LSB_8}$)之間的相對權重比例，避免額外增加電路所造成的匹配問題，更可以減少硬體面積，並增加校正範圍。究其原因，係因為習知的校正方式之最大校正量即為所增加參考電流源的電流總合，而本實施方式可以校正的最大輸出錯誤量為一個高權重電流源單元(I_{MSB_m})的輸出。

更進一步的說明之，請參考第 8 圖，第 8 圖是第 6 圖之 P 個轉換器單元 110 的高權重電流源單元之電流的切割方式示意圖。第 8 圖中，為了達成自我校正而不增加額外的電流源，本實施方式將每一待測高權重電流源單元(I_{MSB_m})作如圖所示之特殊切割，以避免待校電流源單元超過低權重電流源單元($I_{LSB_1} \sim I_{LSB_8}$)總電流總和，因而超出可校正範圍，如下表二所舉例：

表二

	I_{cs4} (I_{MSB_1})	I_{cs3} (I_{LSB_3})	I_{cs2} (I_{LSB_2})	I_{cs1} (I_{LSB_1})	I_0
理想比例(Ideal ratio)	8	4	2	1	1
假設待測高權重電流單元(I_{MSB_1})的錯誤量為 $\Delta I_1 = -2I_0$	6	4	2	1	1
$\Delta I_1 = -2I_0$ 時，待測高權重電流單元的數位權重估計值 (Estimated digital weight of I_{MSB_1})	O.K.	1	0	1	1
假設待測高權重電流(I_{MSB_1})單元的錯誤量為 $\Delta I_1 = 2I_0$	10	4	2	1	1
$\Delta I_1 = 2I_0$ 時，高權重電流權重的數位估計率，採數位碼 (Estimated ratio of I_{MSB_1})	Fail	1	1	1	1

具體而言，在此以將待測電流單元切割成兩個相同的最小待測電流源單元(I_{CUT} / cell unit under test)為例，每一個最小待測電流源單元(I_{CUT})的電流相當於低權重電流源單元($I_{LSB_1} \sim I_{LSB_8}$)中最

高位元所控制的電流大小(I_{LSB_8})，此亦為本實施方式所獨創的特徵之一。更進一步的說，如第 8 圖所示，每一個待測高權重電流單元 I_{MSB_m} 被分割成兩個更小的待測電流單元，包含 $I_{CUT_{m0}}$ 與 $I_{CUT_{m1}}$ ；在此設計中因為理想上 $I_{CUT_{m0}} = I_{CUT_{m1}} = I_{LSB_8}$ ，藉此可以在不增加額外電流源的狀況下進行自我錯誤估測與校正，減少數位電路的複雜度以及避免額外電流源與輸出電流源之間不匹配的問題。

舉上述習知技術所提及之二進位權重式(Binary weighted)實現的錯誤估測技術為例，如下式(3)所示：

$$I_{CSi} = \sum_{j=1}^{i-1} I_{CSj} + I_0 \quad (I_0 = I_{CS1})$$

$$I_{CSj} = 2 \times I_{CSj-1}$$
(3)

亦即理想上的第 i 位元的電流源輸出大小會相等於第 $i-1, \dots$ ，到第 1 位元電流源的所有總和再加上 1 個單位電流源電流(I_0)；但實際上會因為高權重電流源權重比例錯誤的關係產生電流誤差，因此上式(3)可以修改為下式(3)：

$$I_{CSi} = \sum_{j=1}^{i-1} d_j I_{CSj} + I_0 + \Delta I_i \quad (d_j \in \{0,1\})$$
(3)

其中 ΔI_i 為 I_{CSi} 的誤差量，在 $\Delta I_i < 0$ 時，其可以藉由改變數位訊號 d_j 來計算出錯誤量；可是當 $\Delta I_i > 0$ 時，即必須增加一組額外的電流源陣列去提供原電流源陣列所不足的電流來輔助校正，否則將無法進行 $\Delta I_i > 0$ 時的錯誤估算，一如前述表二所示。

反觀本實施方式，由於本實施方式提出將待校電流源單元，此處以每一個高權重電流源單元 I_{MSB_m} 為例，特殊切割的方式，每一該輸出 (I_{MSB_m}) 係切割為至少兩個最小待校輸出 ($\tilde{I}_{CL(m,n)}, n \in \{0,1,\dots\}$)，而使切割後得到如下式(4)所列的結果：

$$\tilde{I}_{CL(m,n)} = \sum_k d_{k(m,n)} I_{LSB_k} \leq \sum_k I_{LSB_k} \quad (4)$$

其中， $\sum_k d_{k(m,n)} I_{LSB_k}$ 為 N 個參考轉換器群組所產生的參考輸出、 $d_{k(m,n)}$ 為參考群組最終的數位控制訊號，藉此 N 個轉換器單元所提供之參考輸出 (I_{LSB_k}) 即足以估測待校輸出之數位權重輸出。因此，由上式(4)中可得知，本實施方式可確保由低權重電流源單元 ($I_{LSB_1} \sim I_{LSB_8}$) 的電流即足以提供錯誤估算所需電流；藉由調整 ($I_{LSB_1} \sim I_{LSB_8}$) 的數位控制訊號 ($d_{k(m,n)}$) 即可找到最小待校輸出相對於 ($I_{LSB_1} \sim I_{LSB_8}$) 的真實權重比例，不僅完全符合自我比例並且可以提升校正範圍至原待校電流源 (I_{MSB_m}) 的一半。以一個 n-位元的數位類比轉換器而言，切割為 m-位元高權重電流源單元 (I_{MSB}) 和 (n-m)-位元低權重電流源單元 (I_{LSB})，並將 I_{MSB} 使用前述的方式切割為 2 個 $I_{CUT_m0} \cdot I_{CUT_m1}$ ，即可以得到下式(5)：

$$I_{CUT_m0,1} = \sum_{k=1}^{n-m} d_{km_0,1} I_{LSB_k} \quad (5)$$

特別值得注意的是，在本實施方式所提出的校正方法中，無論電流誤差量為正數或是負數皆可以進行錯誤的估算，並且校正範圍提升為原待校電流源 (I_{MSB_m}) 的 1/2 大小，即如下列表三所示：

表三

將 I4 切割成兩個單元	I_{CUT_10} ($I_{MSB\ 1}$)	I_{CUT_11} ($I_{MSB\ 1}$)	I_{cs3} ($I_{LSB\ 3}$)	I_{cs2} ($I_{LSB\ 2}$)	I_{cs1} ($I_{LSB\ 1}$)	I_0
理想比例(Ideal ratio)	4	4	4	2	1	1
$\Delta I_{10}=-2I$ 、 $\Delta I_{11}=0$ 時，不匹配的高權重電流 (Mismatched $I_{MSB\ 1}$)	2	4	4	2	1	1
I_{CUT_10} 的數位權重估計值	O.K.	-	0	0	1	1
I_{CUT_11} 的數位權重估計值	-	O.K.	0	1	1	1
$\Delta I_{10}=4I$ 、 $\Delta I_{11}=-2I$ 時，不匹配的高權重電流 (Mismatched $I_{MSB\ 1}$)	8	2	4	2	1	1
I_{CUT_10} 的數位權重估計值	O.K.	-	1	1	1	1
I_{CUT_11} 的數位權重估計值	-	O.K.	0	0	1	1

因此，本實施方式提出的架構可以在不增加額外單位電路(例如子電流源陣列、子電容陣列等)的情況下，對自體電路進行權重錯誤計算與校正，可以確保不會因所增加電路與主電路之間的不匹配導致輸出值錯誤，並且可以減少電路設計複雜度。

整體來說，近年來由於製程變異，在高解析度的電路上的影響；在高解析度電路的設計上，如何去減少電路中靜態非線性效應對電路的影響是相當重要的。本發明提出以數位方式估測高權重單元權重誤差的方法，主要利用切割每一待測單元為幾個較小待測單元，藉此可利用數位方式求得各較小待測單元的權重誤差，並以獲得的資訊對數位類比轉換器的輸出作校正。本發明重覆使用低權重單元進行高權重單元的權重錯誤估算與校正，不僅減少額外電路面積與電路設計複雜度並擁有較大的錯誤估測範圍，提升電路效能。

雖然本發明已以諸實施方式揭露如上，然其並非用以限定本

發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖是本發明一實施方式之數位類比轉換電路 200 的結構示意圖。

第 2 圖是第 1 圖的轉換器單元賴輸出切換電路 200 的切割方式示意圖。

第 3A 到 3H 圖是第 2 圖之數位類比轉換電路 200 的操作示意圖。

第 4 圖是本發明另一實施方式之數位類比轉換電路的結構示意圖。

第 5A 圖與第 5B 圖是第 4 圖之數位類比轉換電路 300 的操作示意圖。

第 6 圖是本發明又一實施方式之數位類比轉換電路的結構示意圖。

第 7A 圖是第 6 圖之最低有效位元陣列 111 的結構示意圖。

第 7B 圖是第 6 圖之最高有效位元陣列 112 的結構示意圖。

第 8 圖是第 6 圖之轉換器單元的高權重電流源單元之電流的切割方式示意圖。

【主要元件符號說明】

100、200、300：數位類比轉換電路

110、210、310：轉換器單元

111：最低有效位元陣列

112：最高有效位元陣列

120、220、320：輸出切換電路

130、230、330：比較器

140、240：數位控制器

150、250：校正記憶體

201、301：主數位類比轉換電路(Main DAC)

202、302：最低有效位元數位類比轉換電路(LSB DAC)

241~248、341~342：開關狀態

七、申請專利範圍：

1. 一種數位類比轉換電路，包括：

P 個轉換器單元，其中包含 A 個已知權重轉換器單元，以及 P-A 個未知權重轉換器單元；

一輸出切換電路，其係電性連接該等 P 個轉換器單元並接收每一該轉換器單元之輸出，該輸出切換電路於一錯誤估測模式時，根據一參考群組數位控制訊號於該等 P 個轉換器單元中動態選取 N 個該等轉換器單元作為參考轉換器群組，該參考轉換器群組至少包含該等 A 個已知權重轉換器單元，並根據該參考群組數位控制訊號正比例輸出一參考輸出(Ir)，以及根據一待校群組數位控制訊號於該等 P-A 個未知權重轉換器單元中動態選取至少一個該未知權重轉換器單元作為待校轉換器群組並產生一待校輸出(Ic)，且該待校輸出小於該參考輸出之最大值；

一類比數位轉換器，係依該參考輸出(Ir)和該待校輸出(Ic)的差值產生一數位校正訊號(Do)；

一數位控制器，電性連接該類比數位轉換器及該輸出切換電路，係用以產生該參考群組數位控制訊號與該待校群組數位控制訊號，使該參考輸出逼近該待校輸出(Ic)並於接收該數位校正訊號(Do)後產生一數位權重輸出，該數位權重輸出係用以建立一權重表，該數位控制器根據該權重表計算每一該未知權重轉換器單元的真實數位權重；以及

一校正記憶體，電性連接該數位控制器，係用以儲存該數位控制器根據該權重表所計算出之每一該未知權重轉換器單元之真實數位權重。

2. 如請求項 1 所述之數位類比轉換電路，其中該類比數位轉換器為一比較器。
3. 如請求項 1 所述之數位類比轉換電路，其中該 A 個已知權重轉換器單元之權重係依序呈 2 的冪次遞增。
4. 如請求項 1 所述之數位類比轉換電路，其中每一該未知權重轉換器單元之名義上權重輸出係相等。
5. 如請求項 1 所述之數位類比轉換電路，其中該權重表內之每一該數位權重輸出係經由選取不同的該 N 個轉換器單元組成不同的該參考轉換器群組所得到之結果。
6. 如請求項 1 所述之數位類比轉換電路，其中該數位控制器於正常轉換模式時，係接收一數位輸入訊號並根據該校正記憶體的內容控制該輸出切換電路產生一校正後類比輸出。
7. 如請求項 1 所述之數位類比轉換電路，其中該參考輸出(Ir)與該待校輸出(Ic)係為差動訊號。
8. 一種數位類比轉換電路之權重誤差估測方法，用以於如請求項 1 所述之數位類比轉換電路中估測該待校輸出(Ic)之真實權重，包括下列步驟：

選取 M 個不同的該待校轉換器群組產生 M 個不同的該待校輸出，其中 M 大於或等於 P-A；

對每一該待校輸出以逐次逼近法(Successive Approximation)進行估測，利用改變該參考群組數位控制訊號，來控制該參考輸出(Ir)使得該參考輸出(Ir)逐次逼近該待校輸出(Ic)，進而計算出該待校輸出(Ic)之該數位權重輸出；以及
依該等待校輸出(Ic)之該數位權重輸出建立該權重表，反覆實施直至該數位控制器可以根據該權重表計算出每一該未知權重轉換器單元之真實數位權重，並儲存於該校正記憶體。

9. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中逐一對該 M 個待校轉換器群組輸出($I_{MSB_1} \sim I_{MSB_M}$)以該逐次逼近法(Successive Approximation)進行估測時，係利用該參考轉換器群組的 A 個已知權重轉換器單元及部分之該等 P-A 個未知權重轉換器單元。
10. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中在進行估測時，該數位控制器係利用該權重表內容所對應的多組待解之聯立方程式一併計算出該 P-A 個未知權重轉換器單元的真實數位權重。
11. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中該參考輸出(Ir)與該待校輸出(Ic)係為差動訊號。
12. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中該 P-A 個未知權重轉換器單元係以溫度計碼(Thermometer Code)操作，進而提供該待校轉換器群組輸出，以作為該待校輸出 Ic。

13. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中該 M 個待校轉換器單元更可分成二組相同之群組，每一該群組之轉換器單元權重輸出係依序呈 2 的幕次遞增進而提供 2M 個待校轉換器群組輸出以作為該待校輸出 I_c 。
14. 如請求項 8 所述之數位類比轉換電路之權重誤差估測方法，其中該等未知權重轉換器單元所提供之每一輸出 ($I_{MSB_1} \sim I_{MSB_M}$) 係被切割為至少兩個權重更小的輸出，以確保該待校轉換器群組所提供之最小輸出不大於該參考輸出之最大值。
15. 如請求項 14 所述之數位類比轉換電路之權重誤差估測方法，其中每一該輸出 (I_{MSB_m}) 係切割為至少兩個最小待校輸出 ($\tilde{I}_{CL(m,n)}, n \in \{0,1,\dots\}$)，使該最小待校輸出滿足下式：

$$\tilde{I}_{CL(m,n)} = \sum_k d_{k(m,n)} I_{LSB_k} \leq \sum_k I_{LSB_k}$$

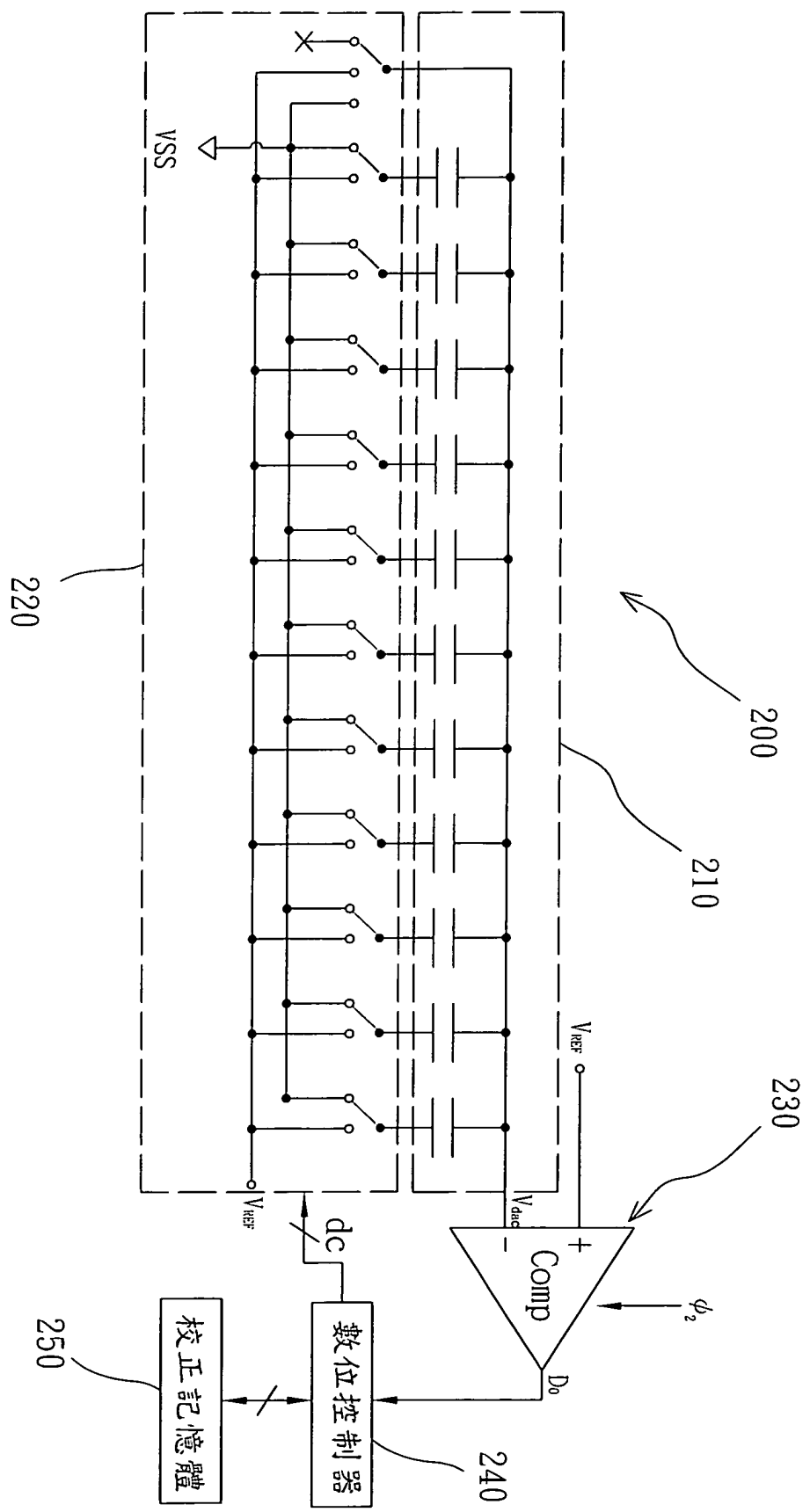
其中， $\sum_k d_{k(m,n)} I_{LSB_k}$ 為該 N 個參考轉換器群組所產生的該參考輸出、 $d_{k(m,n)}$ 為該參考群組最終的數位控制訊號，藉此該 N 個轉換器單元所提供之參考輸出 (I_{LSB_k}) 即足以估測該待校輸出之數位權重輸出。

16. 一種數位類比轉換電路之權重誤差校正方法，用以於如請求項 1 所述之數位類比轉換電路中校正該待校轉換群組之輸出，包括下列步驟：

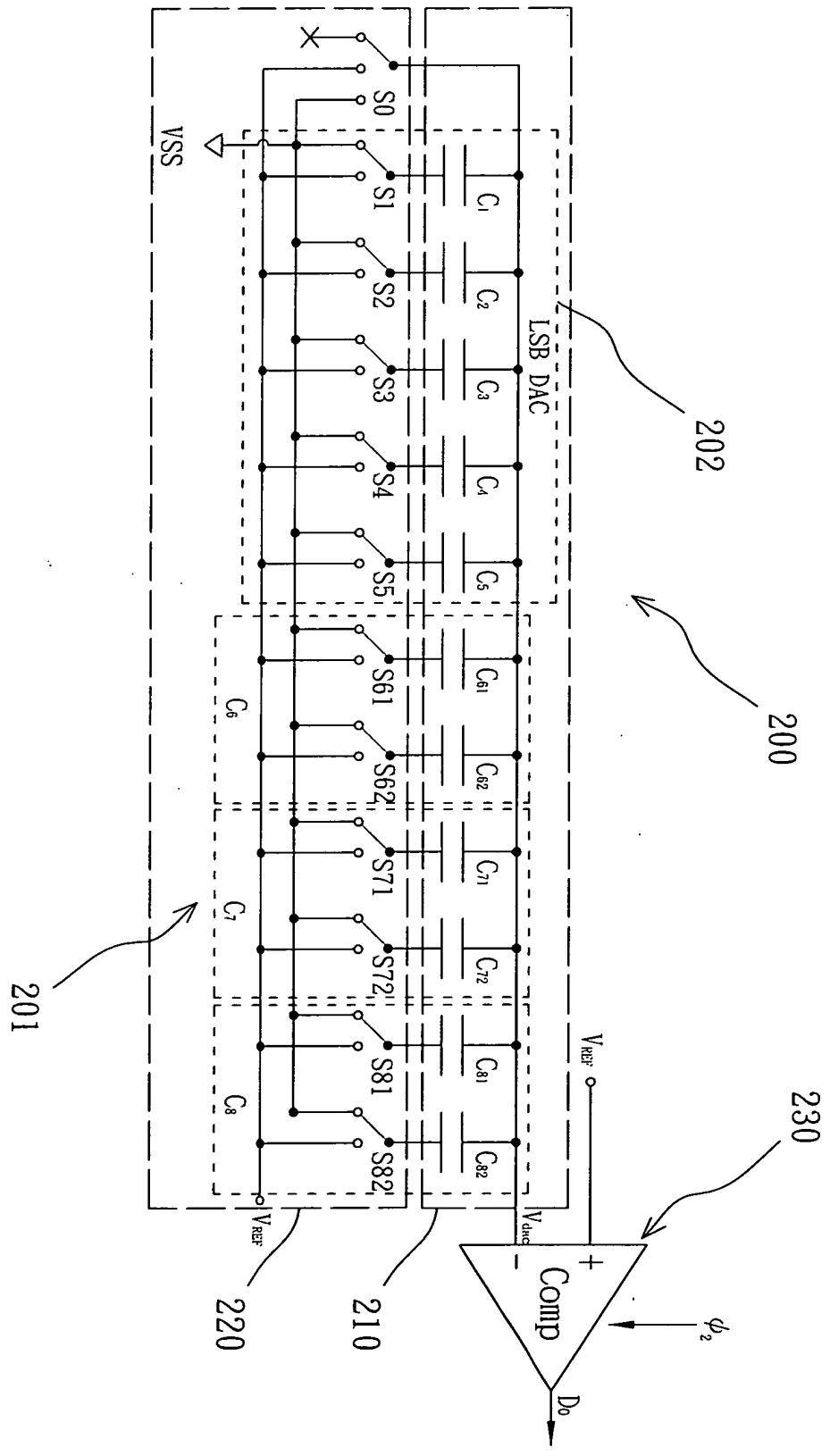
利用該校正記憶體所儲存之真實權重表修正該等轉換器單元的數位控制訊號；以及

利用修正後的該待校轉換器群組以及該參考轉換器群組的數位控制訊號驅動該等轉換器單元產生該數位類比轉換電路之校正後輸出，進而校正該 $P-A$ 個未知權重轉換器單元所產生的輸出誤差。

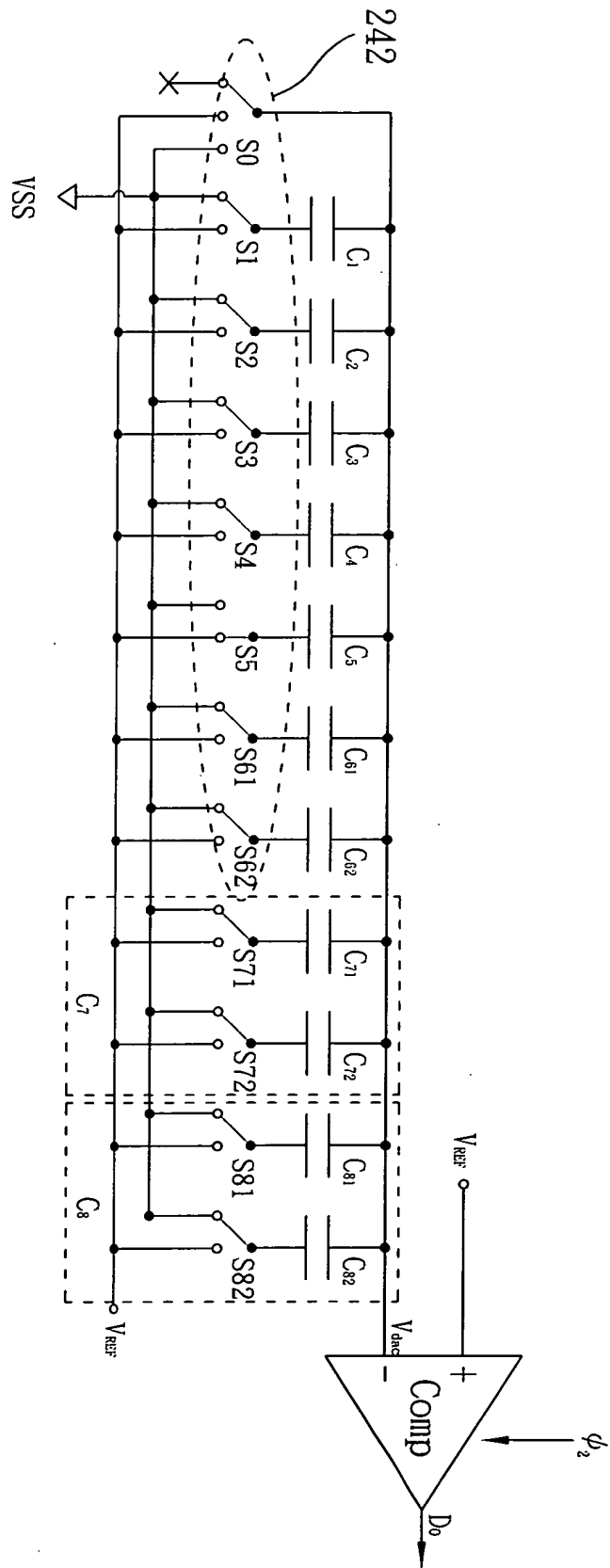
八、圖式：



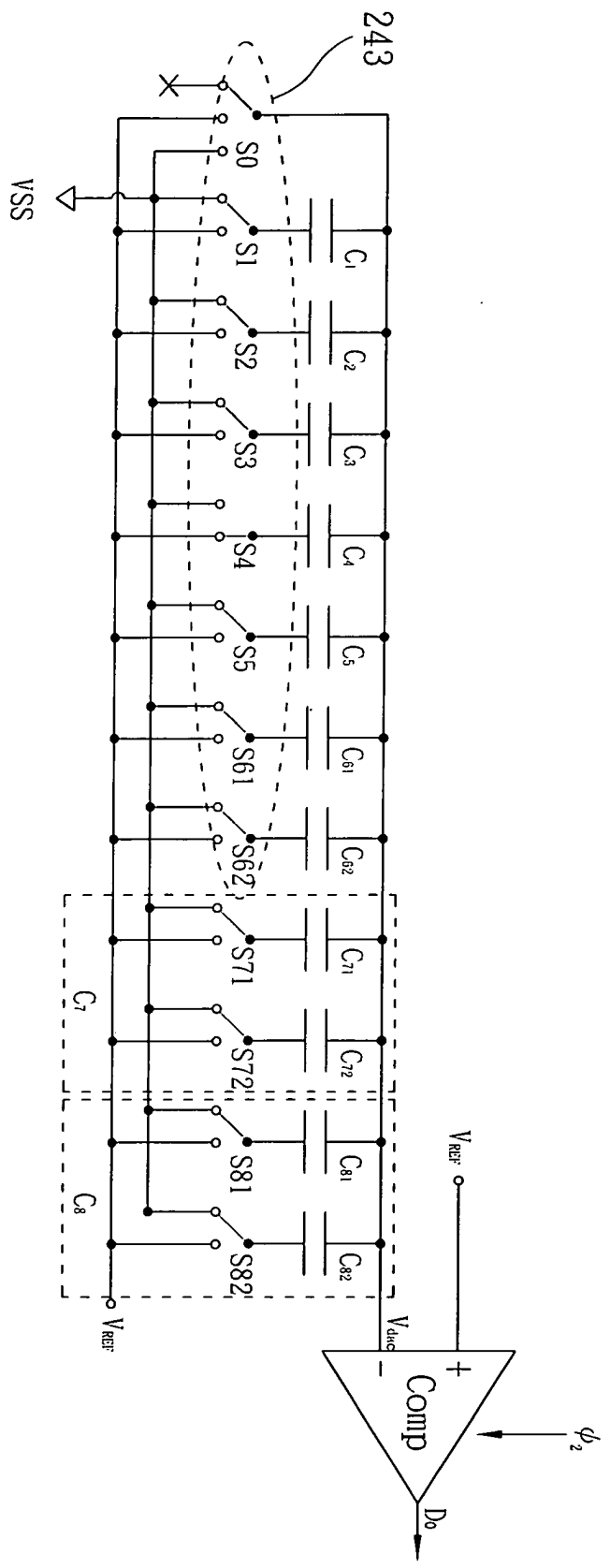
第 1 圖



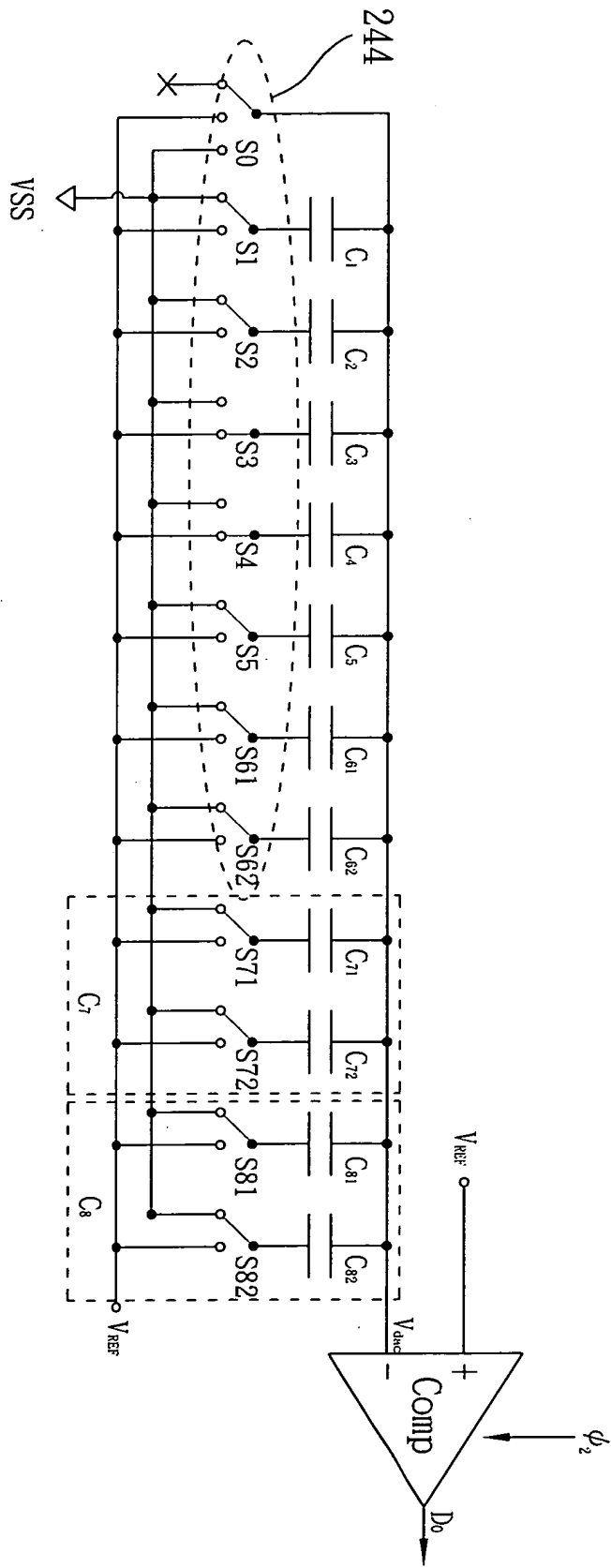
第 2 圖



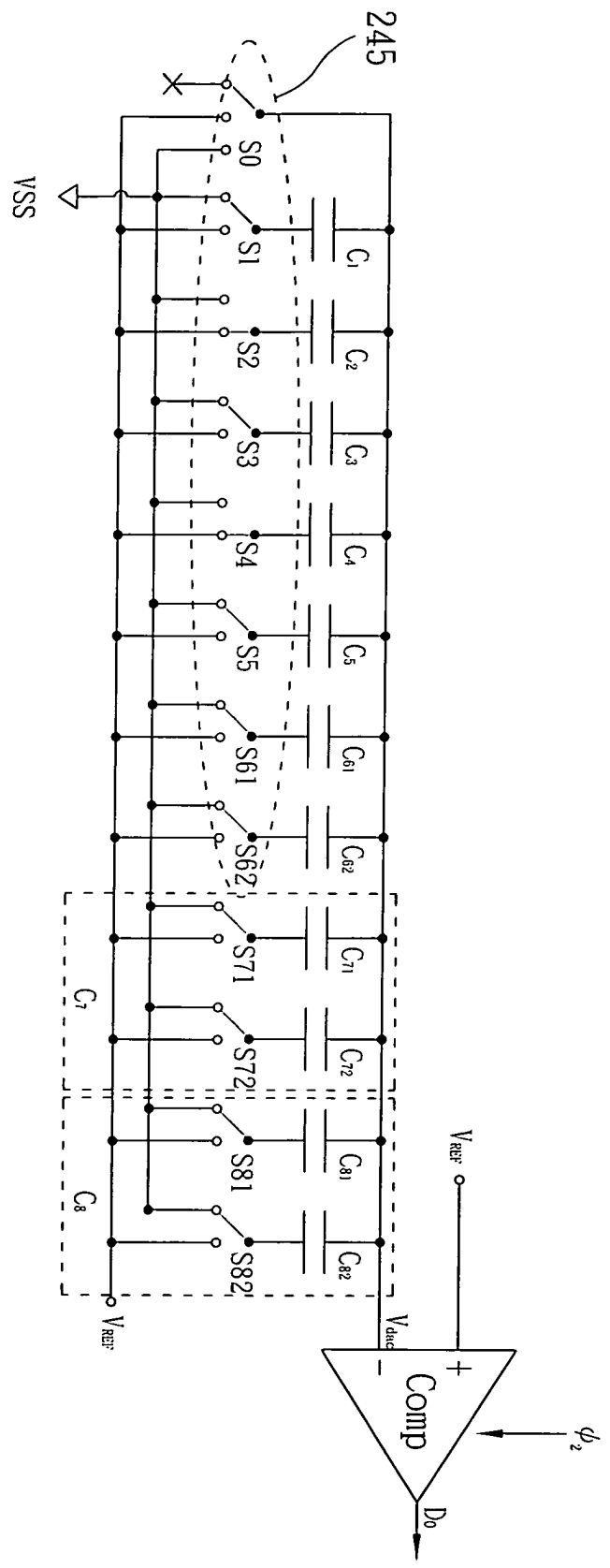
第 3B 圖



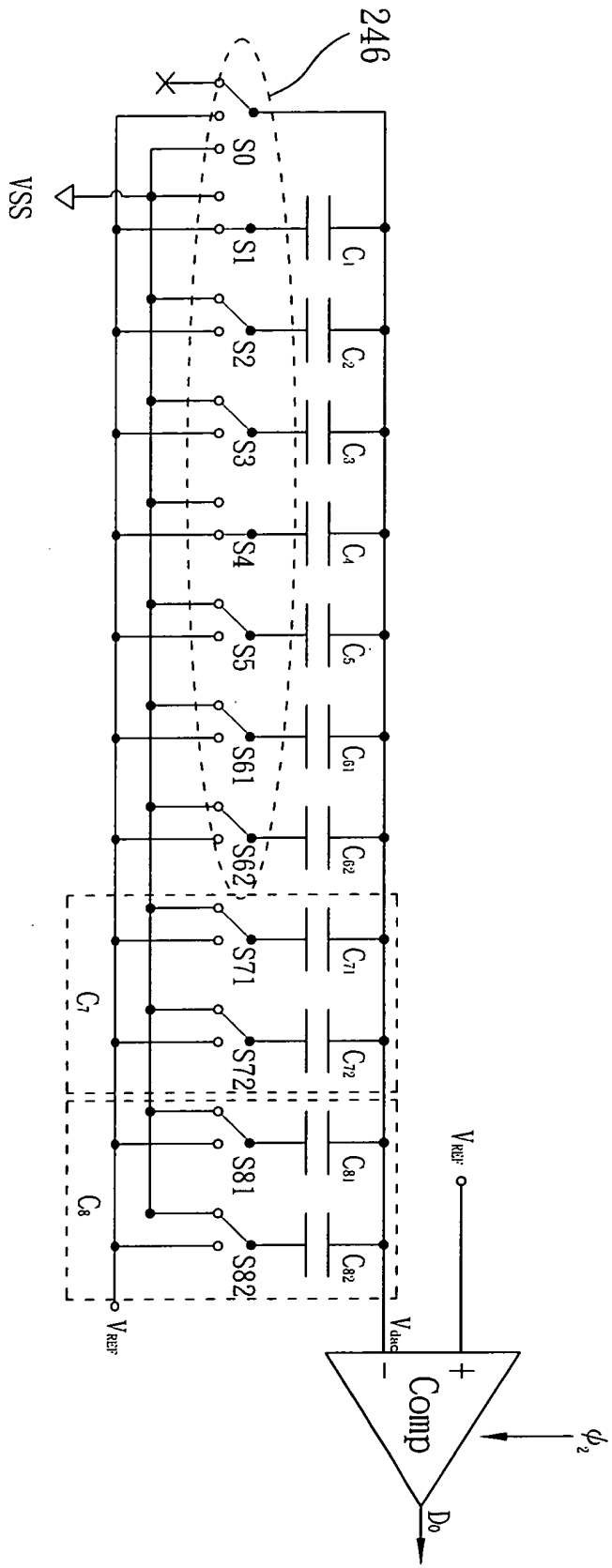
第 3C 圖



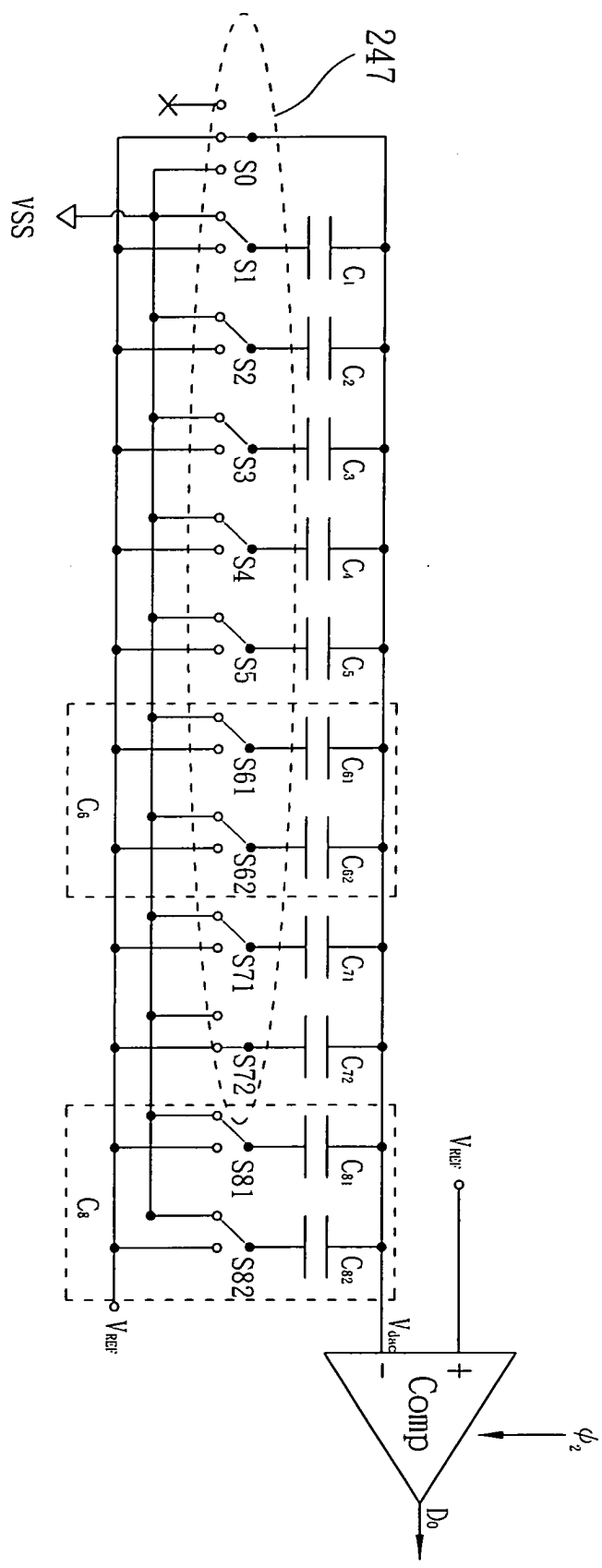
第 3D 圖



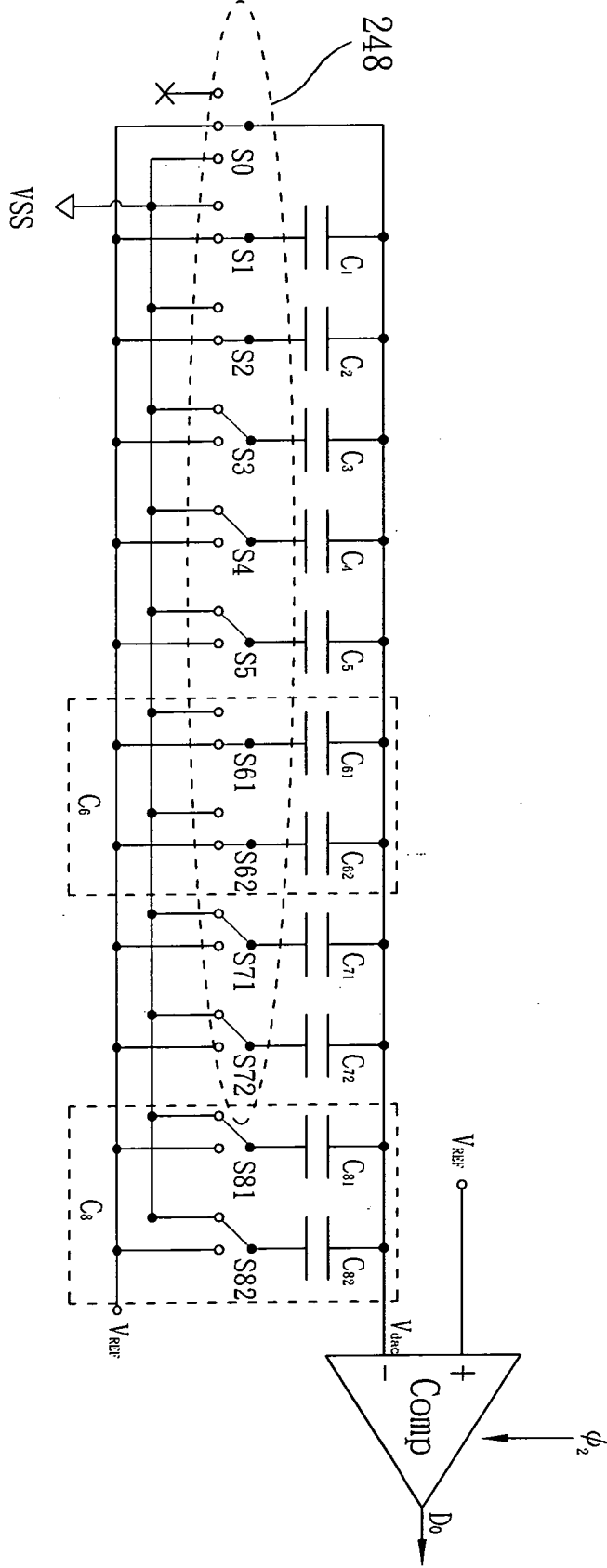
第 3E 圖



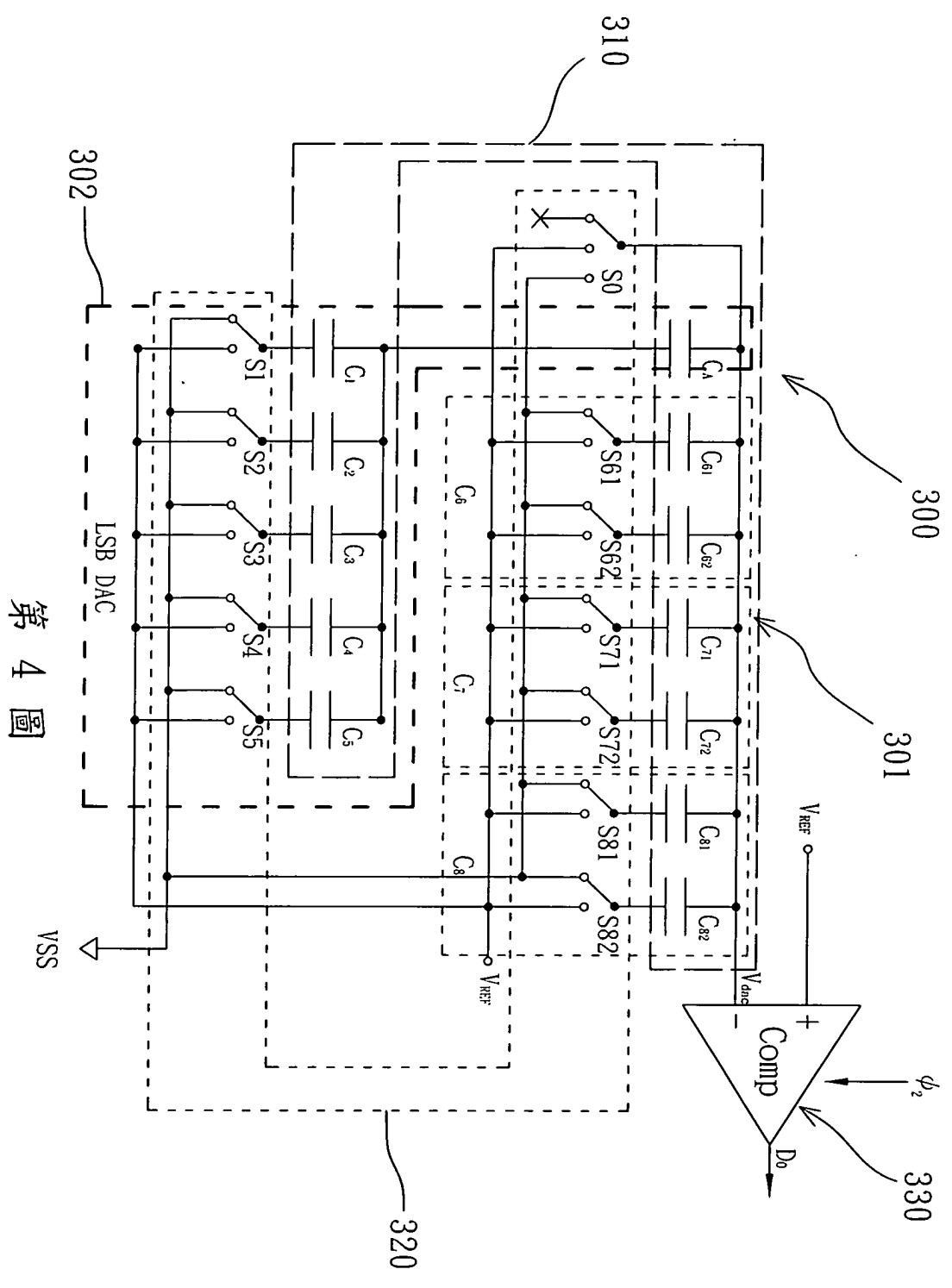
第 3F 圖



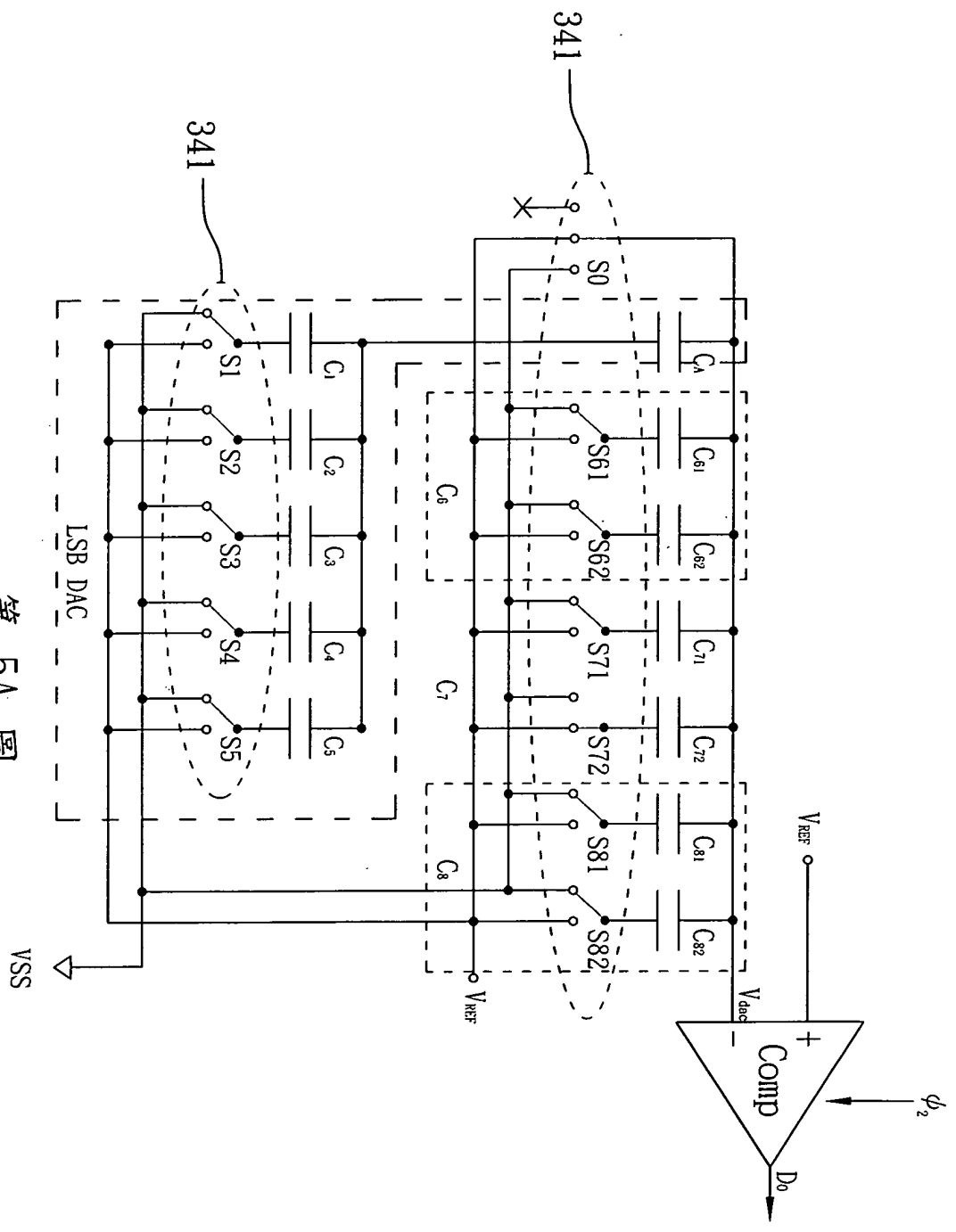
第 3G 圖



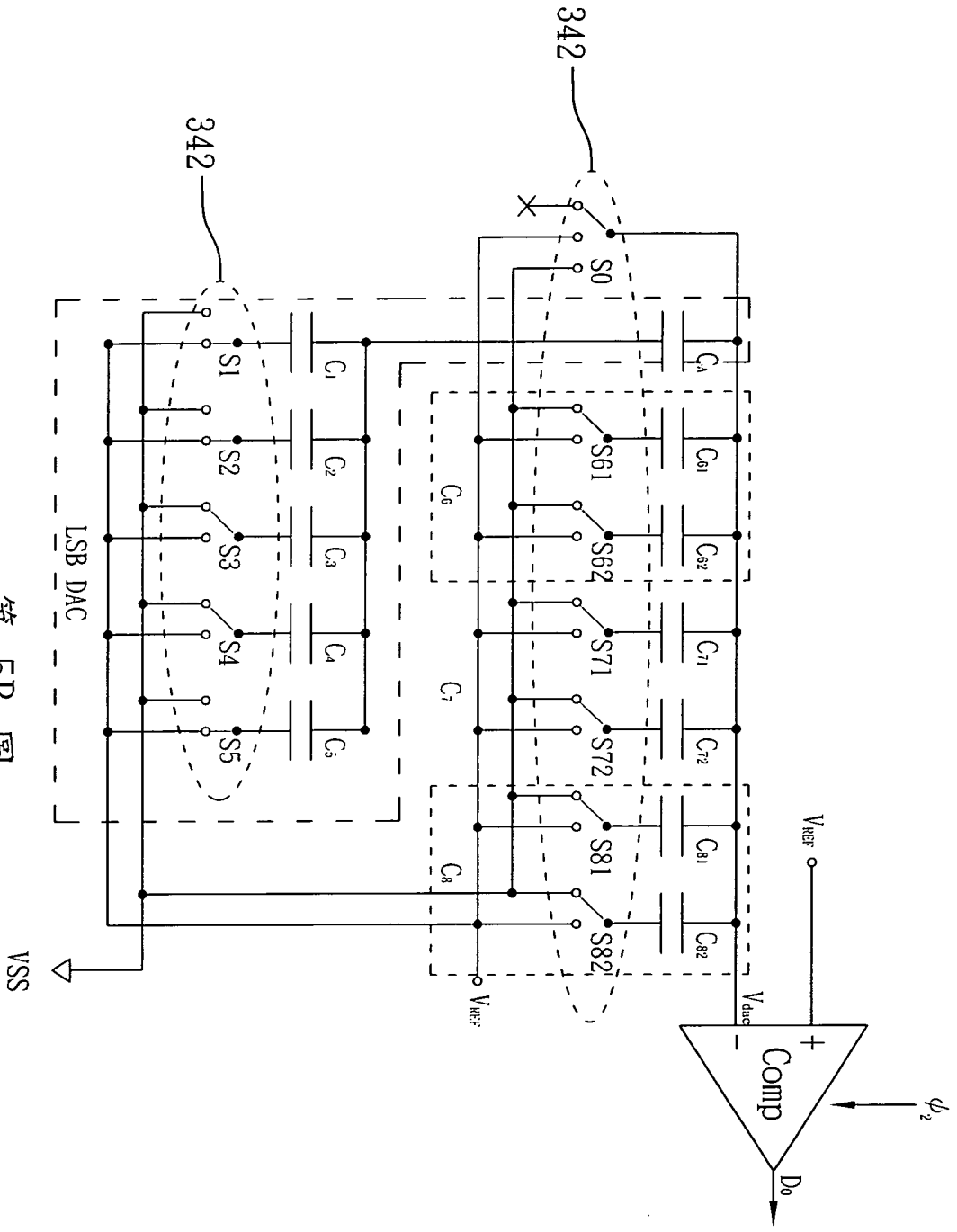
第 3H 圖



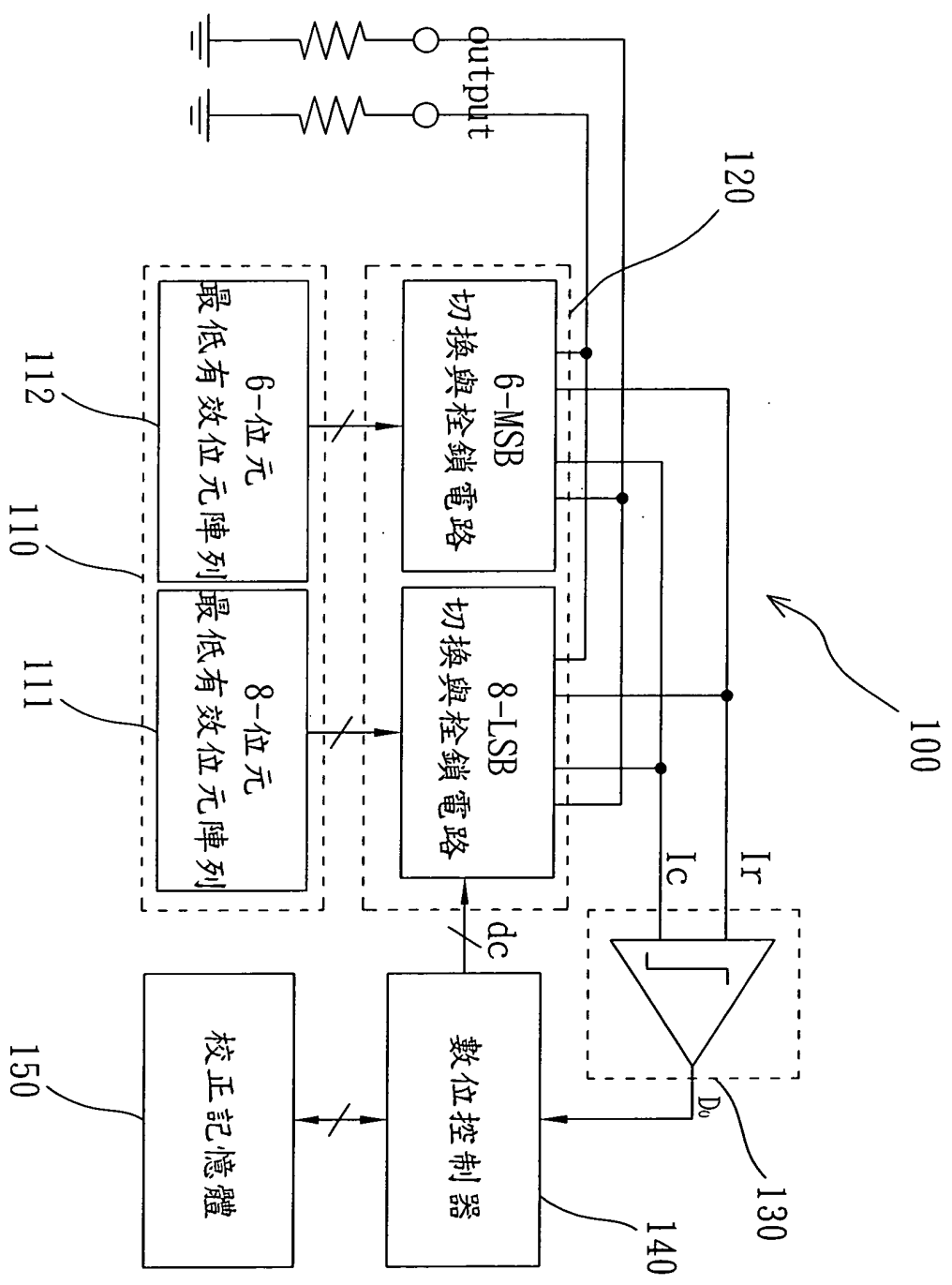
第 4 圖



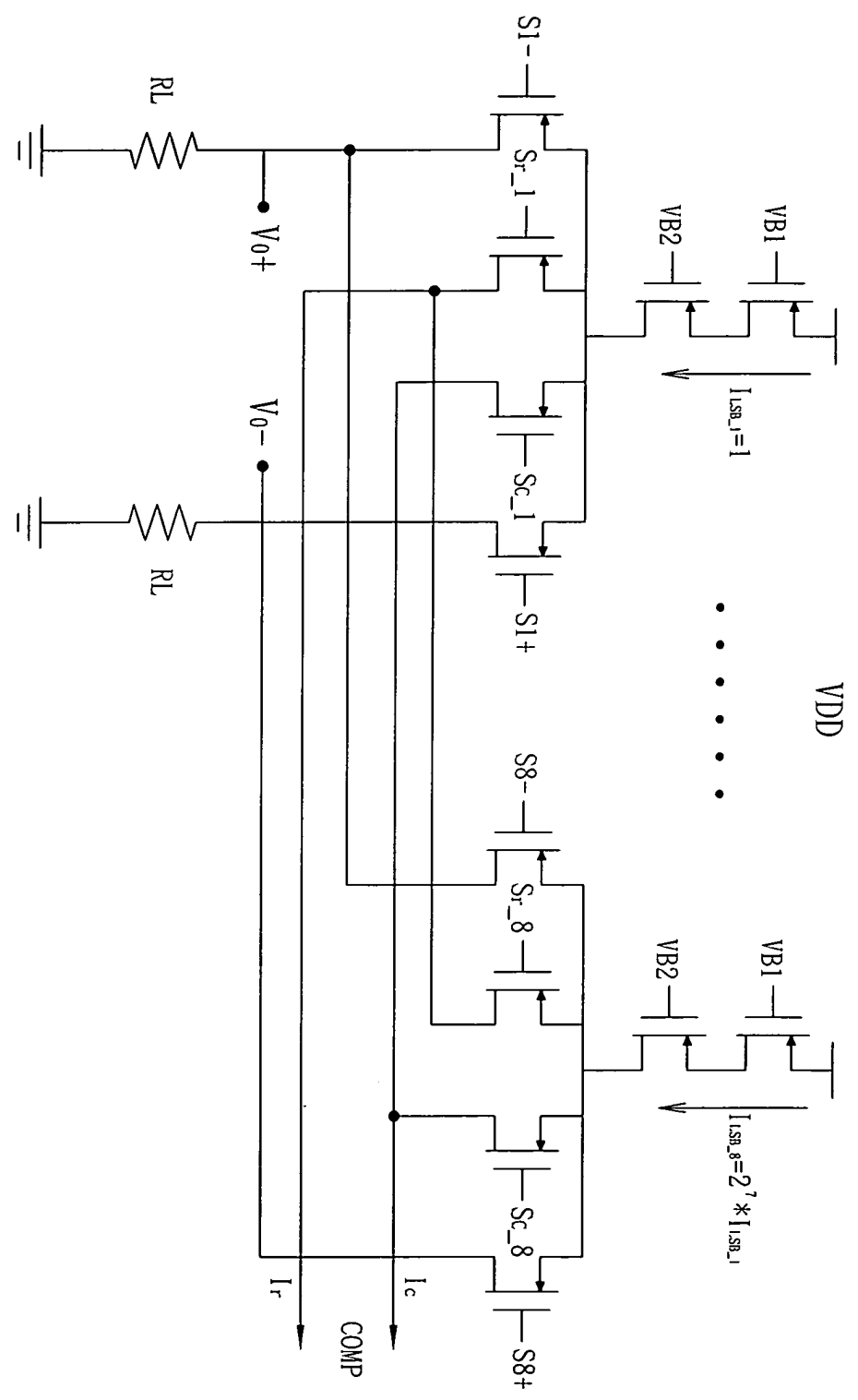
第 5A 圖



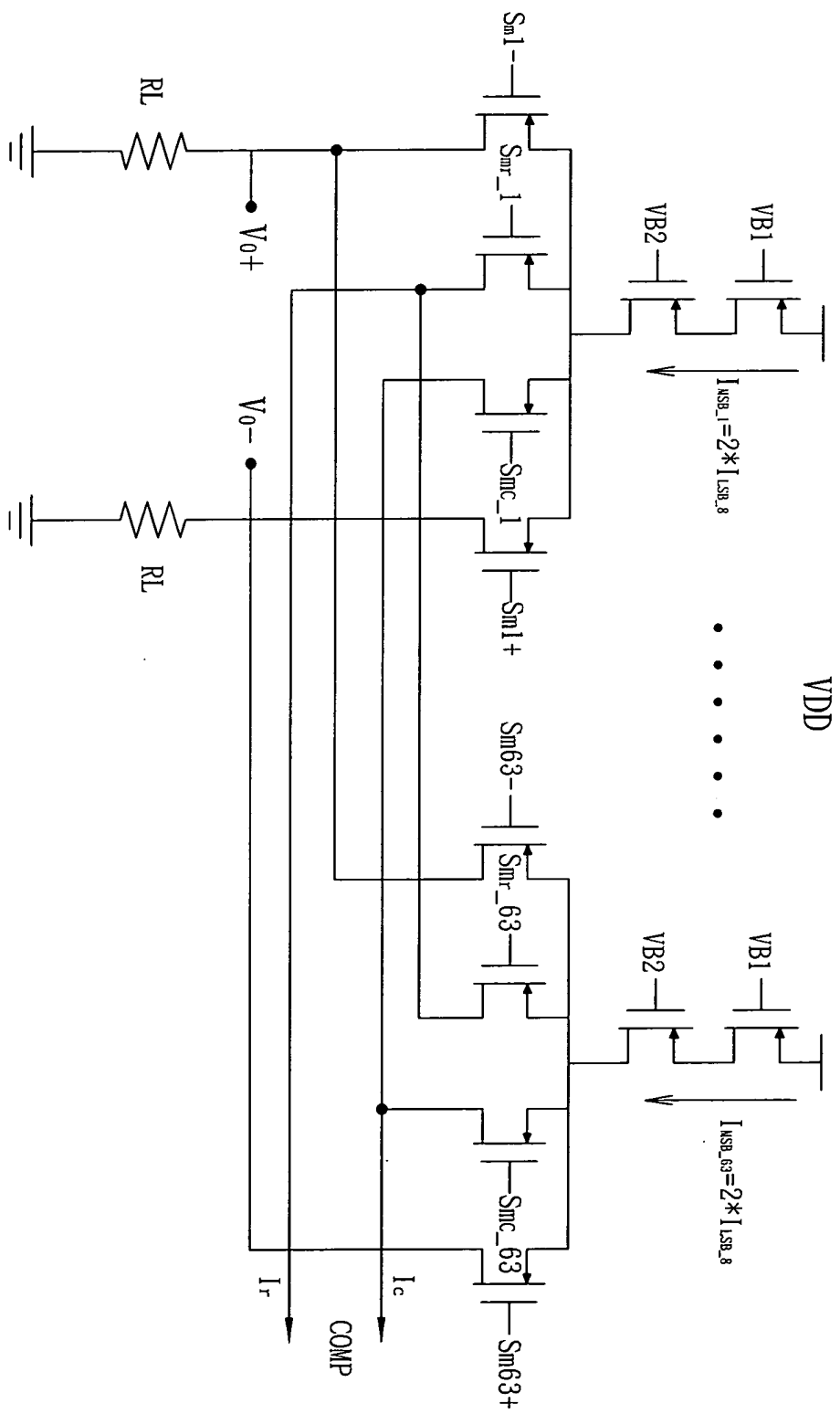
第 5B 圖



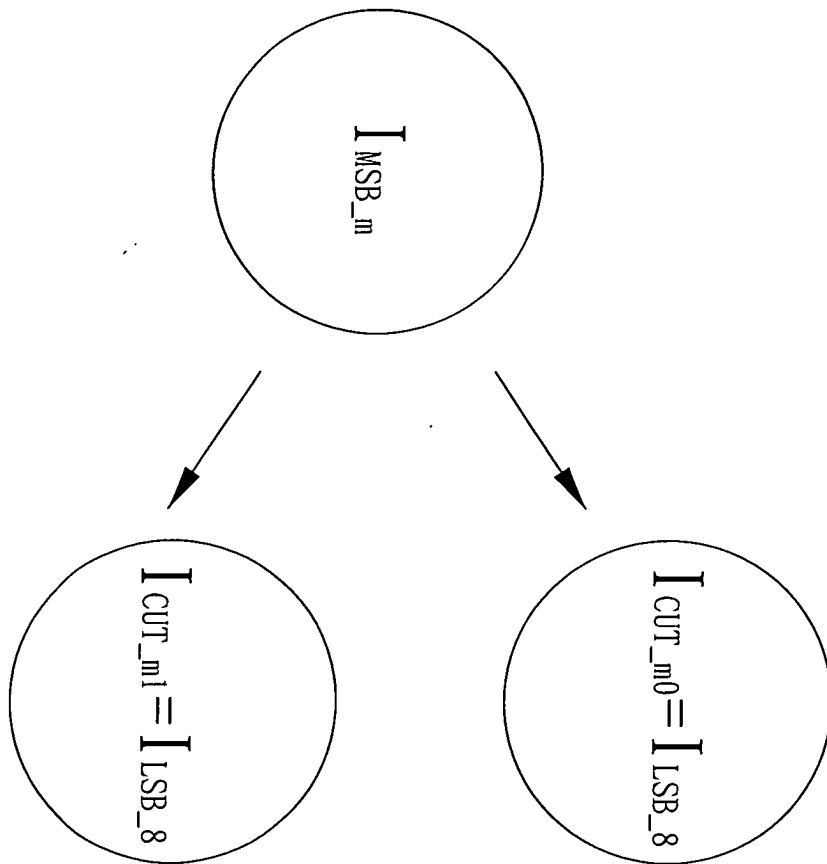
第 6 圖



第 7A 圖



第 7B 圖



第 8 圖