

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97113923

※ 申請日期：97.4.17

※IPC 分類：G01R 29/12 (2006.01)

一、發明名稱：(中文/英文)

暫態偵測電路以及積體電路

Transient detection circuit and integrated circuit

二、申請人：(共2人)**姓名或名稱：**(中文/英文)

1. 國立交通大學/National Chiao-Tung University

2. 奇景光電股份有限公司/HIMAX TECHNOLOGIES LIMITED

代表人：(中文/英文)

1. 吳重雨/Chung-Yu Wu

2. 吳炳昇/Biing-Seng Wu

住居所或營業所地址：(中文/英文)

1. 新竹市大學路 1001 號/1001 Ta Hsueh Road, Hsinchu Taiwan 300, R.O.C.

2. 台南縣新市鄉豐華村 8 鄰紫棟路 26 號/No.26, Zih Lian Road, Fonghua Village, Sinshih Township, Tainan County 74445, Taiwan (R.O.C.)

國 籍：(中文/英文) 中華民國 TW**三、發明人：**(共4人)**姓 名：**(中文/英文)

1. 柯明道/Ming-Dou KER

2. 顏承正/CHENG-CHEGN YEN

3. 廖期聖/CHI-SHENG LIAO

4. 陳東暘/Tung-Yang Chen

國 籍：(中文/英文)

1. 2. 3. 4. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國 US、2008/1/23、12/018,229

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種暫態偵測電路，當一靜電放電事件發生時，提供一告知信號予一外部儀器。暫態偵測電路包括，一偵測單元、一設定單元以及一記憶單元。偵測單元耦接於一第一及第二電源線之間，用以偵測該靜電放電事件。設定單元根據偵測結果，設定一第一節點之位準。記憶單元根據該第一節點之位準，控制該告知信號。當該靜電放電事件發生時，該告知信號為一第一位準。

六、英文發明摘要：

A transient detection circuit including a detecting unit, a setting unit, and a memory unit. The transient detection circuit provides an information signal to an external instrument when an electrostatic discharge (ESD) event occurs. The detecting unit is coupled between a first power line and a second power line for detecting the ESD event. The setting unit sets a level of a first node according to the detection result. The memory unit controls the information signal according to the level of the first node. The information signal is at a first level when the ESD event occurs in the first power line.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：測量系統；

110：積體電路；

120：外部儀器；

113、114：電源線；

111：核心單元；

112：暫態偵測電路。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種具有靜電放電 (electrostatic discharge; ESD) 保護之暫態 (transient) 偵測電路，特別是有關於一種當 ESD 事件發生時，可提供一告知信號予一外部儀器之暫態偵測電路。

【先前技術】

對於積體電路而言，靜電放電 (Electrostatic discharge; ESD) 事件係為可靠度上相當重要的課題之一。為了符合元件層級 (component-level) 的 ESD 規籍，可將 ESD 保護電路加在 CMOS IC 的輸入/輸出胞 (I/O cell) 以及電源線 (VDD 及 VSS) 之中。除此之外，針對 COMS IC 產品，在元件層級 ESD 應力中，系統層級 (system level) 的 ESD 可靠度逐漸受到重視。根據電磁兼容 (electromagnetic compatibility; EMC) 規範，對於系統層級的 ESD 可靠度測試需更將嚴格。

【發明內容】

本發明提供一種暫態偵測電路。當一靜電放電事件發生時，暫態偵測電路提供一告知信號予一外部儀器。暫態偵測電路包括，一偵測單元、一設定單元以及一記憶單元。偵測單元耦接於一第一及第二電源線之間，用以偵測該靜電放電事件。設定單元根據偵測結果，設定一第一節點之位準。記憶單元根據該第一節點之位準，控制該告知信號。當該靜電放電事件發生時，該告知信號為一第一位準。

本發明另提供一種積體電路。當一靜電放電事件發生時，積體電路提供一告知信號予一外部儀器。積體電路包括，一核心單元以及一暫態偵測電路。核心單元耦接於一第一及第二電源線之間，用以執行相關功能。暫態偵測電路包括，一偵測單元、一設定單元以及一記憶單元。偵測單元耦接於一第一及第二電源線之間，用以偵測該靜電放電事件。設定單元根據偵測結果，設定一第一節點之位準。記憶單元根據該第一節點之位準，控制該告知信號。當該靜電放電事件發生時，該告知信號為一第一位準。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第 1 圖為本發明之測量系統之示意圖。測量系統 100 包括，積體電路(integrated circuit; IC)110 以及外部儀器 120。當一 ESD 事件進入積體電路 110 時，積體電路 110 可即時告知外部儀器 120。如圖所示，積體電路 110 具有核心單元 111 以及暫態偵測電路 112。在本實施例中，積體電路 110 可承受系統層級(system level)的 ESD 測試。

核心單元 111 耦接於電源線 113 與 114 之間，並根據積體電路 110 之類型，而執行相關功能。舉例而言，若積體電路 110 係為一類比數位轉換器(ADC)時，則核心單元 111 用以執行相關轉換功能。暫態偵測電路 112 亦耦接在電源線 113 與 114 之間。在一系統層級的 ESD 測試中，若

ESD 事件發生在電源線 113，並且電源 114 為相對接地時，暫態偵測電路 112 可立即得知，並提供一告知信號 S_N 予外部儀器 120。

第 2 圖為本發明之暫態偵測電路之一可能實施例。如圖所示，暫態偵測電路 112 包括，偵測單元 210、設定單元 220、記憶單元 230、緩衝單元 240 以及重置單元 250。偵測單元 210 耦接在電源線 113 和 114 之間，用以偵測 ESD 事件。設定單元 220 根據偵測單元 210 的偵測結果，設定節點 261 之位準。設定單元 220 可被耦接在偵測單元 210 和電源線 113 之間，或是耦接在偵測單元 210 和電源線 114 之間。記憶單元 230 根據節點 261 之位準，控制告知信號 S_N 。當電源線 113 發生 ESD 事件時，告知信號 S_N 為第一位準。第一位準可為高位準或低位準。

緩衝單元 240 耦接於記憶單元 230 與外部儀器 120 之間，用以增加告知信號 S_N 之驅動能力。在本實施例中，重置單元 250 耦接於緩衝單元 240 與電源線 114 之間，用以重置(reset)告知信號 S_N 。在其它實施例中，重置單元 250 耦接於緩衝單元 240 與電源線 113 之間。當重置單元 250 接收到重置信號 S_R 時，便可將告知信號 S_N 重置成一第二位準。在其它可能實施例中，為了降低元件成本，可選擇性地省略緩衝單元 240 及/或重置單元 250。當緩衝單元 240 被省略時，記憶單元 230 係直接地將告知信號 S_N 提供予外部儀器 120。

另外，上述之第一位準相對於第二位準，當第一位準

為高位準時，則第二位準為低位準。同樣地，當第一位準為低位準時，則第二位準為高位準。

第 3A 圖為本發明之偵測單元與設定單元之一可能實施例。如圖所示，偵測單元 210 包括電阻 311 以及電容 312。電阻 311 耦接於電源線 113 與節點 262 之間。電容 312 耦接於節點 262 與電源線 114 之間。電阻 311 的阻抗及電容 312 的容值可定義一延遲係數。該延遲常數大於 ESD 脈衝時間並且小於電源線 113 上電源信號的初始上昇時間。

當一 ESD 事件發生在電源線 113，而電源線 114 為相對接地端時，由於 RC 電路具有較 ESD 脈衝上昇時間長的延遲時間常數，因而使得節點 262 為低位準。當 ESD 事件未發生，並且電源線 113 的位準為高位準(如 3.3V)而電源線 114 的位準為低位準(如 0V)時，節點 262 為高位準。

在本實施例中，設定單元 220 包括反相器 321 以及 N 型電晶體 322。反相器 321 之輸入端耦接節點 262。N 型電晶體 322 之閘極耦接反相器 321 之輸出端，其源極耦接電源線 114，其汲極耦接節點 261。當 ESD 事件發生在電源線 113，而電源線 114 為相對接地端時，由於節點 262 為低位準，因而導通 N 型電晶體 322，使得節點 261 為低位準。

第 3B 圖為本發明之偵測單元與設定單元之另一可能實施例。第 3B 圖相似於第 3A 圖，不同之處在於，第 3B 圖的設定單元 220 係為一 P 型電晶體 323。P 型電晶體 323

之閘極耦接節點 262，其源極耦接電源線 113，其汲極耦接節點 261。當 ESD 事件發生在電源線 113，而電源線 114 為相對接地端時，由於節點 262 為低位準，因而導通 P 型電晶體 322，使得節點 261 為高位準。

第 4A 圖為本發明之偵測單元與設定單元之另一可能實施例。如圖所示，偵測單元 210 包括電容 411 以及電阻 412。電容 411 耦接於電源線 113 與節點 262 之間。電阻 412 耦接於節點 262 與電源線 114 之間。根據電容 411 的特性，當 ESD 事件發生在電源線 113 時，根據電容 411 的特性，節點 262 將為高位準。

在本實施例中，設定單元 220 包括，反相器 421 以及 P 型電晶體 422。反相器 421 之輸入端耦接節點 262。P 型電晶體 422 之閘極耦接反相器 421 之輸出端，其源極耦接電源線 113，其汲極耦接節點 261。當 ESD 事件發生在電源線 113 時，由於節點 262 為高位準，因而導通 P 型電晶體 422，使得節點 261 為高位準。

第 4B 圖為本發明之偵測單元與設定單元之另一可能實施例。第 4B 圖相似於第 4A 圖，不同之處在於，第 4B 圖的設定單元 220 係為一 N 型電晶體 423。N 型電晶體 423 之閘極耦接節點 262，其源極耦接電源線 114，其汲極耦接節點 261。當 ESD 事件發生在電源線 113 時，由於節點 262 為高位準，因而導通 N 型電晶體 423，使得節點 261 為低位準。

第 5A~5C 圖為本發明之記憶單元之一可能實施例。如

圖所示，記憶單元 230 具有邏輯模組 510 及 520。邏輯模組 510 之輸入端耦接節點 261，其輸出端輸出告知信號 S_N 予外部儀器 120。邏輯模組 520 之輸入端耦接邏輯模組 510 之輸出端，其輸出端耦接節點 261。外部儀器 120 根據告知信號 S_N 的位準，便可得知電源線 113 是否發生 ESD 事件。在本實施例中，邏輯模組 510 及 520 均為反相器 511 及 521。在其它實施例中，邏輯模組 510 及 520 可為 NAND 閘或 NOR 閘。NAND 閘及 NOR 閘之示意圖如第 5B 及 5C 圖所示。

以下將說明偵測單元 210、設定單元 220 以及記憶單元 230 的動作原理。請參考第 3A 圖所示之偵測單元 210、設定單元 220 以及第 5A 圖所示之記憶單元 230。假設，重置單元 250 接收到重置信號 S_R 時，告知信號 S_N 為低位準。藉由第 5A 圖所示之反相器 521，當告知信號 S_N 為低位準時，節點 261 為高位準。

當 ESD 事件發生在電源線 113，而電源線 114 為相對接地端時，由於節點 262 為低位準，故可導通 N 型電晶體 322，使得節點 261 由高位準變化至低位準。在本實施例中，當告知信號 S_N 為高位準時，外部儀器 120 便可得知電源線 113 發生 ESD 事件。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者

為準。

【圖式簡單說明】

第 1 圖為本發明之測量系統之示意圖。

第 2 圖為本發明之暫態偵測電路之一可能實施例。

第 3A~3B 圖為本發明之偵測單元與設定單元之一可能實施例。

第 4A~4B 圖為本發明之偵測單元與設定單元之另一可能實施例。

第 5A~5C 圖為本發明之記憶單元之一可能實施例。

【主要元件符號說明】

- 100：測量系統；
- 110：積體電路；
- 120：外部儀器；
- 113、114：電源線；
- 111：核心單元；
- 112：暫態偵測電路；
- 210：偵測單元；
- 220：設定單元；
- 230：記憶單元；
- 240：緩衝單元；
- 250：重置單元；
- 311、412：電阻；
- 312、411：電容；
- 510、520：邏輯模組；

322、423：N型電晶體；

323、422：P型電晶體；

321、421、511、521：反相器。

十、申請專利範圍：

1.一種暫態偵測電路，當一靜電放電事件發生時，提供一告知信號予一外部儀器，該暫態偵測電路包括：

一偵測單元，耦接於一第一及第二電源線之間，用以偵測該靜電放電事件；

一設定單元，根據偵測結果，設定一第一節點之位準；

一記憶單元，根據該第一節點之位準，控制該告知信號，當該靜電放電事件發生時，該告知信號為一第一位準；

一緩衝單元，耦接於該記憶單元與該外部儀器之間，用以增加該告知信號之驅動能力；以及

一重置單元，耦接於該緩衝單元與該第二電源線之間，用以使該告知信號為一第二位準，該第二位準相對於該第一位準。

2.如申請專利範圍第 1 項所述之暫態偵測電路，其中該偵測單元包括：

一電阻，耦接於該第一電源線與一第二節點之間；以及

一電容，耦接於該第二節點與該第二電源線之間。

3.如申請專利範圍第 2 項所述之暫態偵測電路，其中該設定單元包括：

一反相器，其輸入端耦接該第二節點；以及

一 N 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第二電源線，其汲極耦接該第一節點。

4.如申請專利範圍第 2 項所述之暫態偵測電路，其中

該設定單元係為一 P 型電晶體，其閘極耦接該第二節點，其源極耦接該第一電源線，其汲極耦接該第一節點。

5.如申請專利範圍第 1 項所述之暫態偵測電路，該偵測單元包括：

一電容，耦接於該第一電源線與一第二節點之間；以及

一電阻，耦接於該第二節點與該第二電源線之間。

6.如申請專利範圍第 5 項所述之暫態偵測電路，其中該設定單元包括：

一反相器，其輸入端耦接該第二節點；以及

一 P 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第一電源線，其汲極耦接該第一節點。

7.如申請專利範圍第 5 項所述之暫態偵測電路，其中該設定單元係為一 N 型電晶體，其閘極耦接該第二節點，其源極耦接該第二電源線，其汲極耦接該第一節點。

8.如申請專利範圍第 1 項所述之暫態偵測電路，其中該記憶單元包括：

一第一邏輯模組，其輸入端耦接該第一節點，其輸出端輸出該告知信號予該外部儀器；以及

一第二邏輯模組，其輸入端耦接該第一邏輯模組之輸出端，其輸出端耦接該第一節點。

9.如申請專利範圍第 8 項所述之暫態偵測電路，其中該第一邏輯模組係為反相器，NAND 閘或是 NOR 閘。

10.一種積體電路，當一靜電放電事件發生時，提供一

告知信號予一外部儀器，包括：

一核心單元，耦接於一第一及第二電源線之間，用以執行相關功能；以及

一暫態偵測電路，包括：

一偵測單元，耦接於該第一及第二電源線之間，用以偵測該靜電放電事件；

一設定單元，根據偵測結果，設定一第一節點之位準；

一記憶單元，根據第一節點之位準，控制該告知信號，當該靜電放電事件發生時，該告知信號為一第一位準；

一緩衝單元，耦接於該記憶單元與該外部儀器之間，用以增加該告知信號之驅動能力；以及

一重置單元，耦接於該緩衝單元與該第二電源線之間，用以使該告知信號為一第二位準，該第二位準相對於該第一位準。

11.如申請專利範圍第 10 項所述之積體電路，其中該偵測單元包括：

一電阻，耦接於該第一電源線與一第二節點之間；以及

一電容，耦接於該第二節點與該第二電源線之間。

12.如申請專利範圍第 11 項所述之積體電路，其中該設定單元包括：

一反相器，其輸入端耦接該第二節點；以及

一 N 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第二電源線，其汲極耦接該第一節點。

13.如申請專利範圍第 11 項所述之積體電路，其中該設定單元係為一 P 型電晶體，其閘極耦接該第二節點，其源極耦接該第一電源線，其汲極耦接該第一節點。

14.如申請專利範圍第 10 項所述之積體電路，該偵測單元包括：

一電容，耦接於該第一電源線與一第二節點之間；以及

一電阻，耦接於該第二節點與該第二電源線之間。

15.如申請專利範圍第 14 項所述之積體電路，其中該設定單元包括：

一反相器，其輸入端耦接該第二節點；以及

一 P 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第一電源線，其汲極耦接該第一節點。

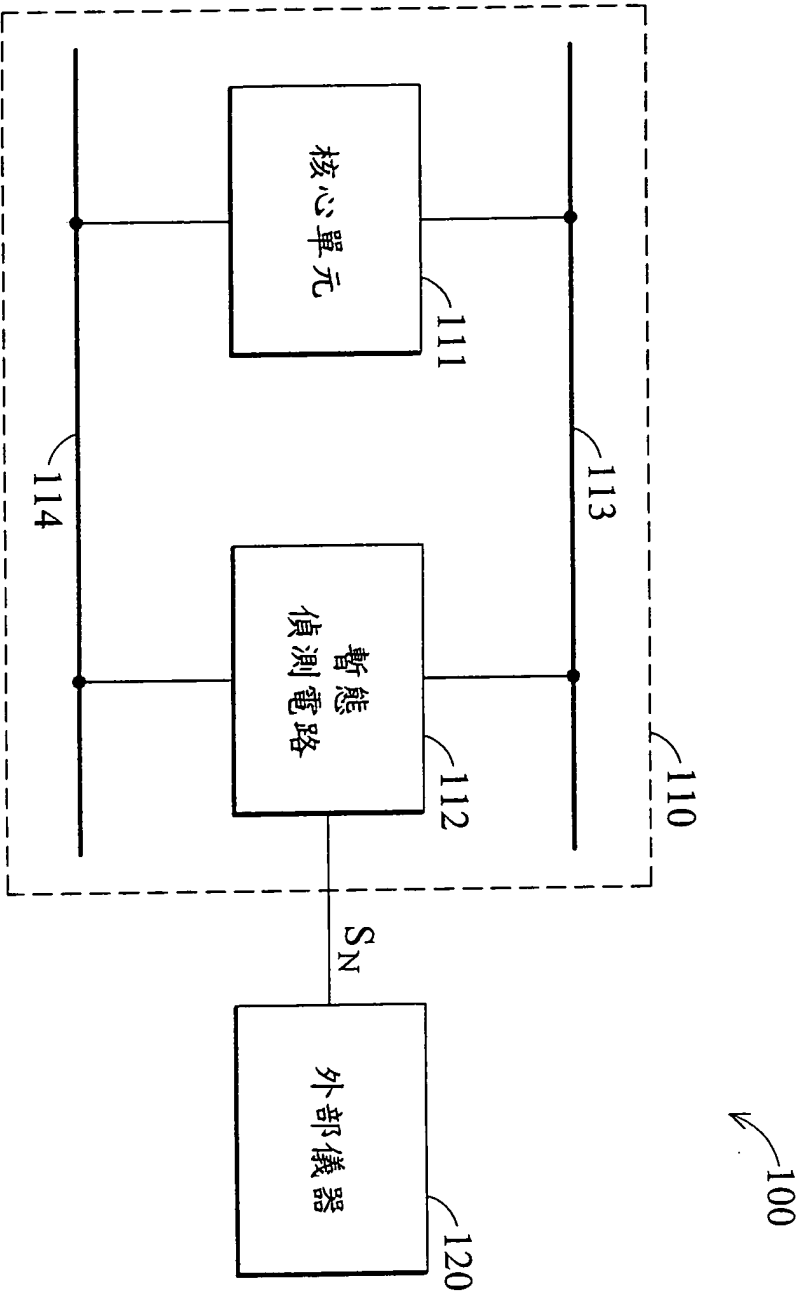
16.如申請專利範圍第 14 項所述之積體電路，其中該設定單元係為一 N 型電晶體，其閘極耦接該第二節點，其源極耦接該第二電源線，其汲極耦接該第一節點。

17.如申請專利範圍第 10 項所述之積體電路，其中該記憶單元包括：

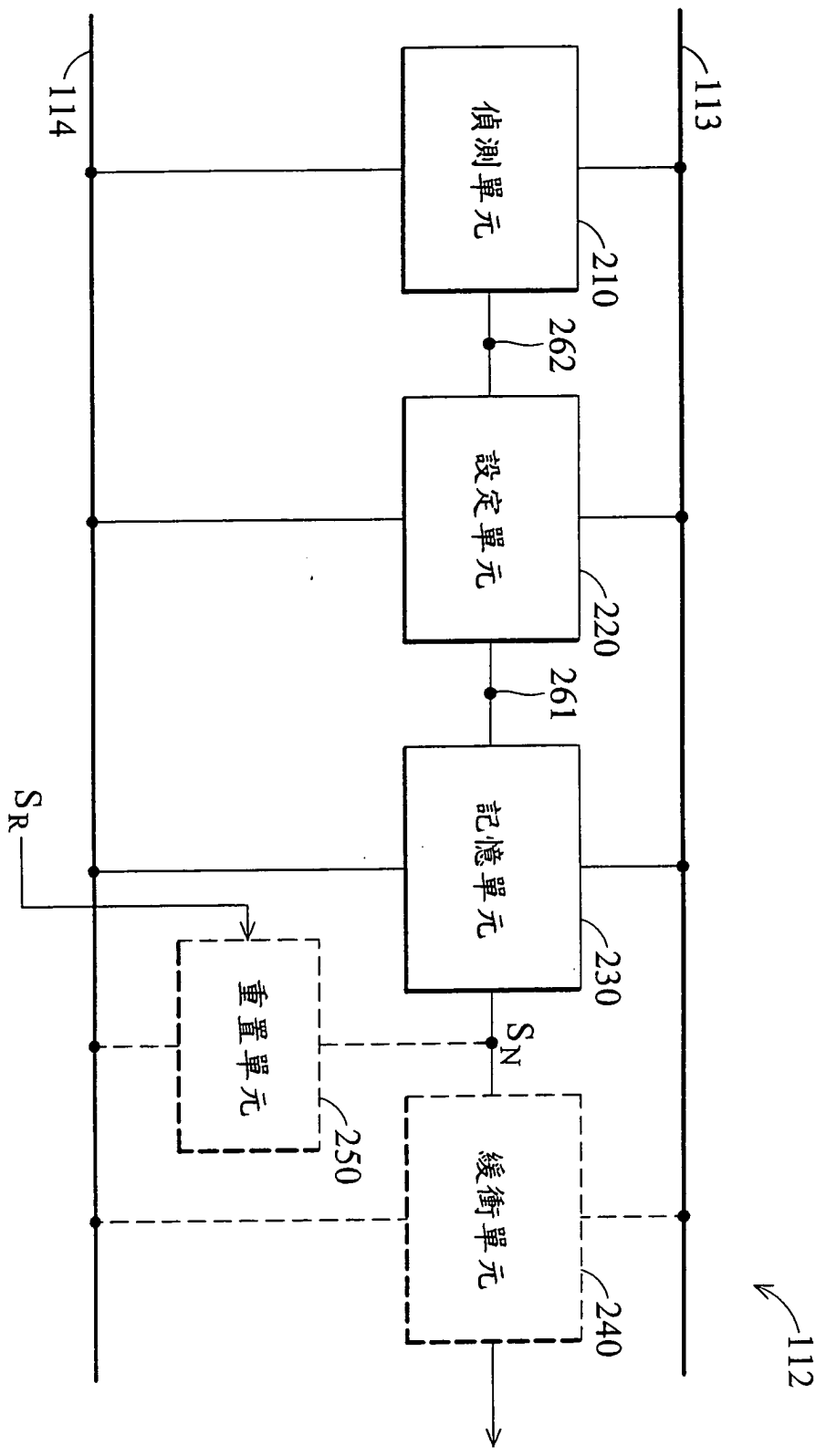
一第一邏輯模組，其輸入端耦接該第一節點，其輸出端輸出該告知信號予該外部儀器；以及

一第二邏輯模組，其輸入端耦接該第一邏輯模組之輸出端，其輸出端耦接該第一節點。

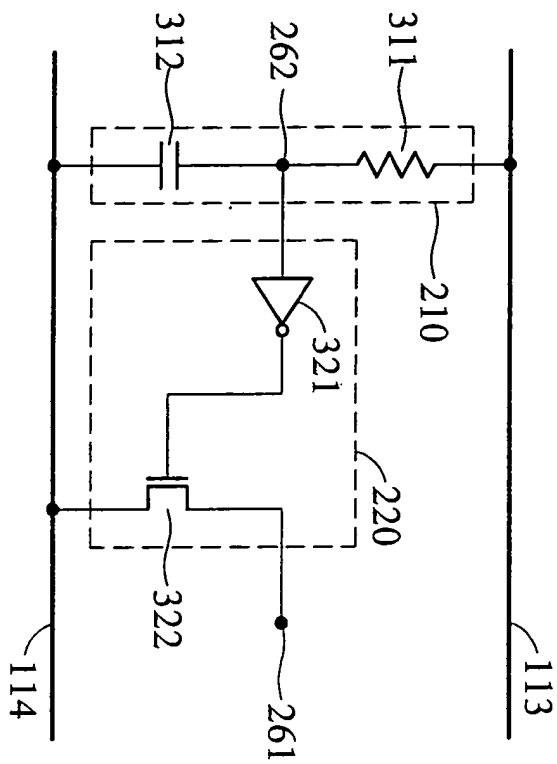
18.如申請專利範圍第 17 項所述之積體電路，其中該第一邏輯模組係為反相器，NAND 閘或是 NOR 閘。



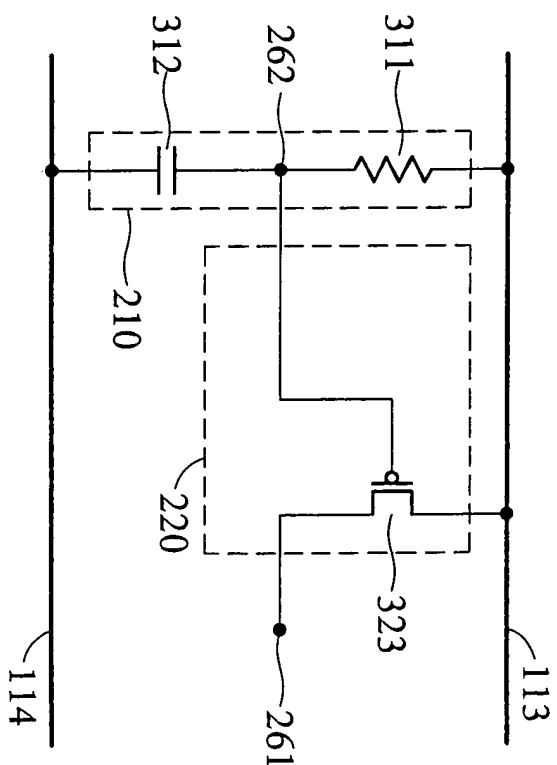
第 1 圖



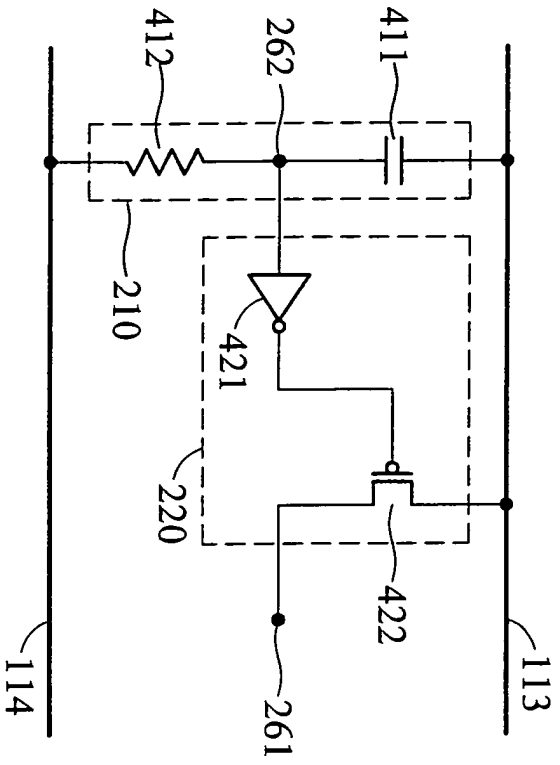
第 2 圖



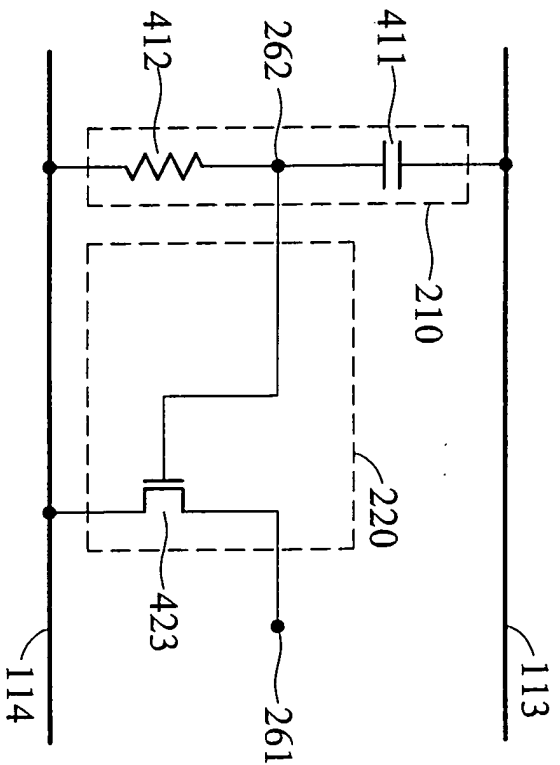
第 3A 圖



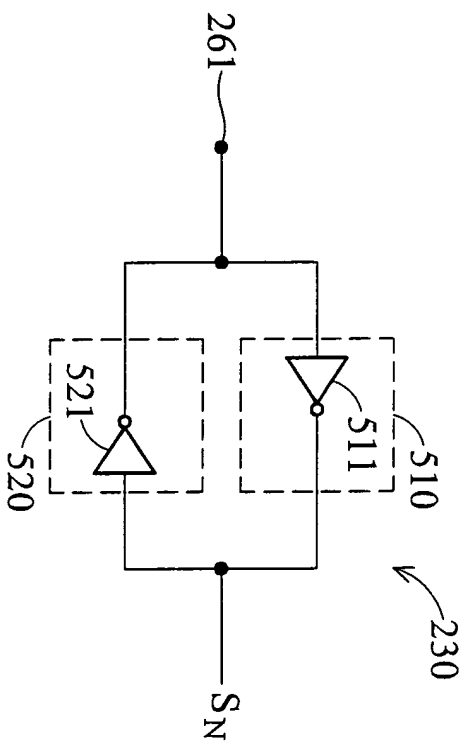
第 3B 圖



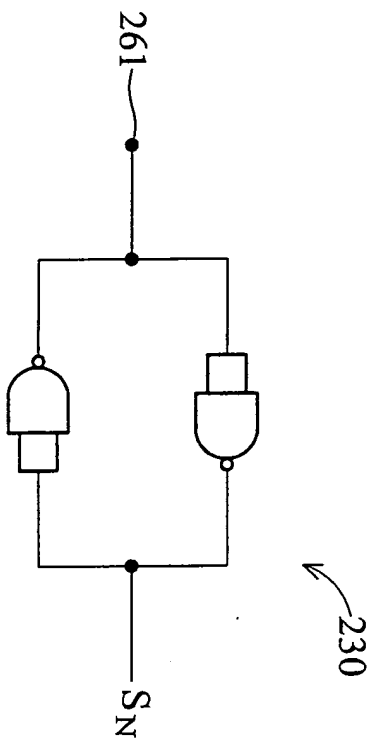
第4A圖



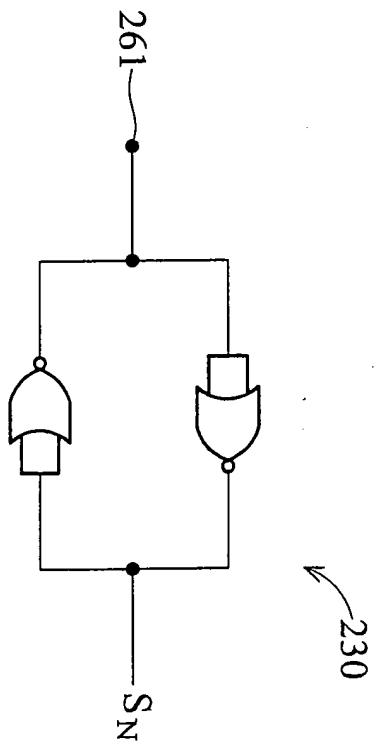
第4B圖



第 5A 圖



第 5B 圖



第 5C 圖