



(21) 申請案號：101138044

(22) 申請日：中華民國 101 (2012) 年 10 月 16 日

(51) Int. Cl. : **H05K1/18 (2006.01)****H05K3/32 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳智 CHEN, CHIH (TW)；蕭翔耀 HSIAO, HSIANG YAO (TW)

(74) 代理人：吳冠賜；林志鴻；蘇建太

(56) 參考文獻：

TW 201021658A

CN 1357157A

CN 101016616A

CN 102400188A

審查人員：巫韋倫

申請專利範圍項數：18 項 圖式數：14 共 0 頁

(54) 名稱

具有雙晶銅線路層之電路板及其製作方法

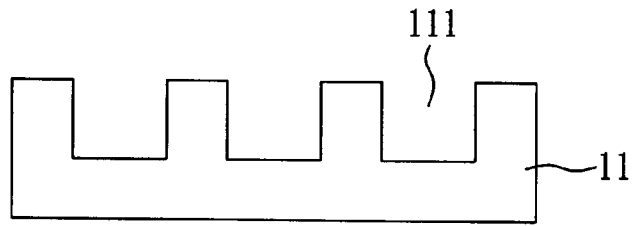
CIRCUIT BOARD WITH TWINNED CU CIRCUIT LAYER AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明係有關於一種具有雙晶銅線路層之電路板及其製作方法，其中電路板包括下列步驟：(A) 提供一基板，其一表面設有一第一線路層，且第一線路層係包括一電性連接墊；(B) 形成一第一介電層於基板之表面上；(C) 形成複數開口於第一介電層中，其中每一開口係貫穿第一介電層並對應於電性連接墊以顯露電性連接墊；(D) 於開口中形成一銅晶種層；(E) 以一電鍍法於開口中沉積一奈米雙晶銅層；以及(F) 退火處理基板以轉換銅晶種層成奈米雙晶銅，且奈米雙晶銅層及轉換後之銅晶種層係形成一第二線路層，而第二線路層包括複數形成於開口中之第一導電盲孔。

A circuit board with twinned Cu circuit layer and a method for manufacturing the same are disclosed. The method for the present invention comprises the following steps: (A) providing a substrate with a first circuit layer formed thereon, wherein the first circuit layer comprises a conductive pad; (B) forming a first dielectric layer on the surface of the substrate; (C) forming plural openings in the first dielectric layer, wherein each opening penetrates through the first dielectric layer and correspond to the conductive pad to expose the conductive pad; (D) forming a Cu seeding layer in the openings; (E) forming a nano-twinned Cu layer in the openings with an electroplating process; and (F) annealing the substrate to transfer the material of the Cu seeding layer into nano-twinned Cu, wherein the nano-twinned Cu layer and the transferred Cu seeding layer are formed into a second circuit layer, and the second circuit layer comprise plural first conductive vias formed in the openings.

圖 1A



- 11 . . . 矽基板
- 111 . . . 溝槽
- 12 . . . 銅晶種層
- 13 . . . 奈米雙晶銅層
- 14 . . . 線路層
- 141 . . . 線路

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101138044

※申請日：101.10.16

※IPC 分類：H05K 1/18 (2006.01)
H05K 3/32 (2006.01)

一、發明名稱：(中文/英文)

具有雙晶銅線路層之電路板及其製作方法

Circuit board with twinned Cu circuit layer and method
for manufacturing the same

二、中文發明摘要：

本發明係有關於一種具有雙晶銅線路層之電路板及其製作方法，其中電路板包括下列步驟：(A) 提供一基板，其一表面設有一第一線路層，且第一線路層係包括一電性連接墊；(B) 形成一第一介電層於基板之表面上；(C) 形成複數開口於第一介電層中，其中每一開口係貫穿第一介電層並對應於電性連接墊以顯露電性連接墊；(D) 於開口中形成一銅晶種層；(E) 以一電鍍法於開口中沉積一奈米雙晶銅層；以及(F) 退火處理基板以轉換銅晶種層成奈米雙晶銅，且奈米雙晶銅層及轉換後之銅晶種層係形成一第二線路層，而第二線路層包括複數形成於開口中之第一導電盲孔。

三、英文發明摘要：

A circuit board with twinned Cu circuit layer and a method for manufacturing the same are disclosed. The method for the present invention comprises the following steps: (A) providing a substrate with a first circuit layer formed thereon, wherein the first circuit layer comprises a conductive pad; (B) forming a first dielectric layer on the surface of the substrate; (C) forming plural openings in the first dielectric layer, wherein each opening penetrates through the first dielectric layer and correspond to the conductive pad to expose the conductive pad; (D) forming a Cu seeding layer in the openings; (E) forming a nano-twinned Cu layer in the openings with an electroplating process; and (F) annealing the substrate to transfer the material of the Cu seeding layer into nano-twinned Cu, wherein the nano-twinned Cu layer and the transferred Cu seeding layer are formed into a second circuit layer, and the second circuit layer comprise plural first conductive vias formed in the openings.

四、指定代表圖：

(一)本案指定代表圖為：圖(1A-1D)。

(二)本代表圖之元件符號簡單說明：

| | | | |
|----|------|-----|--------|
| 11 | 矽基板 | 111 | 溝槽 |
| 12 | 銅晶種層 | 13 | 奈米雙晶銅層 |
| 14 | 線路層 | 141 | 線路 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有雙晶銅線路層之電路板及其製作方法，尤指一種積體電路用之具有雙晶銅線路層之電路板及其製作方法。

【先前技術】

隨著電子產業的蓬勃發展，對於具有體積小、重量輕、多功能且高性能之電子產品需求亦日益增加。於目前積體電路的發展上，為了將多種主動元件及被動元件設於同一個裝置上，現今多採用半導體封裝技術，以達到在有限的單位面積下容納更多數量的線路及電子元件之目的。

以往的機體電路及封裝產業上，多使用化學氣相沉積法(CVD)、電漿增強化學氣相沉積法(PECVD)、濺鍍、化學鍍或電鍍等方式形成銅導線(或稱為銅線路)。然而，以上述方法所製得之銅線路卻往往具有抗電遷移能力不理想的問題。特別是於積體電路的半導體裝置中，奈米尺度的電子導線之抗電遷移能力與機械性質，對於產品可靠度具有極大的影像。

有鑑於此，目前已發展出添加其他金屬或材料於銅導線之技術，以減少銅導線的電遷移效應。然而，此方法卻面臨到半導體製程上有污染的可能性，或是造成製作成本的增加，實際應用價值反而較低。

此外，於目前的半導體銅製程中，更發展出以物理氣相沉積法(PVD)沉積具有奈米雙晶結構之金屬銅以形成銅線路，以期能夠取代現今的銅導線，而提升銅導線之抗電遷移能力。然而，以物理氣相沉積法所形成之奈米雙晶銅，卻具有銅晶格方向無法控制而形成方向性零散的短晶格，且雙晶的密度較低，故在生產技術上無法大幅提升抗電遷移能力，而未能產生實際的應用價值。此外，當以物理氣相沉積法形成雙晶銅結構時，沉積時間漫長，且無法鍍進高深寬比的盲孔或溝槽中，故無法直接應用在銅內連線(interconnect)、銅導線、或矽穿孔(TSV)技術上。

由於雙晶銅具有良好的抗電遷移能力，若能發展一種可有效形成具有良好晶格排列之雙晶銅製作方法，則可取代現有的銅導線及其製作方法，而提升銅線路之抗電遷移能力。

【發明內容】

本發明之主要目的係在提供一種具有雙晶銅線路層之電路板，俾能提升銅線路之抗電遷移能力，而提升產品的可靠度。

本發明之另一目的係在提供一種具有雙晶銅線路層之電路板之製作方法，俾能製作出具有雙晶銅之銅線路層。

為達成上述目的，本發明之具有雙晶銅線路層之電路板之製作方法，包括下列步驟：(A) 提供一基板，其至少一表面設有一第一線路層，且第一線路層係包括一電性連

接墊；(B) 形成一第一介電層於基板之至少一表面上；(C) 形成複數開口於第一介電層中，其中每一開口係貫穿第一介電層並對應於電性連接墊以顯露電性連接墊；(D) 於開口中形成一銅晶種層；(E) 以一電鍍法於開口中沉積一奈米雙晶銅層；以及(F) 退火處理基板以轉換銅晶種層成奈米雙晶銅，且奈米雙晶銅層及轉換後之銅晶種層係形成一第二線路層，而第二線路層包括複數形成於開口中之第一導電盲孔。

經由上述製程，本發明所提供之具有雙晶銅線路層之電路板係包括：一基板，其至少一表面係設有一第一線路層，且第一線路層係包括一電性連接墊；一第一介電層，係設於基板及第一線路層之表面，其中第一介電層係具有複數開口以顯露電性連接墊；以及一第二線路層，係形成於第一介電層之一表面，第二線路層係包括複數第一導電盲孔，每一第一導電盲孔係對應設於開口中以電性連接電性連接墊，且第二線路層之材料係為一奈米雙晶銅。此外，第一線路層之材料亦較佳為一奈米雙晶銅。

本發明之具有雙晶銅線路層之電路板之製作方法係透過電鍍法及退火製程，而可形成具有優選方向且雙晶密度高的奈米雙晶銅。特別是，透過退火製程，電鍍的奈米雙晶銅會往原來沒有雙晶的晶種層成長，而將原本的晶種層轉換成奈米雙晶銅，故所形成之線路層均轉變成由奈米雙晶銅所組成。因此，於本發明之具有雙晶銅線路層之電路板中，第二線路層係由具有優選方向且雙晶密度高之奈米

雙晶銅所組成。由於此優選方向之奈米雙晶銅的表面擴散較慢，故可大幅提升銅導線之抗電遷移能力，而提升產品的可靠度。據此，相較於以往使用物理氣相沉積法所形成之銅導線，本發明之雙晶密度較高且抗電遷移能力較佳，同時具有較短的製程時間，故更適用於積體電路工業的發展應用上。

於本發明之具有雙晶銅線路層之電路板之製作方法中，步驟(C)可為：形成複數開口及複數溝槽於第一介電層中，其中每一開口係貫穿第一介電層並對應於電性連接墊以顯露電性連接墊；步驟(D)可為：分別於開口及溝槽中形成一銅晶種層；步驟(E)可為：以一電鍍法分別於開口及溝槽中沉積一奈米雙晶銅層；以及步驟(F)可為：退火處理基板以轉換銅晶種層成奈米雙晶銅，且奈米雙晶銅層及轉換後之銅晶種層係形成一第二線路層，而第二線路層包括複數形成於開口中之第一導電盲孔、及一形成於溝槽中之第一線路。經由上述製程，本發明之具有雙晶銅線路層之電路板中，第一介電層可更具有複數溝槽，第二線路層可更包括一第一線路，且第一線路係設於溝槽中。

此外，於本發明之具有雙晶銅線路層之電路板之製作方法中，於步驟(F)後可更包括一步驟(G)：於第一介電層及第二線路層之表面上形成一線路增層結構，其中線路增層結構係包括至少一第二介電層、至少一第三線路層、及複數第二導電盲孔，且部分第二導電盲孔係電性連接第二線路層。在此，第三線路層較佳係以與前述形成第二線路層

之相同方法製作。經由上述製程，本發明之具有雙晶銅線路層之電路板可更包括一線路增層結構，係設於第一介電層及第二線路層之表面，其中線路增層結構係包括至少一第二介電層、至少一第三線路層、及複數第二導電盲孔，且部分第二導電盲孔係電性連接第二線路層。在此，第三線路層之材料較佳係為一奈米雙晶銅。

於本發明之具有雙晶銅線路層之電路板及其製作方法中，奈米雙晶銅之50%以上的體積可包括複數個晶粒，且此些晶粒較佳為柱狀雙晶體(columnar twinned grain)。此外，複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

於本發明之具有雙晶銅線路層之電路板之製作方法中，奈米雙晶銅層之形成方法可為直流電鍍或脈衝電鍍。較佳為，以下述方法形成奈米雙晶銅層：提供一電鍍裝置，該電鍍裝置包括一陽極、一陰極、一電鍍液、以及一電力供應源，電力供應源係分別與陽極及陰極連接，且陽極及陰極係浸泡於該電鍍液中；以及使用電力供應源提供電力進行電鍍，由陰極之一表面成長奈米雙晶銅層。在此，所使用之電鍍液可包括有：一銅的鹽化物、一酸、以及一氫離子來源。

於上述之電鍍液中，氫離子主要功能之一係可用以微調整晶粒成長方向，使雙晶金屬具有結晶優選方向。此外，其酸可為一有機或無機酸，以增加電解質濃度而提高電鍍

速度，例如可使用硫酸、甲基磺酸、或其混合，此外，電鍍液中的酸之濃度較佳可為80-120 g/L。再者，電鍍液須同時包含有銅離子來源(亦即，銅之鹽化物，例如，硫酸銅或甲基磺酸銅)。該電鍍液較佳的組成中，也可更包括一添加物係選自由：明膠(gelatin)、介面活性劑、晶格修整劑(lattice modification agent)、及其混合所組成之群組，用以調整此些添加物質可用以微調整晶粒成長方向。

在此，電鍍裝置之電力供應源較佳係直流電電鍍供應源、或高速脈衝電鍍供應源、或直流電鍍與高速脈衝電鍍二者交互使用為之，可使雙晶金屬層形成速率提升。當該步驟(B)中使用直流電電鍍供應源時，電流密度較佳可為1-12 ASD，最佳可為2-10 ASD(例如，8 ASD)。當該步驟(B)中使用高速脈衝電鍍供應源時，其操作條件較佳為： T_{on} / T_{off} (sec) 為0.1/2-0.1/0.5之間(例如，0.1/2、0.1/1、或0.1/0.5)，電流密度為1-25 ASD(最佳可為5 ASD)。在此條件下進行電鍍，奈米雙晶銅之成長速率以實際通電時間計算，較佳可為0.22-2.64 $\mu\text{m}/\text{min}$ 。例如，當電鍍之電流密度為8 ASD時，該雙晶金屬之成長速率可至1.5-2 $\mu\text{m}/\text{min}$ (例如，1.76 $\mu\text{m}/\text{min}$)。本發明中，奈米雙晶銅層之厚度可依據電鍍時間長短進行調整，其範圍較佳為約0.1-500 μm ，更佳為0.8-200 μm ，最佳為1-20 μm 。習知技術所製得具有優選方向的雙晶銅金屬層無填充性，量產厚度僅可達到約0.1 μm ，因此僅可作為晶種層使用，無法直接應用於如導線之處。但本發明之電鍍奈米雙晶銅層的厚度可達0.1-500 μm ，

而可直接鍍製在介電層之開口或溝槽中，而可應用於本發明之電路板之線路層製作上。

此外，當電鍍進行時，該陰極或該電鍍液係可以50-1500 rpm之轉速旋轉，以幫助雙晶成長方向及速率。透過適當的電鍍條件，本發明所得之奈米雙晶銅層之晶粒之直徑較佳可為0.1-50 μm ，更佳可為1-10 μm ；晶粒厚度較佳可為0.01-500 μm ，更佳可為0.1-200 μm 。

於本發明之具有雙晶銅線路層之電路板之製作方法中，退火處理之條件可為本技術領域常使用的處理條件，只要可將銅晶種層之材料轉換成奈米雙晶銅即可。例如，可於200-500°C下進行退火處理15-120分鐘，較佳係於250-450°C下進行退火處理40-100分鐘，且更佳係於270-350°C下進行退火處理50-70分鐘。

再者，於本發明之具有雙晶銅線路層之電路板及其製作方法中，基板之材料及結構並無特殊限定，可為矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、銅箔基板、三五族材料基板、絕緣板、或具有多層線路之電路板。此外，包含有線路層之封裝基板、三維積體電路(3D-IC)板、半導體晶片等亦可做為本發明之基板。

本發明之雙晶金屬之製備方法遠比習知技術所使用的物理氣相沉積法的時間更短，沉積效率與速度更快。無需使用昂貴的氣相沉積設備，故生產成本可因此大幅下降。此外，更可簡易的製作出密度高且具有[111]優選方向之奈米雙晶銅，其除了具有優異的機械性質外(較高的彈性模

數)，更因雙晶排列而可提升線路層之抗電遷移能力，進而增加產品的可靠度，而特別適用於積體電路的製作上。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

實施例1

圖1A至圖1D係本實施例之銅線路層之製備流程剖面示意圖。圖2係為本實施例之用以形成銅線路層之電鍍裝置示意圖。

如圖1A所示，首先，提供一矽基板11，其表面設有複數溝槽111，且溝槽111之高度及深度係分別為 $0.8\ \mu\text{m}$ 及 $0.8\ \mu\text{m}$ 。接著，使用如圖2所示之電鍍裝置，對矽基板11進行電鍍。如圖2所示，將矽基板11置於一電鍍裝置2中作為陰極；其中，該電鍍裝置2包括有陽極22，係浸泡於電鍍液24中並連接至一直流電供應源26(在此係使用Keithley 2400)。陽極22使用之材料可為金屬銅、磷銅或惰性陽極(如鈦鍍白金)；於本實施例中，陽極22使用之材料為金屬銅。此外，電鍍液24係包括有硫酸銅(銅離子濃度為 $20\text{-}60\text{g/L}$)、氯離子(濃度為 $10\text{-}100\text{ppm}$)、以及甲基磺酸(濃度為 $80\text{-}120\text{g/L}$)，並可

添加其他界面活性劑或晶格修整劑(如 BASF Lugalvan 1-100ml/L)。選擇性地，本實施例之電鍍液24更可包含有機酸(例如，甲基磺酸)、明膠(gelatin)、或以上的混合物，用以調整晶粒結構與尺寸。

接著，利用物理氣相沉積法，以脈衝電流施加固定電流，以於矽基板11及其溝槽111中沉積一銅晶種層12，如圖1B所示。在此，銅晶種層12厚度約 $0.05\ \mu\text{m}$ 。於形成銅晶種層12後，以2-10ASD的電流密度之直流電進行電鍍，由矽基板11開始朝著箭頭所指之方向(如圖2所示)於銅晶種層12表面成長奈米雙晶銅層13，如圖1C所示。成長過程中，雙晶之(111)面以及奈米雙晶銅層13之平面係約垂直於電場的方向，並以約 $1.76\ \mu\text{m}/\text{min}$ 的速率成長雙晶銅；更具體而言，奈米雙晶銅層13係沿著垂直(111)方向，即平行電場方向成長。

成長完成之奈米雙晶銅層13包括有複數個雙晶銅晶粒，該雙晶銅晶粒由複數個雙晶銅所組成，此奈米雙晶銅晶粒延伸到表面，因此奈米雙晶銅層13表面所顯露的同樣是(111)面。電鍍完成後得到的奈米雙晶銅層13厚度約 $2\ \mu\text{m}$ ，且[111]晶軸係為垂直(111)面之軸。

最後，將矽基板11從電鍍裝置中取出，以 400°C 加熱退火處理30分鐘後，奈米雙晶銅層13之雙晶銅會往原來沒有雙晶之銅晶種層12成長，進而將銅晶種層12轉換成奈米雙晶銅。經由此退火處理後，奈米雙晶銅層13與原先之銅晶

種層 12(如圖 1C 所示)會轉換並形成一線路層 14，且此線路層 14 係包括一線路 141。

特別是，經由本實施例之電鍍及退火製程，線路層 14 則不將包含原本不具雙晶特性之晶種層，而完全為具有奈米雙晶銅結構之線路層。據此，線路層 14 係由複數個奈米雙晶銅晶粒所組成，此奈米雙晶銅晶粒延伸到表面，因此線路層 14 表面所顯露的同樣是(111)面。

此外，經聚焦離子束(Focused Ion Beam, FIB)分析後，線路層 14 之奈米雙晶銅 43 之 50% 以上的體積包括有複數個柱狀晶粒，而每一晶粒中有複數個層狀奈米雙晶銅。此外，此些柱狀晶粒之直徑之範圍係約為 0.5 μm 至 8 μm 且高度約為 2 μm 至 20 μm ，奈米雙晶平面 661(水平條紋)與(111)平面平行，雙晶晶粒間是晶界 662，銅之(111)平面垂直於厚度 T 方向，且雙晶銅層 43 之厚度 T 約為 20 μm (可於 0.1 μm -500 μm 之間任意調整)。相鄰之該晶粒間之堆疊方向(幾乎等同於[111]晶軸)之夾角係 0 至 20 度以內。

圖 3A 及圖 3B 係分別為本實施例之銅線路層未進行退火處理前及退火處理後之離子影像分析結果圖。如圖 3A 所示，未進行退火處理前可看到矽基板 11 上係依序形成有銅晶種層 12 及奈米雙晶銅層 13；而如圖 3B 所示，經退火處理後，整個線路層 14 均由奈米雙晶銅所組成，故原先之銅晶種層已轉換成奈米雙晶銅。

實施例 2

圖 4A 至圖 4E 係本實施例之電路板之製備流程剖面示意圖。

如圖 4A 所示，首先提供一基板 31，其至少一表面設有一第一線路層，此第一線路層係做為一電性連接墊 32。於本實施例中，基板 31 係為一具有多層線路之電路板；在此僅以示意圖表示，而未描述其詳細結構。此外，第一線路層之電性連接墊 32 亦使用如實施例 1 所述之線路層製作方法製備，而具有奈米雙晶銅結構。

接著，如圖 4B 所示，形成一第一介電層 33 於基板 31 之至少一表面上。而後，以本技術領域常用之製程，如黃光顯影製程，形成開口 331 及溝槽 332 於第一介電層 33 中，其中開口 331 係貫穿第一介電層 33 並對應於電性連接墊 32 以顯露電性連接墊 32。

而後，如圖 4C 所示，以與如實施例 1 所述之銅晶種層相同之製作方法及條件，分別於開口 331 及溝槽 332 中形成一銅晶種層 34；再以與如實施例 1 所述之奈米雙晶銅層相同之製作方法及條件，以電鍍法分別於開口 331 及溝槽 332 中沉積一奈米雙晶銅層 35，如圖 4D 所示。

最後，如圖 4D 及 4E 所示，以與如實施例 1 所述之相同之退火加熱處理製程及條件，退火處理基板 31 以轉換銅晶種層 34 成奈米雙晶銅。經由退火處理後，奈米雙晶銅層 35 及轉換後之銅晶種層 34 係形成一第二線路層 36，而此第二線路層 36 包括形成於開口 331 中之第一導電盲孔 361、及一形成於溝槽 332 中之第一線路 362，如圖 4E 所示。

經由上述製程，如圖4E所示，本實施例之電路板包括：一基板31，其表面設有一第一線路層，且第一線路層係包括一電性連接墊32；一第一介電層33，係設於基板31及第一線路層之表面，其中第一介電層33係具有複數開口331以顯露電性連接墊32；以及一第二線路層36，係形成於第一介電層33之一表面，第二線路層36係包括複數第一導電盲孔361，第一導電盲孔361係對應設於開口331中以電性連接電性連接墊32，且第二線路層36之材料係為一奈米雙晶銅。此外，第一介電層33更具有溝槽332，第二線路層36更包括一第一線路362，且第一線路362係設於溝槽332中。

特別是，本實施例之第二線路層36之材料係與實施例1之奈米雙晶銅相同，其由複數個奈米雙晶銅晶粒所組成，此奈米雙晶銅晶粒延伸到表面，因此第二線路層36表面所顯露的同樣是(111)面。

實施例3

圖5A至圖5B係本實施例之電路板之剖面示意圖。

如圖5A所示，本實施例之電路板係包括：一基板41，其表面設有一第一線路層，且第一線路層係包括一電性連接墊42；一第一介電層43，係設於基板41及第一線路層之表面；以及一第二線路層44，係形成於第一介電層43之一表面，第二線路層44係包括複數第一導電盲孔441及第一線路442，第一導電盲孔441係對應且電性連接至電性連接墊42。在此，基板、第一介電層43及第二線路層44之製作方法及條件係與實施例2相同，故在此不再贅述。

此外，本實施例之電路板更透過一線路增層結構製程，以於第一介電層43及第二線路層44表面形成線路增層結構45。其中，線路增層結構45包括第二介電層451、第三線路層452、及第二導電盲孔453，且第二導電盲孔453係電性連接第二線路層44。在此，線路增層結構之第二介電層451、第三線路層452及第二導電盲孔453之製作方法及條件係與實施例2之第一介電層、第二線路層及第一導電盲孔之相同，故在此不再贅述。

此外，本實施例之電路板之最外層第三線路層452上，可更形成有一防焊層46。其中，防焊層46設有防焊層開口461，以顯露部分第三線路層452做為後續與其他半導體裝置之連接墊，如圖5B所示。

於本實施例中，第一線路層及其電性連接墊42、第二線路層44及其第一導電盲孔441、及第三線路層452及其第二導電盲孔453之材料均為奈米雙晶銅，且均由複數個奈米雙晶銅晶粒所組成，此奈米雙晶銅晶粒延伸到表面，因此第二線路層36表面所顯露的同樣是(111)面。

由於奈米雙晶銅具有優秀的機械性質、較高的彈性模數、較佳之抗電遷移能力，故本發明之電路板及其製作方法，特別適用於積體電路之後段製程(back-end-of-line, BEOL)，而製作出具有極佳抗電遷移特性之銅內連線，而提升產品的可靠度。

101年11月14日修正替換頁

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖 1A 至圖 1D 係本發明實施例 1 之銅線路層之製備流程剖面示意圖。

圖 2 係為本發明實施例 1 之用以形成銅線路層之電鍍裝置示意圖。

圖 3A 係為本發明實施例 1 之銅線路層未進行退火處理前之離子影像分析結果圖。

圖 3B 係為本發明實施例 1 之銅線路層經退火處理後之離子影像分析結果圖。

圖 4A 至圖 4E 係本發明實施例 2 之電路板之製備流程剖面示意圖。

圖 5A 至圖 5B 係本發明實施例 3 之電路板之製備流程剖面示意圖。

【主要元件符號說明】

| | | | |
|----|------|-----|--------|
| 11 | 矽基板 | 111 | 溝槽 |
| 12 | 銅晶種層 | 13 | 奈米雙晶銅層 |
| 14 | 線路層 | 141 | 線路 |
| 2 | 電鍍裝置 | 22 | 陽極 |
| 24 | 電鍍液 | 26 | 直流電供應源 |

| |
|-------------------|
| 101年11月4日修(更)正替換頁 |
|-------------------|

| | | | |
|----------|--------|----------|--------|
| 31, 41 | 基板 | 32, 42 | 電性連接墊 |
| 33, 43 | 第一介電層 | 331 | 開口 |
| 332 | 溝槽 | 34 | 銅晶種層 |
| 35 | 奈米雙晶銅層 | 36, 44 | 第二線路層 |
| 361, 441 | 第一導電盲孔 | 362, 442 | 第一線路 |
| 45 | 線路增層結構 | 451 | 第二介電層 |
| 452 | 第三線路層 | 453 | 第二導電盲孔 |
| 46 | 防焊層 | 461 | 防焊層開口 |

103年7月24日修(更)正替換頁

七、申請專利範圍：

1. 一種具有雙晶銅線路層之電路板，包括：

一基板，其至少一表面係設有一第一線路層，且該第一線路層係包括一電性連接墊；

一第一介電層，係設於該基板及該第一線路層之表面，其中該第一介電層係具有複數開口以顯露該電性連接墊；以及

一第二線路層，係形成於該第一介電層之一表面，該第二線路層係包括複數第一導電盲孔，每一該第一導電盲孔係對應設於該開口中以電性連接該電性連接墊，且該第二線路層之材料係為一奈米雙晶銅；

其中，該奈米雙晶銅之50%以上的體積包括複數個晶粒，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

2. 如申請專利範圍第1項所述之電路板，其中該第一介電層更具有複數溝槽，該第二線路層更包括一第一線路，且該第一線路係設於該溝槽中。

3. 如申請專利範圍第1項所述之電路板，其中該複數個晶粒係為柱狀雙晶體。

4. 如申請專利範圍第1項所述之電路板，更包括一線路增層結構，係設於該第一介電層及該第二線路層之表面，其中該線路增層結構係包括至少一第二介電層、至少一第三線路層、及複數第二導電盲孔，且部分該第二導電盲孔係電性連接該第二線路層。

5. 如申請專利範圍第4項所述之電路板，其中該第三線路層之材料係為一奈米雙晶銅。

6. 如申請專利範圍第5項所述之電路板，其中該奈米雙晶銅之50%以上的體積包括複數個晶粒。

7. 如申請專利範圍第6項所述之電路板，其中該複數個晶粒係為柱狀雙晶體。

8. 如申請專利範圍第6項所述之電路板，其中該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

9. 一種具有雙晶銅線路層之電路板之製作方法，包括下列步驟：

(A) 提供一基板，其至少一表面設有一第一線路層，且該第一線路層係包括一電性連接墊；

(B) 形成一第一介電層於該基板之至少一表面上；

(C) 形成複數開口於該第一介電層中，其中每一該開口係貫穿該第一介電層並對應於該電性連接墊以顯露該電性連接墊；

(D) 於該開口中形成一銅晶種層；

(E) 以一電鍍法於該開口中沉積一奈米雙晶銅層，其中，該奈米雙晶銅之50%以上的體積包括複數個晶粒，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度；
以及

(F) 退火處理該基板以轉換該銅晶種層成奈米雙晶銅，且該奈米雙晶銅層及轉換後之該銅晶種層係形成一第二線路層，而該第二線路層包括複數形成於該開口中之第一導電盲孔。

10. 如申請專利範圍第9項所述之製作方法，其中步驟(C)為：形成複數開口及複數溝槽於該第一介電層中，其中每一該開口係貫穿該第一介電層並對應於該電性連接墊以顯露該電性連接墊；步驟(D)為：分別於該開口及該溝槽中形成一銅晶種層；步驟(E)為：以一電鍍法分別於該開口及該溝槽中沉積一奈米雙晶銅層；以及步驟(F)為：退火處理該基板以轉換該銅晶種層成奈米雙晶銅，且該奈米雙晶銅層及轉換後之該銅晶種層係形成一第二線路層，而該第二線路層包括複數形成於該開口中之第一導電盲孔、及一形成於該溝槽中之第一線路。

11. 如申請專利範圍第9項所述之製作方法，其中該奈米雙晶銅之50%以上的體積包括複數個晶粒。

12. 如申請專利範圍第11項所述之製作方法，其中該複數個晶粒係為柱狀雙晶體。

13. 如申請專利範圍第11項所述之製作方法，其中該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

14. 如申請專利範圍第11項所述之製作方法，其中於步驟(F)後更包括一步驟(G)：於該第一介電層及該第二線路層之表面上形成一線路增層結構，其中該線路增層結

構係包括至少一第二介電層、至少一第三線路層、及複數第二導電盲孔，且部分該第二導電盲孔係電性連接該第二線路層。

15. 如申請專利範圍第14項所述之製作方法，其中該第三線路層之材料係為一奈米雙晶銅。

16. 如申請專利範圍第15項所述之製作方法，其中該奈米雙晶銅之50%以上的體積包括複數個晶粒。

17. 如申請專利範圍第16項所述之製作方法，其中該複數個晶粒係為柱狀雙晶體。

18. 如申請專利範圍第16項所述之製作方法，其中該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

圖1A

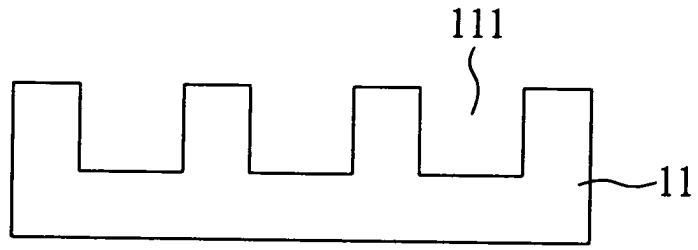


圖1B

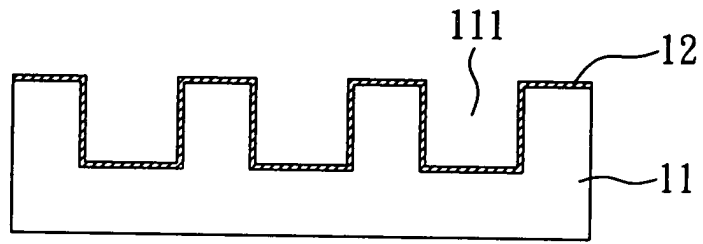


圖1C

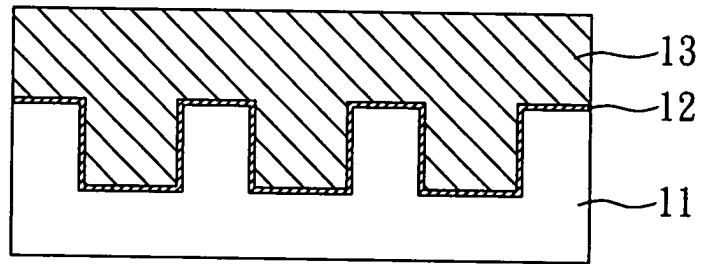
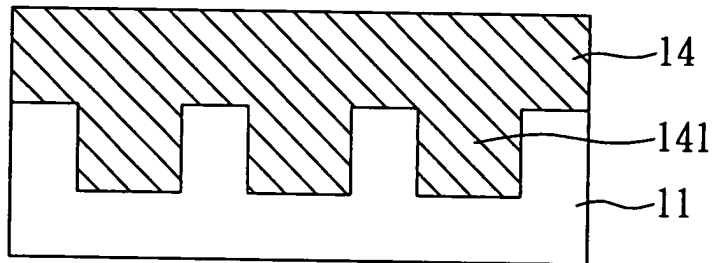


圖1D



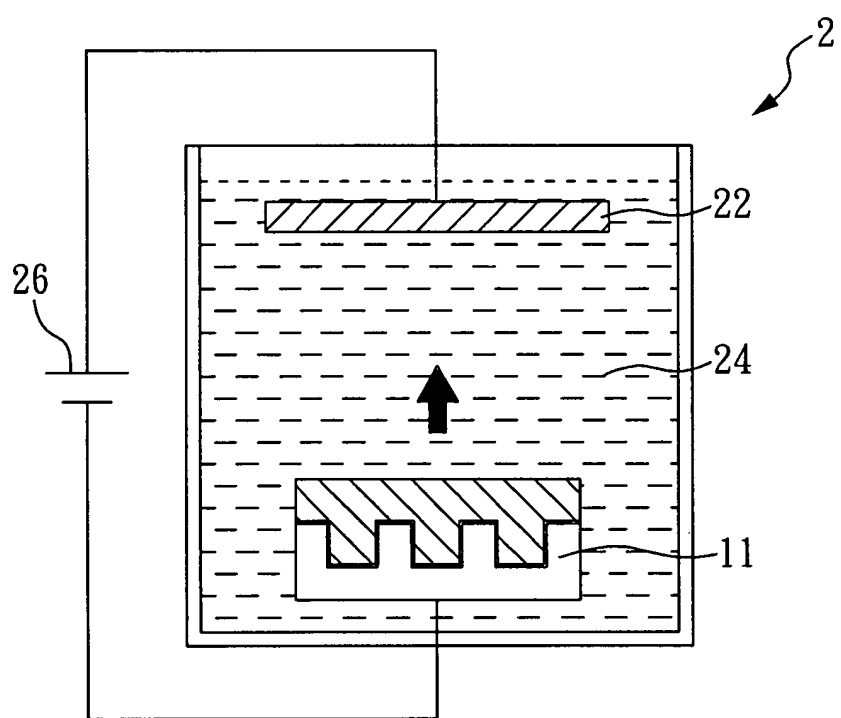


圖2

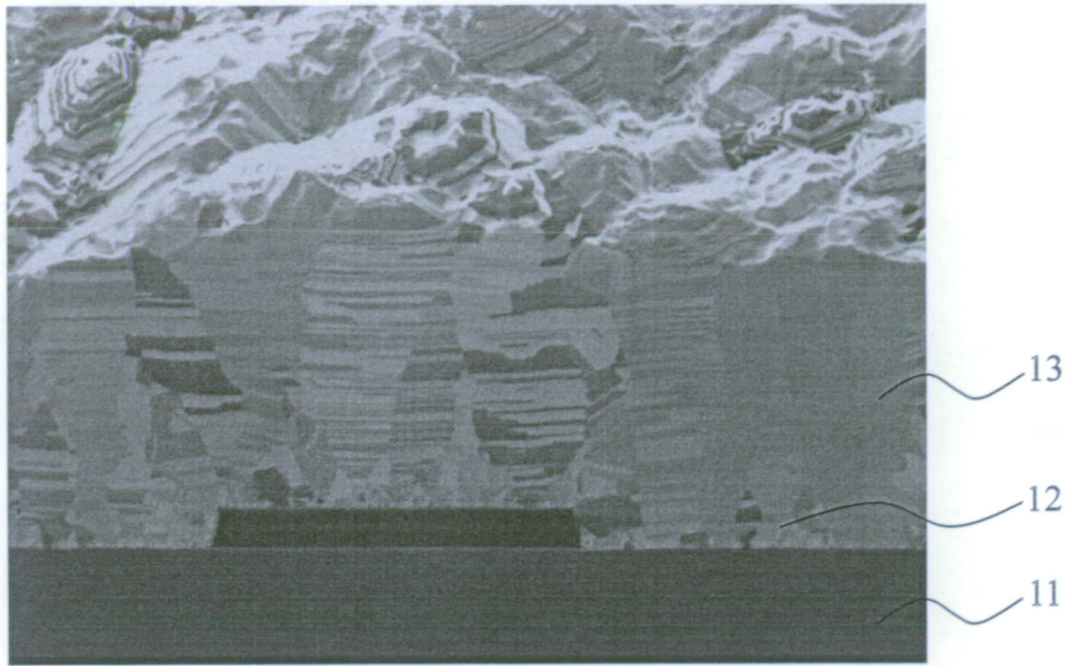


圖 3A

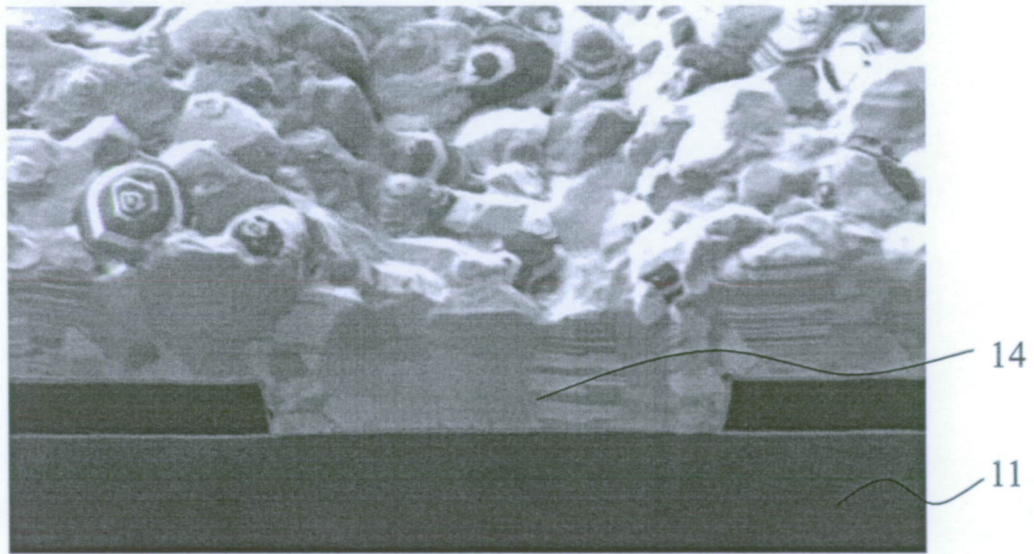


圖 3B

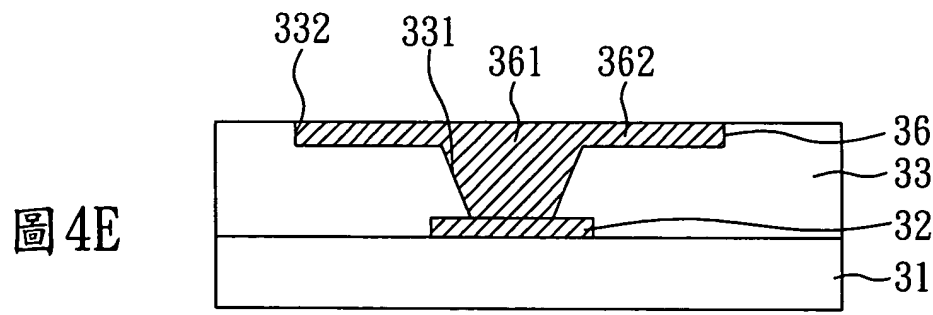
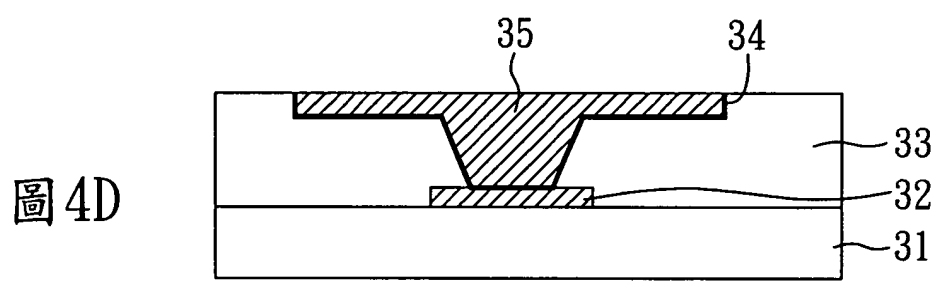
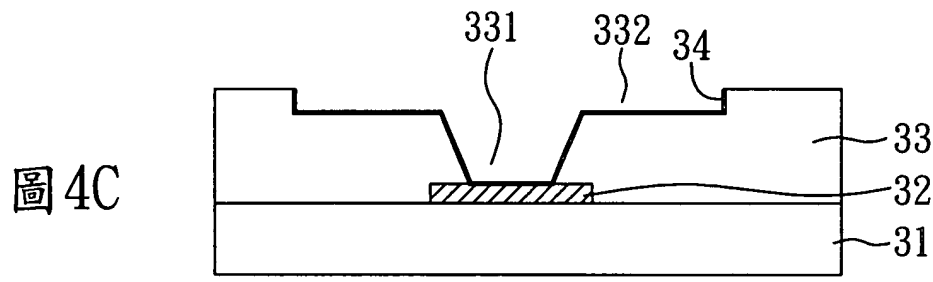
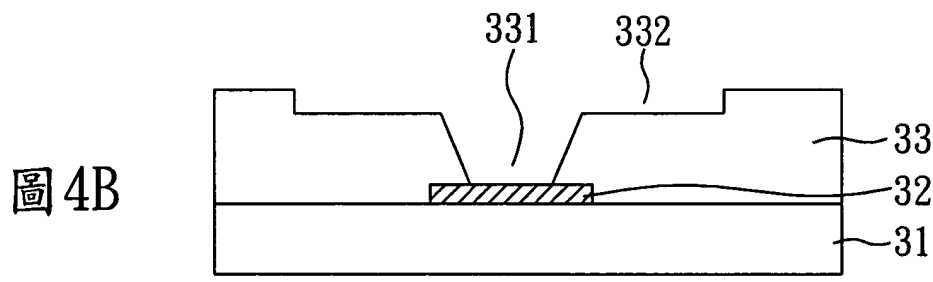
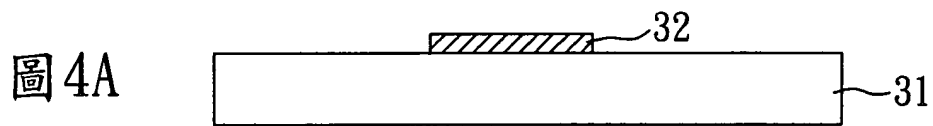


圖 5A

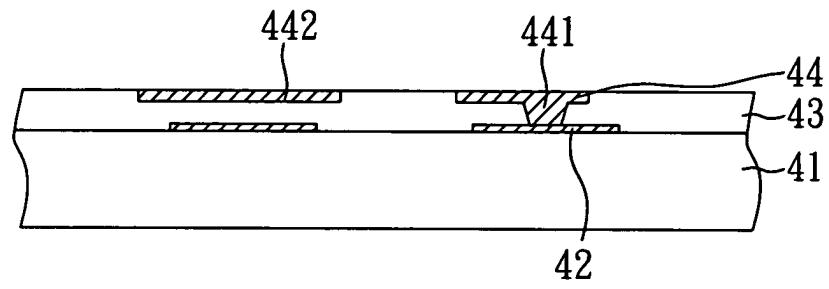


圖 5B

