

發明專利說明書

PD1060762

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96150425

※ 申請日期： 96-10-27 ※IPC 分類： G01R 31/28 (2006.01)

一、發明名稱：(中文/英文)

利用數位激發訊號來準確測量放大器開路增益之裝置

DEVICE FOR ACCURATELY MEASURING AMPLIFIER'S OPEN-LOOP GAIN WITH
DIGITAL STIMULI

二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

吳重雨/WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共1人)

姓 名：(中文/英文)

洪浩喬/HONG, HAO-CHIAO

國 籍：(中文/英文)

中華民國/R.O.C

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種可接收數位激發訊號並可準確量測放大器開路增益之裝置，其包含：數位電荷轉換器(DCC)、電荷積分器、類比/數位轉換器(ADC)、控制邏輯電路、以及算術邏輯單元(ALU)。其中該數位電荷轉換器(DCC)與該電荷積分器係由複數個開關、一個以上的取樣電容器、一個以上的積分電容器與一個單端(single-ended)或差動(differential)輸出之待測試運算放大器(OPAUT)等元件所構成。該數位電荷轉換器(DCC)、該電荷積分器、該類比/數位轉換器(ADC)受該控制邏輯電路所產生之控制訊號所控制，構成一個可接收一個以上數位激發訊號之一階三角積分調變器。該算術邏輯單元(ALU)根據該(等)數位激發訊號與該一階三角積分調變器的數位輸出計算出該單端或差動輸出之待測試運算放大器的開路增益。或者，該控制邏輯電路更可接收一數位模式訊號，且當該控制邏輯電路接收之數位模式訊號為測試模式時，該(等)取樣電容器、該(等)積分電容器、該待測試運算放大器、該類比/數位轉換器(ADC)、以及複數個開關受該控制邏輯電路所產生之複數個控制訊號所控制，重構成該可接收數位輸入激發訊號之一階三角積分調變器，並利用該算術邏輯單元計算出該單端或差動輸出之待測試運算放大器之開路增益。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 5 圖。

(二)本代表圖之元件符號簡單說明：

2	類 比 / 數 位 轉 換 器
4'	數 位 電 荷 轉 換 器
5'	電 荷 積 分 器
7	控 制 邏 輯 電 路
8	算 術 邏 輯 單 元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種可準確測量放大器開路增益之裝置，特別地是，本發明係關於一種可接收數位激發訊號並可準確測量放大器開路增益之裝置。

【先前技術】

大多數的混合信號電路之功能及準確性皆相當依賴設置於其中之運算放大器的開路增益。然而，製程變異會嚴重影響運算放大器的開路增益，即便使用 SPICE (Simulation Program with Integrated Circuit Emphasis, 積體電路分析模擬程式) 進行電路模擬，仍不能藉由其模擬結果精確得知所製作出之運算放大器的真實開路增益為何。因此，準確量測運算放大器增益對於診斷雛形電路是否符合產品設計規格，便顯得相當重要。

傳統上，開路增益之量測需使用昂貴的網路分析儀及繁冗之測試設定，現今系統單晶片 (system on chip, SOC) 積體電路中經常整合數十個運算放大器於單一晶片之中，而這些嵌入式 (Embedded) 運算放大器通常無法驅動沈重的晶片外負載，致使無法使用傳統測試法來測試此種運算放大器的開路增益。此外，有限的觀察接腳使得量測嵌入式運算放大器之增益變得更加困難且昂貴。

參照 G. Giustolisi 及 G. Palumbo 在 2002 年 1 月 IEEE Trans. On Circuits and Systems 期刊中所揭露的一種測試回授放大器之開路增益因子的測試方法，此測試方法需要

極耗成本的網路分析儀來量測回授放大器的相位及振幅響應，惟此方法不適用於量測 SOC 內之待測運算放大器，原因在於待測運算放大器的驅動能力不足而且晶片的接腳有限，此外，該方法並假設待測運算放大器之轉移函數 (Transfer function) 僅有兩個主要極點 (dominant poles)，此為不當之假設，若待測運算放大器之主要極點超過兩個，則會導致顯著的量測誤差。

另參照 K. Arabi 及 B. Kaminska 在 1998 年 4 月於 IEEE JSSC 期刊所發表之 “Design for Testability of Embedded Integrated Operational Amplifiers” 論文中所揭露的一種用以量測嵌入式積體運算放大器之設計，此設計係藉由運算放大器及輔助電阻、電容所構成之振盪器來估計待測運算放大器的頻寬增益乘積，在一些假設之下，待測運算放大器的頻寬增益乘積可藉由觀察振盪頻率而導出，此方法無需昂貴的網路分析器，然而此方法不能量測待測運算放大器之開路增益，此外，該設計對於寄生電容相當敏感，原因在於寄生電容會改變振盪頻率。

再參照 M. Burns 及 G.W.Roberts 在 2001 年奧克福大學所出版 An introduction to mixed-signal IC test and measurement 乙書，其中第 68 頁及 69 頁提到對放大器特性的量測方法。另外，W. M. C. Sansen, M. Steyaert, 及 P.J.V. Vandeloo 在 1985 年 5 月於 IEEE Trans. On instrumentation and measurement 期刊中曾揭露在頻域中對運算放大器特性之量測，上述兩種傳統量測方法需要昂貴精確的類比激發信號產生器、電

位計及輔助放大器等，且需要至少兩個比值很大的電阻（電阻比值近似開路增益），所以並不適合用在嵌入式運算放大器的量測上。

而針對習知之一階三角積分調變器部份，以下先敘述其基本原理與缺失。請參照第 1a 圖所示之方塊圖，其包含一減法器，一迴路濾波器 (loop filter) 1，一類比數位轉換器 (A/D) 2 以及一數位類比轉換器 (D/A) 3。而第 1b 圖為第 1a 圖所對應之線性模型 (linear model)，故由 z -頻域的觀點來看，可推出：

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z) \quad (1)$$

，(1)式亦可改寫成下式：

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (2)$$

其中 $Y(z)$ 為輸出函數、 $X(z)$ 為輸入函數而 $E(z)$ 為該一階三角積分調變器所產生之量化誤差，並可定義其信號轉移函數 (Signal Transfer Function, STF) 與雜訊轉移函數 (Noise Transfer Function, NTF) 分別為

$$STF(z) = \frac{H(z)}{1+H(z)} \quad (3)$$

$$NTF(z) = \frac{1}{1+H(z)} \quad (4)$$

其中 $H(z)$ 為該迴路濾波器之離散時間轉移函數 (discrete-time transfer function)。若將 $H(z)$ 設計成一個在低頻時具有高增益的函數，則由 (3) 式與 (4) 式可知，若將 $STF(z)$

設計成具有低通或全通濾波器 (low-pass or all-pass filter) 的特性，且 $NTF(z)$ 具有高通濾波器 (high-pass filter) 的特性，則當輸入訊號 $X(z)$ 經過三角積分調變之後，大部分的量化雜訊會被移到高頻部分，使得信號基頻範圍內的量化雜訊大大的減少，而被移到高頻的量化雜訊部份則可利用數位低通濾波器來濾除。選擇：

$$H(z) = \frac{1}{z-1} = \frac{z^{-1}}{1-z^{-1}} \quad (5)$$

即可達成目的。此時，該迴路濾波器即為一個積分器。

經由詳細的電路分析可知，在適當的測試設定下，該一階三角積分調變器之增益誤差 (gain error) 主要由組成該積分器之該運算放大器的開路增益所決定。因此，若可以準確量得該一階三角積分調變器之增益誤差，就能計算出該運算放大器的開路增益。由於習知三角積分調變器之輸入部分必須是類比信號當作輸入，惟類比信號較不易精準控制而且較易受測試設定與環境雜訊的影響。要使用類比訊號進行增益誤差測試必需要使用可以準確控制的類比訊號源，這種高品質訊號源通常只有高成本的測試機台方能提供；此外，如何保證測試設定與測試環境不會造成額外的誤差更是一個難題。所以，使用類比信號進行測試不但困難度較高，而且昂貴。

因此，為改善上述習知技術之缺點並可準確量測運算放大器之開路增益，本發明在此特別提出利用待測運算放

大器、複數個開關、複數個電容、一個類比數位轉換器、以及數個直流電壓等簡單元件所構成之一種一階三角積分調變器，特別是指可用數位激發輸入信號來準確測量放大器開路增益之裝置。

本發明之目的在於提供一種可用來量測單端輸出或雙端輸出之待測運算放大器(OPAUT)開路增益的裝置。

本發明之另一目的在於當控制邏輯電路接收之數位模式訊號為測試模式時，提供一種結合數個開關、數個電容器、一個類比數位轉換器、一個待測運算放大器、以及數位電路而可重構成的一個可接收至少一個數位輸入激發訊號之一階三角積分調變器。

本發明之再一目的在於提供一種結合數個開關、數個電容器、一個類比數位轉換器、一個運算放大器、以及數位電路而構成的一個可接收至少一個數位輸入激發訊號之一階三角積分調變器。

【發明內容】

本發明之第一個觀點係提供一種可接收數位激發訊號並可準確量測放大器開路增益之裝置，其包含：數位電荷轉換器(DCC)，係由至少一個取樣電容器以及複數個開關所構成，用以接收複數個控制信號與複數個參考訊號(reference signal)以產生一電荷訊號輸出；電荷積分器，包含一單端輸出之待測運算放大器、與至少一積分電容器，用以接收該數位電荷轉換器之電荷訊號輸出與至少一參考訊號並輸出一積分訊號，該待測運算放大器具有一正輸入

端與一負輸入端並將正輸入端與負輸入端之電位差放大產生該積分訊號輸出；類比/數位轉換器(ADC)，接收該電荷積分器之積分訊號輸出與一參考訊號之輸入，並輸出一數位回授訊號，該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態；控制邏輯電路，至少接收一時脈訊號(CLK)、至少一個數位激發訊號與該數位回授訊號，用以產生控制訊號來控制該等開關與類比/數位轉換器，其中該(等)數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流(Sigma-Delta modulated digital stimulus bit-stream)，每一該數位輸入激發訊號包含兩個邏輯狀態：第1邏輯狀態與第2邏輯狀態，此外，該時脈訊號係用以產生至少二個不重疊(non-overlap)之時脈相位(clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；以及算術邏輯單元(ALU)，至少接收該數位輸入激發訊號及該數位回授訊號，用以運算出該待測運算放大器之開路增益。

當該控制邏輯電路接收之數位模式訊號(T)為測試模式時，則該等開關、該(等)取樣電容器、該積分電容器、該待測運算放大器、該控制邏輯電路與該類比/數位轉換器(ADC)即可重構成一個可接收數位輸入激發訊號之一階三角積分調變器。

在本發明之另一個觀點中，提供一種可接收數位激發訊號並可準確量測運算放大器開路增益之裝置，其包含：數位電荷轉換器(DCC)，係由至少一取樣電容器對，以及複

數個開關所構成，用以至少接收複數個參考訊號以及複數個控制信號，以產生二電荷訊號輸出，其中該取樣電容器對係由第一取樣電容器 (C_{s+}) 與第二取樣電容器 (C_{s-}) 所組成；電荷積分器，包含一雙端輸出之待測運算放大器以及至少一積分電容器對，用以接收該數位電荷轉換器之該等電荷訊號輸出並輸出一積分訊號，其中該(等)積分電容器對係由第一積分電容器 (C_{f+}) 與第二積分電容器 (C_{f-}) 所組成，該待測運算放大器具有一正輸入端、一負輸入端、一正輸出端、與一負輸出端，並將該正輸入端與該負輸入端之電位差放大產生該積分訊號於該正輸出端與該負輸出端之間；類比/數位轉換器 (ADC)，接收該電荷積分器之該積分訊號輸出，並輸出一數位回授訊號，其中該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態；控制邏輯電路，至少接收一時脈訊號 (CLK)、該數位回授訊號、與至少一數位輸入激發訊號，用以產生該等控制訊號來控制該等開關，該(等)數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流 (Sigma-Delta modulated digital stimulus bit-stream)，該(等)數位輸入激發訊號包含兩個邏輯狀態：第 1 邏輯狀態與第 2 邏輯狀態，此外，該時脈訊號係用以產生至少二個不重疊 (non-overlap) 之時脈相位 (clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；以及算術邏輯單元 (ALU)，至少接收該(等)數位輸入激發訊號及該數位回授訊號，用以運算出該待測運算放大器之開路增益。

在本發明之再另一個觀點中，可於上述該等裝置中更包含至少一個或至少一獨立切換電容器 (C_R) 對，該(等)獨立切換電容器可依該數位回授訊號之邏輯狀態，獨立於該等參考訊號與該待測運算放大器之負輸入端或正輸入端間作切換。

為使本發明之上述和其他目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

參照第 2 圖中所示，其為本發明之可接收數位激發訊號並可準確量測放大器開路增益之裝置之第一實施例之方塊圖。如第 2 圖中所示，該裝置包含：數位電荷轉換器 (DCC) 4，係由至少一個取樣電容器以及複數個開關所構成，該等開關由複數個控制訊號所控制，用以根據至少一數位輸入激發訊號，一數位回授訊號、以及複數個參考訊號以產生一電荷訊號輸出，其中該數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流 (Sigma-Delta modulated digital stimulus bit-stream)，該數位輸入激發訊號包含兩個邏輯狀態：第 1 邏輯狀態與第 2 邏輯狀態；電荷積分器 5，包含一單端輸出之待測運算放大器 51 與至少一積分電容器，用以接收該數位電荷轉換器之電荷訊號輸出與至少一參考訊號並輸出一積分訊號，該待測運算放大器 51 具有一正輸入端與一負輸入端並將正輸入端與負輸入端之電位差放大產生該積分訊號輸出；類比/數位轉換器

(ADC)2，接收該電荷積分器 5 之積分訊號輸出與至少一參考訊號 (reference signal) 之輸入，並輸出一數位回授訊號，該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態；控制邏輯電路 7，至少接收一時脈訊號 (CLK)、每一該數位激發訊號與該數位回授訊號，用以產生控制訊號來控制該數位電荷轉換器 4 內之該等開關與該類比/數位轉換器 2，此外，該時脈訊號係用以產生至少二個不重疊 (non-overlap) 之時脈相位 (clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；以及算術邏輯單元 (ALU)8，至少接收該(等)數位輸入激發訊號及該數位回授訊號，用以計算出該待測運算放大器 51 之開路增益。

此外，該控制邏輯電路更可接收一數位模式訊號 T，且該數位模式訊號 T 至少具有兩個狀態，包括正常模式狀態 (例如 $T=0$) 及測試模式狀態 (例如 $T=1$)。當該控制邏輯電路 7 接收之數位模式訊號 T 為測試模式時，該等開關、每一該取樣電容器、該待測運算放大器、該積分電容器、該類比/數位轉換器 2、以及該控制邏輯電路 7 重構成第 2 圖所示之可接收該(等)數位輸入激發訊號之一階三角積分調變器。

該等複數個參考訊號包含第一參考訊號 (V_{c1})，第二參考訊號 (V_{c2})，第三參考訊號 (V_{r1}) 以及第四參考訊號 (V_{r2})，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定

義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1，且該待測運算放大器為理想時，該數位電荷轉換器之 Z 域 (Z-domain) 轉移函數可表示為：

$$-\left[\sum_{k=1}^N C_{sk} D_{ik}(z) - C_s z^{-1} D_y(z)\right] V_{ref} + C_s (V_{c2} - V_{c1}) \quad (6)$$

，其中，N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}, k=1, \dots, N$ 為控制該(等)取樣電容器之該(等)數位輸入激發訊號， C_{sk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器之電容值且 $C_s = \sum_{k=1}^N C_{sk}$ ， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ，以及 V_{ref} 為該第三參考訊號 (Vr1) 以及該第四參考訊號 (Vr2) 之差值的一半。此外，該電荷積分器 5 之 Z 域轉移函數可表示為：

$$\frac{-1}{\left(1 + \frac{1}{A}\right) C_f} \frac{1}{1 - z^{-1}} \quad (7)$$

，其中 C_f 為該積分電容器之電容值，A 為該待測運算放大器 51 之開路增益。

上述之該(等)數位輸入激發訊號與數位回授訊號可滿足下列方程式：

$$D_y(z) = \sum_{k=1}^N STF_k(z) D_{ik}(z) + NTF(z) E(z) + D_c \quad (8)$$

，其中 D_y 為該數位回授信號， D_c 為一與該電路結構和該等參考訊號相關且與頻率無關之常數， $D_{ik}(z)$ ， $k \in \{1, \dots, N\}$

爲該(等)數位輸入激發信號， $STF_k(z)$ 表示相對於該數位輸入激發信號 $D_{ik}(z)$ 之轉移函數， $E(z)$ 表示該類比/數位轉換器2所產生之量化誤差， $NTF(z)$ 表示該裝置之量化誤差轉移函數，以及 N 爲一自然數且代表該(等)數位輸入激發信號的個數。

上述裝置之至少一該數位輸入激發信號包含一低頻正弦波，該算術邏輯單元8計算該正弦波之轉移函數並依下式求得該待測運算放大器51之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_s} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} + \frac{C_f}{C_s} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)} \quad (9)$$

，其中 f_{in} 爲該低頻正弦波之頻率， f_{clk} 爲該等時脈相位之頻率， A 爲該待測運算放大器51之開路增益， $C_s = \sum_{k=1}^N C_{sk}$ ，以及 N 爲一自然數且代表該(等)數位輸入激發信號的個數。此外，該算術邏輯單元8更可依下式求得該待測運算放大器51之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_s} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A}} \cong 1 - \frac{1}{A} \quad (10)$$

如上所述，該算術邏輯單元8藉由計算該低頻頻率之增益誤差絕對值之倒數，進而求得該待測運算放大器51之開路增益。此外，所屬技術領域中具有通常知識者依照上

述說明與公式或圖式，而利用該算術邏輯單元 8 或其它類似裝置(例如，數位訊號處理器(DSP)或微處理器等)所計算出該待測運算放大器 51 之開路增益近似解，仍不脫離本發明申請專利範圍所界定之精神與範圍。

此處以 $N=2$ 為例，參照第 3a 與 3b 圖，其分別為當第 2 圖中之數位電荷轉換器 4 與電荷積分器 5 處於第一時脈相位與第二時脈相位時之電路圖，且其中每一該(等)取樣電容器 (C_{s1} 、 C_{s2})與該積分電容器 (C_f)均具有一負極板端與一正極板端，該待測運算放大器(OPAMP under test, OPAUT)51 為一單端輸出之運算放大器且其負輸入端係連接到該積分電容器 (C_f)之正極板端，而正輸入端則與該第一參考訊號(V_{c1})連接，且該待測運算放大器 51 之積分訊號輸出端連接至該積分電容器 (C_f)之負極板端。

當此裝置在第一時脈相位內時(如第 3a 圖中所示，其中實線箭頭代表數位輸入激發訊號 D_{ik} 為第 1 邏輯狀態時之連接狀態，而虛線箭頭代表數位輸入激發訊號 D_{ik} 為第 2 邏輯狀態時之連接狀態)：當每一數位輸入激發訊號為第 1 邏輯狀態時，該(等)相對應之取樣電容 (C_{s1} 、 C_{s2})之負極板端連接至該第三參考訊號(V_{r1})，當每一該數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之取樣電容 (C_{s1} 、 C_{s2})之負極板端與該第四參考訊號(V_{r2})連接，此外，每一該(等)取樣電容 (C_{s1} 、 C_{s2})之正極板端與該第二參考訊號(V_{c2})連接。

當該裝置在第二時脈相位內時(參照第 3b 圖中所示，其中實線箭頭代表數位回授訊號 D_y 為最大邏輯狀態時之連

接狀態，而虛線箭頭代表數位回授訊號 D_y 為最小邏輯狀態時之連接狀態)：當該數位回授訊號為該最大邏輯狀態時，每一該(等)相對應之取樣電容 (C_{s1} 、 C_{s2}) 之負極板端與該第三參考訊號 (V_{r1}) 連接，當該數位回授訊號為該最小邏輯狀態時，每一該(等)相對應之取樣電容 (C_{s1} 、 C_{s2}) 之負極板端與該第四參考訊號 (V_{r2}) 連接，此外，每一該(等)取樣電容 (C_{s1} 、 C_{s2}) 之正極板端與該待測運算放大器 51 之負輸入端連接。

在此值得注意的是，該第一參考訊號 (V_{c1}) 可為該第二參考訊號 (V_{c2})、該第三參考訊號 (V_{r1}) 或該第四參考訊號 (V_{r2})。此外，該第二參考訊號 (V_{c2}) 亦可為該第三參考訊號 (V_{r1}) 或該第四參考訊號 (V_{r2})。

接下來詳細說明本發明之第二實施例。在本實施例之可接收數位激發訊號並可準確量測放大器開路增益之裝置中，除了包含上述第一實施例之所有構件外，更包含至少一獨立切換電容器於該數位電荷轉換器 (DCC) 4 中，該(等)獨立切換電容器可依該數位回授訊號之邏輯狀態而獨立於該等參考訊號與該待測運算放大器 51 之負輸入端間作切換。

在此實施例中，該複數個參考訊號包含第一參考訊號 (V_{c1})，第二參考訊號 (V_{c2})，第三參考訊號 (V_{r1}) 以及第四參考訊號 (V_{r2})。當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1，且

該待測運算放大器為理想時，該數位電荷轉換器之 Z 域 (Z-domain) 轉移函數可表示為：

$$-\left[\sum_{k=1}^N C_{sk} D_{ik}(z) - C_R z^{-1} D_y(z)\right] V_{ref} - (C_s + C_R)(V_{cm} - V_{c2}) \quad (11)$$

，其中， N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}, k=1, \dots, N$ ，為控制該(等)取樣電容器之該(等)數位輸入激發訊號， C_{sk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器之電容值且 $C_s = \sum_{k=1}^N C_{sk}$ ， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ， C_R 為該(等)獨立切換電容器之電容值總合， V_{ref} 為該第三參考訊號(Vr1)以及該第四參考訊號(Vr2)之差值的一半，以及 V_{cm} 為該第三參考訊號(Vr1)以及該第四參考訊號(Vr2)之平均值。此外，該電荷積分器 5 之 Z 域轉移函數可表示為：

$$\frac{-1}{\left(1 + \frac{1}{A}\right)C_f} \frac{1}{1 - z^{-1}} \quad (12)$$

，其中 C_f 為該積分電容器之電容值總和， A 為該待測運算放大器之開路增益。

由於至少一該數位輸入激發訊號包含一低頻正弦波，故該算術邏輯單元計算該正弦波之轉移函數可依下式求得該待測運算放大器 51 之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_R} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} \left(1 + \frac{C_s}{C_R}\right) + \frac{C_f}{C_R} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)} \quad (13)$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為待測運算放大器 51 之開路增益，以及 N 為一自然數且代表該(等)數位輸入激發訊號的個數。參照第(13)式，當該 f_{in} 遠小於 f_{clk} 時，則該算術邏輯單元可計算該低頻頻率之增益誤差絕對值之倒數乘以 $\left(1 + \frac{C_S}{C_R}\right)$ ，以成為該待測運算放大器 51 之開路增益。此外，該算術邏輯單元 8 更可依下式求得該待測運算放大器 51 之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_R} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A} \left(1 + \frac{C_S}{C_R}\right)} \quad (14)$$

在此，所屬技術領域中具有通常知識者依照上述說明與公式或圖式而利用該算術邏輯單元 8 或其它類似裝置(例如，數位訊號處理器(DSP)或微處理器等)所計算出該待測運算放大器 51 之開路增益近似解，仍不脫離本發明申請專利範圍所界定之精神與範圍。

接著參照第 4a 與 4b 圖，其分別為當本發明之第二實施例中之數位電荷轉換器 4 與電荷積分器 5 處於第一時脈相位與第二時脈相位時之電路圖。且其中該待測運算放大器 51 之負輸入端係連接到該積分電容(C_f)之正極板端，而該待測運算放大器 51 之正輸入端則與該第一參考訊號(V_{c1})連接，且該待測運算放大器 51 之積分訊號輸出端連接至該積分電容(C_f)之負極板端。

當此裝置在該第一時脈相位內時(如第 4a 圖中所示，

其中實線箭頭代表數位輸入激發訊號 D_{ik} 為第 1 邏輯狀態時之連接狀態，而虛線箭頭代表數位輸入激發訊號 D_{ik} 為第 2 邏輯狀態時之連接狀態)：該(等)獨立切換電容 (C_R) 的負極板端連接至該第二參考訊號 (V_{c2})，以及當每一數位輸入激發訊號為第 1 邏輯狀態時，該(等)相對應之取樣電容 (C_{s1} 、 C_{s2}) 之負極板端連接至該第三參考訊號 (V_{r1})，當每一該數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之取樣電容 (C_{s1} 、 C_{s2}) 之負極板端與該第四參考訊號 (V_{r2}) 連接；此外，每一該(等)取樣電容 (C_{s1} 、 C_{s2}) 與該(等)獨立切換電容 (C_R) 之正極板端與該第一參考訊號 (V_{c1}) 連接；當該裝置在第二時脈相位內時(如第 4b 圖中所示，其中實線箭頭代表數位回授訊號 D_y 為最大邏輯狀態時之連接狀態，而虛線箭頭代表數位回授訊號 D_y 為最小邏輯狀態時之連接狀態)：當該數位回授訊號為該最大邏輯狀態時，該(等)獨立切換電容器 (C_R) 之負極板端與該第三參考訊號 (V_{r1}) 連接，當該數位回授訊號為該最小邏輯狀態時，該(等)獨立切換電容器 (C_R) 之負極板端與該第四參考訊號 (V_{r2}) 連接，以及該(等)取樣電容 (C_{s1} 、 C_{s2}) 之負極板端連接至該第二參考訊號 (V_{c2})；此外，該(等)獨立切換電容器 (C_R) 與該(等)取樣電容 (C_{s1} 、 C_{s2}) 之正極板端連接至該待測運算放大器 51 之負輸入端。

接著參照第 5 圖，其為本發明之可接收數位激發訊號並可準確量測放大器開路增益之裝置之第三實施例方塊圖。該裝置包含：數位電荷轉換器 (DCC) 4'，係由至少一取樣電容器對，以及複數個開關所構成，用以接收複數個

控制訊號以及複數個參考訊號，以產生二電荷訊號輸出，其中每一該取樣電容器對係由第一取樣電容器 (C_{sk+}) 與第二取樣電容器 (C_{sk-}) 所組成 (其中 k 為該取樣電容器對之索引號)；電荷積分器 5'，包含一雙端輸出之待測運算放大器 52、至少一參考訊號以及至少一積分電容器對 (C_{f+} 、 C_{f-})，用以接收該數位電荷轉換器 4' 之該等電荷訊號輸出並輸出一積分訊號，其中該 (等) 積分電容器對係由第一積分電容器 (C_{f+}) 與第二積分電容器 (C_{f-}) 所組成，該待測運算放大器 52 具有一正輸入端、一負輸入端、一正輸出端、與一負輸出端，並將該正輸入端與該負輸入端之電位差放大產生該積分訊號於該正輸出端與該負輸出端之間；類比/數位轉換器 (ADC) 2，接收該電荷積分器 5' 之該積分訊號輸出，並輸出一數位回授訊號；控制邏輯電路 7，至少接收一時脈訊號 (CLK)、至少一數位輸入激發訊號、與該數位回授訊號，用以產生該等控制訊號來控制該等開關，其中，該 (等) 數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流 (Sigma-Delta modulated digital stimulus bit-stream)，該 (等) 數位輸入激發訊號包含兩個邏輯狀態：第 1 邏輯狀態與第 2 邏輯狀態，該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態，此外，該時脈訊號係用以產生至少二個不重疊 (non-overlap) 之時脈相位 (clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；以及算術邏輯單元 (ALU) 8，至少接收該 (等) 數位輸入激發訊號及該數位回授訊號，用以運算出該

待測運算放大器 52 之開路增益。此外，該(等)數位輸入激發訊號與數位回授訊號亦可滿足如第(8)式所示之方程式。

在本實施例中，該控制邏輯電路更可接收一數位模式訊號 T，且該數位模式訊號 T 至少具有兩個狀態，包括正常模式狀態(例如 T=0)及測試模式狀態(例如 T=1)。當該控制邏輯電路 7 接收之該數位模式訊號為測試模式時，該等開關、該(等)取樣電容器對、該(等)積分電容器對、該待測運算放大器、該類比/數位轉換器 2'、以及該控制邏輯電路 7 即重構成一個可接收該等數位輸入激發訊號之一階三角積分調變器。

此外，該複數個參考訊號包含第一參考訊號(Vc1)，第二參考訊號(Vc2)，第三參考訊號(Vr1)以及第四參考訊號(Vr2)，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1，且當該待測運算放大器為理想時，該數位電荷轉換器之淨電荷(net charge)輸出的 Z 域(z-domain)轉移函數可表示為：

$$-\left[\sum_{k=1}^N C_{sdk} D_{ik}(z) - C_{sd} z^{-1} D_y(z)\right] V_{ref} \quad (15)$$

，其中，N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}, k=1, \dots, N$ ，為控制該(等)取樣電容器對之數位輸入激發訊號， C_{sdk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， $C_{sd} = \sum_{k=1}^N C_{sk}$ 為所有取樣電容器對之電容值

的總和， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ，以及 V_{ref} 為該第三參考訊號 (V_{r1}) 以及該第四參考訊號 (V_{r2}) 之差值的一半。此外，該電荷積分器 5' 之 Z 域轉移函數可表示為：

$$\frac{-1}{\left(1 + \frac{1}{A}\right) C_{fAV} (1 - z^{-1})} \quad (16)$$

，其中 C_{fAV} 為該 (等) 第一積分電容器與該 (等) 第二積分電容器之平均電容值， A 為該待測運算放大器之開路增益。

該 (等) 數位輸入激發訊號包含至少一低頻正弦波，該算術邏輯單元 8 可依下式計算該正弦波之轉移函數以求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{sd}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} + \frac{C_{fd}}{C_{sd}} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)} \quad (17)$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為該待測運算放大器之開路增益， N 為一自然數且代表該 (等) 數位輸入激發訊號的個數， $D_{ik}(z)$ 為控制該 (等) 取樣電容器對之數位輸入激發訊號， C_{sdk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， $C_{sd} = \sum_{k=1}^N C_{sdk}$ 為所有取樣電容器對之電容值的總和， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ，以及 C_{fd} 為該 (等) 積分電容器對之電容值總合。此外，該算術邏輯單元 8 更可依下式求得該待測運算放大器之開路增益：

$$\left\| \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{sd}} D_{ik}(j2\pi f)} \right\|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A}} \quad (18)$$

如第(18)式所示，當 f_{in} 遠小於 f_{clk} 時，該算術邏輯單元 8 可計算該低頻頻率之增益誤差絕對值之倒數成為該待測運算放大器之開路增益。在此，所屬技術領域中具有通常知識者依照上述說明與公式或圖式，而利用該算術邏輯單元 8 或其它類似裝置(例如，數位訊號處理器(DSP)或微處理器等)所計算出該待測運算放大器 52 之開路增益近似解，仍不脫離本發明申請專利範圍所界定之精神與範圍。

再參照第 6a 與 6b 圖，其分別為依據第 5 圖(本發明之第三實施例)中之數位電荷轉換器 4' 與電荷積分器 5' 處於第一時脈相位與第二時脈相位時之電路圖。其中每一該(等)第一與第二取樣電容器及每一該(等)第一與第二積分電容器均具有一負極板端與一正極板端，該待測運算放大器 52 之負輸入端係連接到該第一積分電容器 (C_{f+}) 之正極板端，該待測運算放大器 52 之正輸出端係連接到該第一積分電容器 (C_{f+}) 之負極板端，而該待測運算放大器 52 之正輸入端則與該第二積分電容器 (C_{f-}) 之正極板端連接，且該待測運算放大器 52 之負輸出端係連接到該第二積分電容器 (C_{f-}) 之負極板端。

當該裝置在第一時脈相位內時(參照第 6a 圖，其中實線箭頭代表數位輸入激發訊號 D_{ik} 為第 1 邏輯狀態時之連接狀態，而虛線箭頭代表數位輸入激發訊號 D_{ik} 為第 2 邏輯狀

態時之連接狀態)：當每一該(等)數位輸入激發訊號為第 1 邏輯狀態時，該(等)相對應之第一取樣電容器(C_{s1+} 、 C_{s2+})之負極板端連接至該第三參考訊號(V_{r1})，該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之負極板端連接至該第四參考訊號(V_{r2})；當每一該(等)數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之第一取樣電容器(C_{s1+} 、 C_{s2+})之負極板端與該第四參考訊號(V_{r2})連接，該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之負極板端與該第三參考訊號(V_{r1})連接，此外，該(等)第一取樣電容器(C_{s1+} 、 C_{s2+})以及該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之正極板端與該第一參考訊號(V_{c1})連接。

當在第二時脈相位內時(參照第 6b 圖，其中實線箭頭代表數位回授訊號 D_y 為最大邏輯狀態時之連接狀態，而虛線箭頭代表數位回授訊號 D_y 為最小邏輯狀態時之連接狀態)：該(等)第一取樣電容器(C_{s1+} 、 C_{s2+})之正極板端與該待測運算放大器 52 之負輸入端連接；該待測運算放大器 52 之正輸入端則與該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之正極板端連接；當該數位回授訊號為該最大邏輯狀態時，該(等)第一取樣電容器(C_{s1+} 、 C_{s2+})之負極板端與該第三參考訊號(V_{r1})連接，該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之負極板端與該第四參考訊號(V_{r2})連接，當該數位回授訊號為最小邏輯狀態時，該(等)第一取樣電容器(C_{s1+} 、 C_{s2+})之負極板端與該第四參考訊號(V_{r2})連接，該(等)第二取樣電容器(C_{s1-} 、 C_{s2-})之負極板端與該第三參考訊號(V_{r1})連接。

值得注意的是，在本實施例中，該第一參考訊號(V_{c1})

可為該第三參考訊號(Vr1)或第四參考訊號(Vr2)。

接著將說明本發明之第四實施例。在本實施例中，可接收數位激發訊號並可準確量測放大器開路增益之裝置除了包含上述第三實施例之所有構件外，更包含至少一獨立切換電容器對於該數位電荷轉換器(DCC)4'中，該獨立切換電容器對係由第一獨立切換電容器(C_{R+})與第二獨立切換電容器(C_{R-})所組成，該獨立切換電容器對可依該(等)數位回授訊號之邏輯狀態獨立於該等參考訊號與該待測運算放大器52之負輸入端或正輸入端間作切換，且當該(等)數位輸入激發訊號之第1邏輯狀態被定義為+1、該(等)數位輸入激發訊號之該第2邏輯狀態被定義為-1、該數位回授訊號之該最大邏輯狀態被定義為+1且該數位回授訊號之該最小邏輯狀態被定義為-1，且當該待測運算放大器為理想時，該數位電荷轉換器4'之淨電荷輸出的Z域(Z-domain)轉移函數可表示為：

$$-\left[\sum_{k=1}^N C_{sdk} D_{ik}(z) - C_{Rd} z^{-1} D_y(z)\right] V_{ref} \quad (19)$$

，其中， N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}(z)$ 為控制該等取樣電容對之該(等)數位輸入激發訊號， C_{sdk} 為受該(等)數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ， C_{Rd} 為該(等)獨立切換電容器對之總電容值。此外，該 V_{ref} 為該第三參考訊號(Vr1)以及該第四參考訊號(Vr2)之差值。

在本實施例中，該(等)數位輸入激發訊號包含至少一

低頻正弦波，該算術邏輯單元計算該正弦波之轉移函數並依下式求得該待測運算放大器 52 之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{Rd}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} \left(1 + \frac{C_{sd}}{C_{Rd}} \right) + \frac{C_{fd}}{C_{Rd}} \left(1 + \frac{1}{A} \right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}} \right)} \quad (20)$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為待測運算放大器 52 之開路增益， C_{fd} 為該(等)積分電容器對之總電容值， C_{Rd} 為該(等)獨立切換電容器對之總電容值， C_{sd} 為所有取樣電容器對之電容值的總和， N 為一自然數且代表該(等)數位輸入激發訊號的個數。

此外，當 f_{in} 遠小於 f_{clk} 時，該算術邏輯單元 8 更可依下式求得該待測運算放大器 52 之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{Rd}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A} \left(1 + \frac{C_{sd}}{C_{Rd}} \right)} \quad (21)$$

或者，該算術邏輯單元 8 可藉由計算該低頻頻率之增益誤差絕對值之倒數乘以 $\left(1 + \frac{C_{sd}}{C_{Rd}} \right)$ 成為該待測運算放大器 52 之開路增益。

在此，所屬技術領域中具有通常知識者依照上述說明與公式或圖式，而利用該算術邏輯單元 8 或其它類似裝置(例如，數位訊號處理器(DSP)或微處理器等)所計算出該待測運算放大器 52 之開路增益近似解，仍不脫離本發明申請專利範圍所界定之精神與範圍。

參照第 7a 與 7b 圖中所示，其分別為當本發明之第四

實施例中之數位電荷轉換器 4' 與電荷積分器 5' 處於第一時脈相位與第二時脈相位時之電路圖，且其中該待測運算放大器 52 之負輸入端係連接到該第一積分電容器 (C_{f+}) 之正極板端，而其正輸入端則與該第二積分電容器 (C_{f-}) 之正極板端連接，該待測運算放大器 52 之正輸出端係連接到該第一積分電容器 (C_{f+}) 之負極板端，而該待測運算放大器 52 之負輸出端係連接到該第二積分電容器 (C_{f-}) 之負極板端。

當此裝置在第一時脈相位內時(參照第 7a 圖)：該(等)取樣電容器對之第一取樣電容器 (C_{s1+} 、 C_{s2+}) 與該(等)獨立切換電容器對之第一獨立切換電容器 (C_{R+}) 之負極板端連接至該第三參考訊號 (V_{r1})，該(等)第二取樣電容器 (C_{s1-} 、 C_{s2-}) 與第二獨立切換電容器 (C_{R-}) 之負極板端連接至該第四參考訊號 (V_{r2})，且該(等)第一取樣電容器 (C_{s1+} 、 C_{s2+})、該(等)第二取樣電容器 (C_{s1-} 、 C_{s2-})、該第一獨立切換電容器 (C_{R+}) 與該第二獨立切換電容器 (C_{R-}) 之正極板端連接至該第一參考訊號 (V_{c1})。

當在第二時脈相位內時(參照第 7b 圖，其中實線箭頭代表數位回授訊號 D_y 為最大邏輯狀態或者數位輸入激發訊號 D_{ik} 為第 1 邏輯狀態時之連接狀態，而虛線箭頭代表數位回授訊號 D_y 為最小邏輯狀態或者數位輸入激發訊號 D_{ik} 為第 2 邏輯狀態時之連接狀態)：每一該(等)第一取樣電容器 (C_{s1+} 、 C_{s2+}) 之負極板端與該第一獨立切換電容器 (C_{R+}) 之負極板端連接至該第四參考訊號 (V_{r2})，且每一該(等)第二取樣電容器 (C_{s1-} 、 C_{s2-}) 之負極板端與該第二獨立切換電容器 (C_{R-})

之負極板端連接至該第三參考訊號 (V_{r1})；當每一該數位輸入激發訊號為第 1 邏輯狀態時，該(等)相對應之取樣電容器對之該(等)第一取樣電容器 (C_{s1+} 、 C_{s2+})之正極板端與該待測運算放大器 52 之負輸入端連接，且該(等)相對應之取樣電容器對之該第二取樣電容器 (C_{s1-} 、 C_{s2-})之正極板端與待測運算放大器 52 之正輸入端連接；當每一該數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器 (C_{s1+} 、 C_{s2+})之正極板端與該待測運算放大器 52 之正輸入端連接，且該(等)相對應之取樣電容器對之該第二取樣電容器 (C_{s1-} 、 C_{s2-})之正極板端與待測運算放大器 52 之負輸入端連接；當該數位回授訊號為該最大邏輯狀態時，該第一獨立切換電容器 (C_{R+})之正極板端與待測運算放大器 52 之正輸入端連接，且該第二獨立切換電容器 (C_{R-})之正極板端與待測運算放大器 52 之負輸入端連接；當該數位回授訊號為該最小邏輯狀態時，該第一獨立切換電容器 (C_{R+})之正極板端與待測運算放大器 52 之負輸入端連接，且該第二獨立切換電容器 (C_{R-})之正極板端與待測運算放大器 52 之正輸入端連接。

上述之第四實施例亦可以另一種電路連結方式來實現(本發明之第五實施例)，並詳細說明此實施例之數位電荷轉換器 4' 與電荷積分器 5' 於第一時脈相位與第二時脈相位時之電路圖如下。

參照第 8a 與 8b 圖，在此實施例中，該待測運算放大器 52 之負輸入端係連接到該第一積分電容器 (C_{f+})之正極板

端，而該待測運算放大器 52 之正輸入端則與該第二積分電容器 (C_{f-}) 之正極板端連接，該待測運算放大器 52 之正輸出端係連接到該第一積分電容器 (C_{f+}) 之負極板端，而該待測運算放大器 52 之負輸出端係連接到該第二積分電容器 (C_{f-}) 之負極板端；當此裝置在第一時脈相位內時 (如第 8a 圖中所示)：該 (等) 第一取樣電容器 (C_{s1+} 、 C_{s2+}) 與第一獨立切換電容器 (C_{R+}) 之負極板端連接至該第三參考訊號 (V_{r1})，該 (等) 第二取樣電容器 (C_{s1-} 、 C_{s2-}) 與該第二獨立切換電容器 (C_{R-}) 之負極板端連接至該第四參考訊號 (V_{r2})，且該 (等) 第一取樣電容器 (C_{s1+} 、 C_{s2+})、該 (等) 第二取樣電容器 (C_{s1-} 、 C_{s2-})、該第一獨立切換電容器 (C_{R+}) 與該第二獨立切換電容器 (C_{R-}) 之正極板端連接至該第一參考訊號 (V_{c1})。

當此裝置在第二時脈相位內時 (如第 8b 圖中所示，其中實線箭頭代表數位回授訊號 D_y 為最大邏輯狀態或者數位輸入激發訊號 D_{ik} 為第 1 邏輯狀態時之連接狀態，而虛線箭頭代表數位回授訊號 D_y 為最小邏輯狀態或者數位輸入激發訊號 D_{ik} 為第 2 邏輯狀態時之連接狀態)：該 (等) 第一取樣電容器 (C_{s1+} 、 C_{s2+})、該 (等) 第二取樣電容器 (C_{s1-} 、 C_{s2-})、該第一獨立切換電容器 (C_{R+}) 與該第二獨立切換電容器 (C_{R-}) 之負極板端連接至該第二參考訊號 (V_{c2})；當每一該數位輸入激發訊號為第 1 邏輯狀態時，該 (等) 相對應之取樣電容器對之該第一取樣電容器 (C_{s1+} 、 C_{s2+}) 之正極板端與該待測運算放大器 52 之負輸入端連接，且該 (等) 相對應之取樣電容器對之第二取樣電容器 (C_{s1-} 、 C_{s2-}) 之正極板端與該待測運算放大器

52 之正輸入端連接；當每一數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器(C_{s1+} 、 C_{s2+})之正極板端與該待測運算放大器 52 之正輸入端連接，且該(等)相對應之取樣電容器對之第二取樣電容器(C_{s1-} 、 C_{s2-})之正極板端與該待測運算放大器 52 之負輸入端連接；當該數位回授訊號為該最大邏輯狀態時，該第一獨立切換電容器(C_{R+})之正極板端與該待測運算放大器 52 之正輸入端連接，該第二獨立切換電容器(C_{R-})之正極板端與該待測運算放大器 52 之負輸入端連接；當該數位回授訊號為該最小邏輯狀態時，該第一獨立切換電容器(C_{R+})之正極板端與該待測運算放大器 52 之負輸入端連接，該第二獨立切換電容器(C_{R-})之正極板端與該待測運算放大器 52 之正輸入端連接。

值得注意的是，上述第四與第五實施例中，該第一參考訊號(V_{c1})可為該第二參考訊號(V_{c2})、該第三參考訊號(V_{r1})或該第四參考訊號(V_{r2})。

綜上所述，本發明因採用數位激發信號來準確測量放大器開路增益，因此在診斷混合信號電路方面顯得易於達成，並且可實現低成本、易於測試設定、高量測準確性及無需驅動沈重的晶片外負載等特性。

雖然本發明已如上述較佳地揭示具體實施例，然本發明並不侷限於此，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，例如：該類比/數位轉換器(ADC)可用一比較器代替；此外，當該類比/數

位轉換器(ADC)之位元數不同(2個位元以上)導致該數位回授訊號之狀態強度不同時，該(等)獨立切換電容器可隨即做適度的調整，並不拘限於上述實施例中所述之裝置；再者，當輸入至該控制邏輯電路中之數位模式訊號為正常模式狀態(例如 $T=0$)時，該控制邏輯電路仍具有控制該電荷積分器中之元件(諸如：運算放大器、電容器等元件)、該數位電荷轉換器、與該類比/數位轉換器的功能，並不拘限於上述實施例中所述之測試模式狀態。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1a 與 1b 圖為習知之一階三角積分調變器之方塊圖與所對應之線性模型。

第 2 圖為本發明之可接收數位激發訊號並可準確量測放大器開路增益之裝置之第一實施例方塊圖。

第 3a 與 3b 圖分別為當第 2 圖之數位電荷轉換器與電荷積分器處於第一時脈相位與第二時脈相位時之電路圖。

第 4a 與 4b 圖分別為當本發明之第二實施例之數位電荷轉換器與電荷積分器處於第一時脈相位與第二時脈相位時之電路圖。

第 5 圖為本發明之可接收數位激發訊號並可準確量測放大器開路增益之裝置之第三實施例方塊圖。

第 6a 與 6b 圖分別為依據第 5 圖之數位電荷轉換器與電荷積分器處於第一時脈相位與第二時脈相位時之電路圖。

第 7 a 與 7 b 圖分別為當本發明之第四實施例之數位電荷轉換器與電荷積分器處於第一時脈相位與第二時脈相位時之電路圖。

第 8 a 與 8 b 圖分別為當本發明之第五實施例之數位電荷轉換器與電荷積分器處於第一時脈相位與第二時脈相位時之電路圖。

【主要元件符號說明】

1	迴路濾波器
2	類比/數位轉換器
3	數位/類比轉換器
4、4'	數位電荷轉換器
5、5'	電荷積分器
6	控制邏輯電路
7	算術邏輯單元
5 1	單端輸出待測運算放大器
5 2	雙端輸出待測運算放大器
C_{s1} 、 C_{s2}	取樣電容器
C_{s1+} 、 C_{s2+} 、 C_{sk+}	第一取樣電容器
C_{s1-} 、 C_{s2-} 、 C_{sk-}	第二取樣電容器
C_f	積分電容器
C_{f+}	第一積分電容器
C_{f-}	第二積分電容器
C_R	獨立切換電容器
C_{R+} 、 C_{R-}	獨立切換電容器對

D_i 、 D_{i1} 、 D_{i2}	數位輸入激發訊號
D_y	數位回授訊號
T	數位模式訊號
CLK	時脈訊號
V_{c1} 、 V_{c2} 、 V_{r1} 、 V_{r2}	參考訊號

第 96150435 號「利用數位激發訊號來準確測量放大器開路增益之裝置」專利申請案

(2008 年 11 月 6 日修正)

十、申請專利範圍：

1. 一種可接收數位激發訊號並可準確量測放大器開路增益之裝置，其包含：

數位電荷轉換器(DCC)，係由至少一個取樣電容器以及複數個開關所構成，用以至少接收複數個控制訊號以及複數個參考訊號，以產生一電荷訊號輸出；

控制邏輯電路，至少接收一時脈訊號(CLK)、一數位回授訊號、與至少一個數位激發訊號，用以產生該等控制訊號來控制該等開關與類比/數位轉換器，其中該數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流(Sigma-Delta modulated digital stimulus bit-stream)，該數位輸入激發訊號包含兩個邏輯狀態：第 1 邏輯狀態與第 2 邏輯狀態，此外，該時脈訊號係用以產生至少二個不重疊(non-overlap)之時脈相位(clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；

電荷積分器，包含一單端輸出之待測運算放大器與至少一積分電容器，用以接收該數位電荷轉換器之電荷訊號輸出與至少一該參考信號並輸出一積分訊號，該待測運算放大器具有一正輸入端與一負輸入端並將正輸入端與負輸入端之電位差放大產生該積分訊號輸出；

類比/數位轉換器(ADC)，其接收該電荷積分器之積分

訊號輸出與至少一參考訊號(reference signal)，並輸出該數位回授訊號，該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態；以及

算術邏輯單元(ALU)，至少接收該數位輸入激發訊號及該數位回授訊號，用以運算出該待測運算放大器之開路增益。

2. 如申請專利範圍第 1 項之裝置，其中該控制邏輯電路更可接收一數位模式訊號，且該數位模式訊號具有兩個狀態，包括正常模式狀態及測試模式狀態。
3. 如申請專利範圍第 2 項之裝置，其中當該控制邏輯電路接收之數位模式訊號為測試模式時，該等開關、該待測運算放大器、該(等)取樣電容器、該積分電容器、該類比/數位轉換器、以及該控制邏輯電路重構成一個可接收該(等)數位輸入激發訊號之一階三角積分調變器。
4. 如申請專利範圍第 1 項之裝置，其中該複數個參考訊號包含第一參考訊號(Vc1)，第二參考訊號(Vc2)，第三參考訊號(Vr1)以及第四參考訊號(Vr2)，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1 時，該數位電荷轉換器之 Z 域(Z-domain)轉移函數可表示為
$$-\left[\sum_{k=1}^N C_{sk} D_{ik}(z) - C_s z^{-1} D_y(z)\right] V_{ref} + Q_{os}$$
，其中，N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}, k=1, \dots, N$ ，為控制該(等)取樣電容器之該(等)數位輸入激

發訊號， C_{sk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器之電容值且 $C_s = \sum_{k=1}^N C_{sk}$ ， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ， Q_{os} 為一個與頻率無關之常數，以及 V_{ref} 為該第三參考訊號以及該第四參考訊號之差值的一半。

5. 如申請專利範圍第 1 項之裝置，其中該電荷積分器之 Z 域轉移函數可表示為 $\frac{-1}{\left(1 + \frac{1}{A}\right)C_f} \frac{1}{1-z^{-1}}$ ，其中 C_f 為該積分電容

之電容值，其中 A 為該待測運算放大器之開路增益。

6. 如申請專利範圍第 1 或第 3 項之裝置，其中該(等)數位輸入激發訊號與數位回授訊號可滿足以下方程式：

$$D_y(z) = \sum_{k=1}^N STF_k(z) D_{ik}(z) + NTF(z) E(z) + D_{os}$$

其中 D_y 為該數位回授信號， $D_{ik}(z)$ ， $k \in \{1, \dots, N\}$ 為該(等)數位輸入激發信號， $STF_k(z)$ 表示相對於該數位輸入激發信號 $D_{ik}(z)$ 之訊號轉移函數， D_{os} 為一個與頻率無關之常數， $E(z)$ 表示該類比/數位轉換器所產生之量化誤差， $NTF(z)$ 表示該裝置之量化誤差之雜訊轉移函數，以及 N 為一自然數且代表該(等)數位輸入激發訊號的個數。

7. 如申請專利範圍第 1 項之裝置，其中至少一該數位輸入激發訊號包含一低頻正弦波，該算術邏輯單元計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_s} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} + \frac{C_f}{C_s} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)}$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為待測運算放大器之開路增益， $C_s = \sum_{k=1}^N C_{sk}$ ，以及 N 為一自然數且代表該(等)數位輸入激發訊號的個數。

8. 如申請專利範圍第 7 項之裝置，其中該算術邏輯單元可計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_s} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A}}$$

。

9. 如申請專利範圍第 7 項之裝置，其中該算術邏輯單元可計算該低頻頻率之增益誤差絕對值之倒數成為該待測運算放大器之開路增益。
10. 如申請專利範圍第 7 到 9 項中任一項之裝置，其中該算術邏輯單元所計算出之該待測運算放大器之開路增益為近似解。
11. 如申請專利範圍第 1 項之裝置，其中該類比/數位轉換器可為一比較器。
12. 如申請專利範圍第 4 項之裝置，其中該(等)取樣電容之每一者與該積分電容均具有一負極板端與一正極板端，該待測運算放大器之負輸入端係連接到該積分電容之正極板端，而正輸入端則與該第一參考訊號(V_{c1})連接，且該

待測運算放大器之積分訊號輸出端連接至該積分電容 C_f 之負極板端；並當該裝置在第一時脈相位內時：

當每一數位輸入激發訊號為第 1 邏輯狀態時，該(等)相對應之取樣電容之負極板端連接至該第三參考訊號 (V_{r1})，當該數位輸入激發訊號之每一者為第 2 邏輯狀態時，該(等)相對應之取樣電容之負極板端與該第四參考訊號 (V_{r2}) 連接，此外，該(等)取樣電容之每一者之正極板端與該第二參考訊號 (V_{c2}) 連接；

當在第二時脈相位內時：

當該數位回授訊號為該最大邏輯狀態時，該(等)相對應之取樣電容之每一者之負極板端與該第三參考訊號 (V_{r1}) 連接，當該數位回授訊號為該最小邏輯狀態時，該(等)相對應之取樣電容之每一者之負極板端與該第四參考訊號 (V_{r2}) 連接，此外，該(等)取樣電容之每一者之正極板端與該待測運算放大器之負輸入端連接。

13. 如申請專利範圍第 4 項之裝置，其中該第一參考訊號可為該第二參考訊號、該第三參考訊號或該第四參考訊號。
14. 如申請專利範圍第 13 項之裝置，其中該第二參考訊號可為該第三參考訊號或該第四參考訊號。
15. 如申請專利範圍第 1 項之裝置，該複數個參考訊號包含第一參考訊號 (V_{c1})，第二參考訊號 (V_{c2})，第三參考訊號 (V_{r1}) 以及第四參考訊號 (V_{r2})，且其中該數位電荷轉換器 (DCC) 更包含至少一獨立切換電容器，該(等)獨立切換電容器可依該數位回授訊號之邏輯狀態獨立於該等參考訊號與該

待測運算放大器之負輸入端間作切換，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1 時，該數位電荷轉換器之 Z 域 (Z-domain) 轉移函數可表示為 $-\left[\sum_{k=1}^N C_{sk} D_{ik}(z) - z^{-1} C_R D_y(z)\right] V_{ref} + Q_{OS}$ ，

其中， N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}, k=1, \dots, N$ 為控制該(等)取樣電容器之該(等)數位輸入激發訊號， C_{sk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器之電容值， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ， C_R 為該(等)獨立切換電容器之電容值總合， Q_{OS} 為一與頻率無關之常數，以及 V_{ref} 為該第三參考訊號與該第四參考訊號之差值的一半。

16. 如申請專利範圍第 15 項之裝置，其中該電荷積分器之 Z 域轉移函數可表示為 $\frac{-1}{\left(1 + \frac{1}{A}\right) C_f} \frac{1}{1 - z^{-1}}$ ，其中 C_f 為該積分電容

器之電容值總和， A 為該待測運算放大器之開路增益。

17. 如申請專利範圍第 15 項之裝置，其中至少一該數位輸入激發訊號包含一低頻正弦波，該算術邏輯單元計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_R} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} \left(1 + \frac{C_S}{C_R}\right) + \frac{C_f}{C_R} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)}$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為待測運算放大器之開路增益， C_s 為該(等)取樣電容器之電容值總合，以及 N 為一自然數且代表該(等)數位輸入激發訊號的個數。

18. 如申請專利範圍第 17 項之裝置，其中該算術邏輯單元可計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left\| \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sk}}{C_R} D_{ik}(j2\pi f)} \right\|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A} \left(1 + \frac{C_s}{C_R} \right)}$$

19. 如申請專利範圍第 17 項之裝置，其中每一該數位輸入激發訊號皆包含一相同頻率與振幅之低頻正弦波，該算術邏輯單元可計算該低頻頻率之增益誤差絕對值之倒數乘以 $\left(1 + \frac{C_s}{C_R} \right)$ 成為該待測運算放大器之開路增益。

20. 如申請專利範圍第 17 到 19 項中任一項之裝置，其中該算術邏輯單元所計算出之該待測運算放大器之開路增益為近似解。

21. 如申請專利範圍第 15 項之裝置，其中該待測運算放大器之負輸入端係連接到該積分電容 (C_f) 之正極板端，而該待測運算放大器之正輸入端則與該第一參考訊號 (V_{c1}) 連接，且該待測運算放大器之積分訊號輸出端連接至該積分電容 (C_f) 之負極板端；並當此裝置在該第一時脈相位內時：

該(等)獨立切換電容(C_R)的負極板端連接至該第二參考訊號(V_{c2})，以及當每一數位輸入激發訊號為第1邏輯狀態時，該(等)相對應之取樣電容之負極板端連接至該第三參考訊號(V_{r1})，當每一該數位輸入激發訊號為第2邏輯狀態時，該(等)相對應之取樣電容之負極板端與該第四參考訊號(V_{r2})連接；此外，該(等)取樣電容(C_s)之每一者與該(等)獨立切換電容(C_R)之正極板端與該第一參考訊號(V_{c1})連接；

當在第二時脈相位內時：

當該數位回授訊號為該最大邏輯狀態時，該(等)獨立切換電容器(C_R)之負極板端與該第三參考訊號(V_{r1})連接，當該數位回授訊號為該最小邏輯狀態時，該(等)獨立切換電容器(C_R)之負極板端與該第四參考訊號(V_{r2})連接，以及該(等)取樣電容之負極板端連接至該第二參考訊號(V_{c2})；此外，該(等)獨立切換電容器(C_R)與該(等)取樣電容之正極板端連接至該待測運算放大器之負輸入端。

22. 一種可接收數位激發訊號並可準確量測放大器開路增益之裝置，其包含：

數位電荷轉換器(DCC)，係由至少一組取樣電容器對，以及複數個開關所構成，其接收複數個控制訊號以及複數個參考訊號，以產生一對電荷訊號輸出，其中該取樣電容器之每一者對係由第一取樣電容器(C_{sk+})與第二取樣電容器(C_{sk-})所組成；

控制邏輯電路，至少接收一時脈訊號(CLK)、一數位回

授訊號、與至少一數位輸入激發訊號，用以產生該等控制訊號來控制該等開關，該(等)數位輸入激發訊號係為一經過數位三角積分調變之數位激發位元流(Sigma-Delta modulated digital stimulus bit-stream)，該(等)數位輸入激發訊號包含兩個邏輯狀態：第 1 邏輯狀態與第 2 邏輯狀態，此外，該時脈訊號係用以產生至少二個不重疊(non-overlap)之時脈相位(clock phases)，其中該等時脈相位包括第一時脈相位與第二時脈相位；

電荷積分器，包含一雙端輸出之待測運算放大器以及至少一積分電容器對，用以接收該數位電荷轉換器之該等電荷訊號輸出並輸出一積分訊號，其中該(等)積分電容器對係由第一積分電容器(C_{f+})與第二積分電容器(C_{f-})所組成，該待測運算放大器具有一正輸入端、一負輸入端、一正輸出端、與一負輸出端，並將該正輸入端與該負輸入端之電位差放大產生該積分訊號於該正輸出端與該負輸出端之間；

類比/數位轉換器(ADC)，至少接收該電荷積分器之該等積分訊號輸出，並輸出該數位回授訊號，其中，該數位回授訊號至少包含兩個邏輯狀態：最大邏輯狀態與最小邏輯狀態；以及

算術邏輯單元(ALU)，至少接收該(等)數位輸入激發訊號及該數位回授訊號，用以運算出該待測運算放大器之開路增益。

23. 如申請專利範圍第 22 項之裝置，其中該控制邏輯電路更可接收一數位模式訊號，且該數位模式訊號至少具有兩個狀態，包括正常模式狀態及測試模式狀態。

24. 如申請專利範圍第 23 項之裝置，其中當該控制邏輯電路接收之該數位模式訊號為測試模式時，該等開關、該待測運算放大器、該(等)取樣電容器對、該積分電容器對、該類比/數位轉換器、以及該控制邏輯電路重構成一個可接收該(等)數位輸入激發訊號之一階三角積分調變器，其中該(等)數位輸入激發訊號與數位回授訊號可滿足以下方程式：

$$D_y(z) = \sum_{k=1}^N STF_k(z) D_{ik}(z) + NTF(z) E(z) + D_{OS}$$

其中 N 為一自然數且代表該(等)數位輸入激發訊號的個數， D_y 為該數位回授信號， D_{OS} 為一與頻率無關之常數， $D_{ik}(z)$ ， $k \in \{1, \dots, N\}$ 為該(等)數位輸入激發信號， $STF_k(z)$ 表示相對於該數位輸入激發信號 $D_{ik}(z)$ 之轉移函數， $E(z)$ 表示該類比/數位轉換器所產生之量化誤差，以及 $NTF(z)$ 表示該裝置之量化誤差轉移函數。

25. 如申請專利範圍第 22 項之裝置，其中該複數個參考訊號包含第一參考訊號(Vc1)，第二參考訊號(Vc2)，第三參考訊號(Vr1)以及第四參考訊號(Vr2)，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1 時，該數位電荷轉換器之淨電荷

(net charge)輸出的 Z 域 (Z -domain)轉移函數可表示為 $-\left[\sum_{k=1}^N C_{sdk} D_{ik}(z) - z^{-1} C_{SD} D_y(z)\right] V_{ref} + Q_{os}$ ，其中， N 為一自然數且代表該 (等)數位輸入激發訊號的個數， Q_{os} 為一與頻率無關之常數， $D_{ik}, k=1, \dots, N$ 為控制該 (等)取樣電容器對之數位輸入激發訊號， C_{sdk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， $C_{SD} = \sum_{k=1}^N C_{sdk}$ 為所有取樣電容器對之電容值的總和， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ，以及 V_{ref} 為該第三參考訊號以及該第四參考訊號之差值的一半。

26. 如申請專利範圍第 22 項之裝置，其中該電荷積分器之 Z 域轉移函數可表示為 $\frac{-1}{C_{fAV} \left(1 + \frac{1}{A}\right) (1 - z^{-1})}$ ，其中 C_{fAV} 為該 (等)積分

電容器對之電容值總合的一半。

27. 如申請專利範圍第 22 項之裝置，其中該 (等)數位輸入激發訊號與數位回授訊號可滿足以下方程式：

$$D_y(z) = \sum_{k=1}^N STF_k(z) D_{ik}(z) + NTF(z) E(z) + D_c$$

其中 D_y 為該數位回授信號， D_c 為一與該電路結構和該等參考訊號相關之常數， N 為一自然數且代表該 (等)數位輸入激發訊號的個數， $D_{ik}(z), k \in \{1, \dots, N\}$ 為該 (等)數位輸入激發信號， $STF_k(z)$ 表示相對於該數位激發信號 $D_{ik}(z)$ 之轉移函數， $NTF(z)$ 表示該裝置之量化誤差轉移函數，以及 $E(z)$ 表示該類比/數位轉換器所產生之量化誤差。

28. 如申請專利範圍第 22 項之裝置，其中至少一該數位輸入激發訊號包含一低頻正弦波，該算術邏輯單元計算該正

弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{SD}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} + \frac{C_{FD}}{C_{SD}} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)}$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為該待測運算放大器之開路增益， N 為一自然數且代表該(等)數位輸入激發訊號的個數， $D_{ik}(z)$ 為控制該(等)取樣電容器對之數位輸入激發訊號， C_{sdk} 為受該數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， $C_{SD} = \sum_{k=1}^N C_{sdk}$ 為所有取樣電容器對之電容值的總和， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ，以及 C_{FD} 為該(等)積分電容器對之電容值總合。

29. 如申請專利範圍第 28 項之裝置，其中該算術邏輯單元可計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left| \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{SD}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{1 + \frac{1}{A}}$$

30. 如申請專利範圍第 28 項之裝置，其中該算術邏輯單元可計算該低頻頻率之增益誤差絕對值之倒數成為該待測運算放大器之開路增益。

31. 如申請專利範圍第 28 到 30 項任一項之裝置，其中該算術邏輯單元所計算出之該待測運算放大器之開路增益為近似解。
32. 如申請專利範圍第 22 項之裝置，其中該類比/數位轉換器可為一比較器。
33. 如申請專利範圍第 22 項之裝置，其中該複數個參考訊號包含第一參考訊號(V_{c1})，第三參考訊號(V_{r1})以及第四參考訊號(V_{r2})，每一該(等)第一與第二取樣電容器及該(等)第一與第二積分電容器之每一者均具有一負極板端與一正極板端，該待測運算放大器之負輸入端係連接到該第一積分電容器之正極板端，該待測運算放大器之正輸出端係連接到該第一積分電容器之負極板端，而該待測運算放大器之正輸入端則與該第二積分電容器之正極板端連接，且該待測運算放大器之負輸出端係連接到該第二積分電容器之負極板端，並當該裝置在第一時脈相位內時：

當該(等)數位輸入激發訊號之每一者為第 1 邏輯狀態時，該(等)相對應之第一取樣電容器之負極板端連接至該第三參考訊號，該(等)第二取樣電容器之負極板端連接至該第四參考訊號；當該(等)數位輸入激發訊號之每一者為第 2 邏輯狀態時，該(等)相對應之第一取樣電容器之負極板端與該第四參考訊號(V_{r2})連接，該(等)第二取樣電容器之負極板端與該第三參考訊號連接，此外，該(等)第一取樣電容器以及該(等)第二取樣電容器之正極板端與該

第一參考訊號(Vc1)連接；

當在第二時脈相位內時：

當該數位回授訊號為該最大邏輯狀態時，該(等)第一取樣電容器之負極板端與該第三參考訊號(Vr1)連接，該(等)第二取樣電容器之負極板端與該第四參考訊號(Vr2)連接，當該數位回授訊號為最小邏輯狀態時，該(等)第一取樣電容器之負極板端與該第四參考訊號(Vr2)連接，該(等)第二取樣電容器之負極板端與該第三參考訊號(Vr1)連接，此外，該(等)第一取樣電容器之正極板端與該待測運算放大器之負輸入端連接；該待測運算放大器之正輸入端則與該(等)第二取樣電容器之正極板端連接。

34. 如申請專利範圍第 33 項之裝置，其中該第一參考訊號可為該第三參考訊號或第四參考訊號。

35. 如申請專利範圍第 22 項之裝置，其中該數位電荷轉換器(DCC)更包含至少一獨立切換電容器對，該獨立切換電容器對係由第一獨立切換電容器與第二獨立切換電容器所組成，該獨立切換電容器對可依該(等)數位回授訊號之邏輯狀態獨立於該等參考訊號與該待測運算放大器之負輸入端或正輸入端間作切換，且當該(等)數位輸入激發訊號之第 1 邏輯狀態被定義為 +1、該(等)數位輸入激發訊號之該第 2 邏輯狀態被定義為 -1、該數位回授訊號之該最大邏輯狀態被定義為 +1 且該數位回授訊號之該最小邏輯狀態被定義為 -1 時，該數位電荷轉換器之淨電荷輸出的 Z 域(Z-domain)轉移函數可表示為
$$-\left[\sum_{k=1}^N C_{sdk} D_{ik}(z) - z^{-1} C_{RD} D_y(z)\right] V_{ref} + Q_{OS}$$
，其中，N 為

一自然數且代表該(等)數位輸入激發訊號的個數， Q_{os} 為一與頻率無關之常數， $D_{ik}(z)$ 為控制該等取樣電容對之該(等)數位輸入激發訊號， C_{sdl} 為受該(等)數位輸入激發訊號 $D_{ik}(z)$ 控制之該取樣電容器對之電容值總合， D_y 為該數位回授訊號且 $-1 \leq D_y \leq 1$ ， C_{RD} 為該(等)獨立切換電容器對之總電容值。

36. 如申請專利範圍第 35 項之裝置，其中該 V_{ref} 為該第三參考訊號以及該第四參考訊號之差值的一半。

37. 如申請專利範圍第 35 項之裝置，其中該 V_{ref} 為該第三參考訊號以及該第四參考訊號之差值。

38. 如申請專利範圍第 35 項之裝置，其中該電荷積分器之 Z 域轉移函數可表示為 $\frac{-1}{C_{fAV} \left(1 + \frac{1}{A}\right) (1 - z^{-1})}$ ，其中 C_{fAV} 為該(等)積分

電容器對之總電容值的一半。

39. 如申請專利範圍第 35 項之裝置，其中至少一該數位輸入激發訊號包含一低頻正弦波，該算術邏輯單元計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left. \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdl}}{C_{RD}} D_{ik}(j2\pi f)} \right|_{f=f_{in}} = \frac{1}{e^{-j\frac{2\pi f_{in}}{f_{clk}}} + \frac{1}{A} \left(1 + \frac{C_{SD}}{C_{RD}}\right) + \frac{C_{FD}}{C_{RD}} \left(1 + \frac{1}{A}\right) \left(1 - e^{-j\frac{2\pi f_{in}}{f_{clk}}}\right)}$$

，其中 f_{in} 為該低頻正弦波之頻率， f_{clk} 為該等時脈相位之頻率， A 為待測運算放大器之開路增益， C_{FD} 為該(等)積分電容器對之總電容值， $C_{SD} = \sum_{k=1}^N C_{sdl}$ 為所有取樣電容器對之電容值的總和， N 為一自然數且代表該(等)數位輸入

激發訊號的個數。

40. 如申請專利範圍第 39 項之裝置，其中該算術邏輯單元可計算該正弦波之轉移函數並依下式求得該待測運算放大器之開路增益：

$$\left| \frac{D_y(j2\pi f)}{\sum_{k=1}^N \frac{C_{sdk}}{C_{RD}} D_{ik}(j2\pi f)} \right|_{f=f_m} = \frac{1}{1 + \frac{1}{A} \left(1 + \frac{C_{SD}}{C_{RD}} \right)}$$

41. 如申請專利範圍第 39 項之裝置，其中該算術邏輯單元可計算該低頻頻率之增益誤差絕對值之倒數乘以 $\left(1 + \frac{C_{SD}}{C_{RD}} \right)$ 成

為該待測運算放大器之開路增益。

42. 如申請專利範圍第 39 到 41 項中任一項之裝置，其中該算術邏輯單元所計算出之該待測運算放大器之開路增益為近似解。

43. 如申請專利範圍第 37 項之裝置，其中該待測運算放大器之負輸入端係連接到該第一積分電容器之正極板端，而正輸入端則與該第二積分電容器之正極板端連接，該待測運算放大器之正輸出端係連接到該第一積分電容器之負極板端，而該待測運算放大器之負輸出端係連接到該第二積分電容器之負極板端；當此裝置在第一時脈相位內時：

該(等)取樣電容器對之第一取樣電容器與該(等)獨立切換電容器對之第一獨立切換電容器之負極板端連接至該第三參考訊號(Vr1)，該(等)第二取樣電容器與第二獨

立切換電容器之負極板端連接至該第四參考訊號(V_{r2})，且該(等)第一取樣電容器、該(等)第二取樣電容器、該第一獨立切換電容器與該第二獨立切換電容器之正極板端連接至該第一參考訊號(V_{c1})；

當在第二時脈相位內時：

該(等)第一取樣電容器之每一者之負極板端與該第一獨立切換電容器之負極板端連接至該第四參考訊號(V_{r2})，且該(等)第二取樣電容器之每一者之負極板端與該第二獨立切換電容器之負極板端連接至該第三參考訊號(V_{r1})；

當每一該數位輸入激發訊號為第1邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器之正極板端與該待測運算放大器之負輸入端連接，且該(等)相對應之取樣電容器對之該第二取樣電容器之正極板端與待測運算放大器之正輸入端連接；

當每一該數位輸入激發訊號為第2邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器之正極板端與該待測運算放大器之正輸入端連接，且該(等)相對應之取樣電容器對之該第二取樣電容器之正極板端與待測運算放大器之負輸入端連接；

當該數位回授訊號為該最大邏輯狀態時，該第一獨立切換電容器之正極板端與待測運算放大器之正輸入端連接，且該第二獨立切換電容器之正極板端與待測運算放大器之負輸入端連接；

當該數位回授訊號為該最小邏輯狀態時，該第一獨立切換電容器之正極板端與待測運算放大器之負輸入端連接，該第二獨立切換電容器之正極板端與待測運算放大器之正輸入端連接。

44. 如申請專利範圍第36項之裝置，其中該待測運算放大器之負輸入端係連接到該第一積分電容器之正極板端，而該待測運算放大器之正輸入端則與該第二積分電容器之正極板端連接，該待測運算放大器之正輸出端係連接到該第一積分電容器之負極板端，而該待測運算放大器之負輸出端係連接到該第二積分電容器之負極板端；

當此裝置在第一時脈相位內時：

該(等)第一取樣電容器與第一獨立切換電容器之負極板端連接至該第三參考訊號(V_{r1})，該(等)第二取樣電容器與該第二獨立切換電容器之負極板端連接至該第四參考訊號(V_{r2})，且該(等)第一取樣電容器、該(等)第二取樣電容器、該第一獨立切換電容器與該第二獨立切換電容器之正極板端連接至該第一參考訊號(V_{c1})；

當此裝置在第二時脈相位內時：

該(等)第一取樣電容器、該(等)第二取樣電容器、該第一獨立切換電容器與該第二獨立切換電容器之負極板端連接至該第二參考訊號(V_{c2})；

當每一該數位輸入激發訊號為第1邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器之正極板端與該待測運算放大器之負輸入端連接，且該(等)相對應之

取樣電容器對之第二取樣電容器之正極板端與該待測運算放大器之正輸入端連接；

當每一數位輸入激發訊號為第 2 邏輯狀態時，該(等)相對應之取樣電容器對之該第一取樣電容器之正極板端與該待測運算放大器之正輸入端連接，且該(等)相對應之取樣電容器對之第二取樣電容器之正極板端與該待測運算放大器之負輸入端連接；

當該數位回授訊號為該最大邏輯狀態時，該第一獨立切換電容器之正極板端與該待測運算放大器之正輸入端連接，該第二獨立切換電容器之正極板端與該待測運算放大器之負輸入端連接；

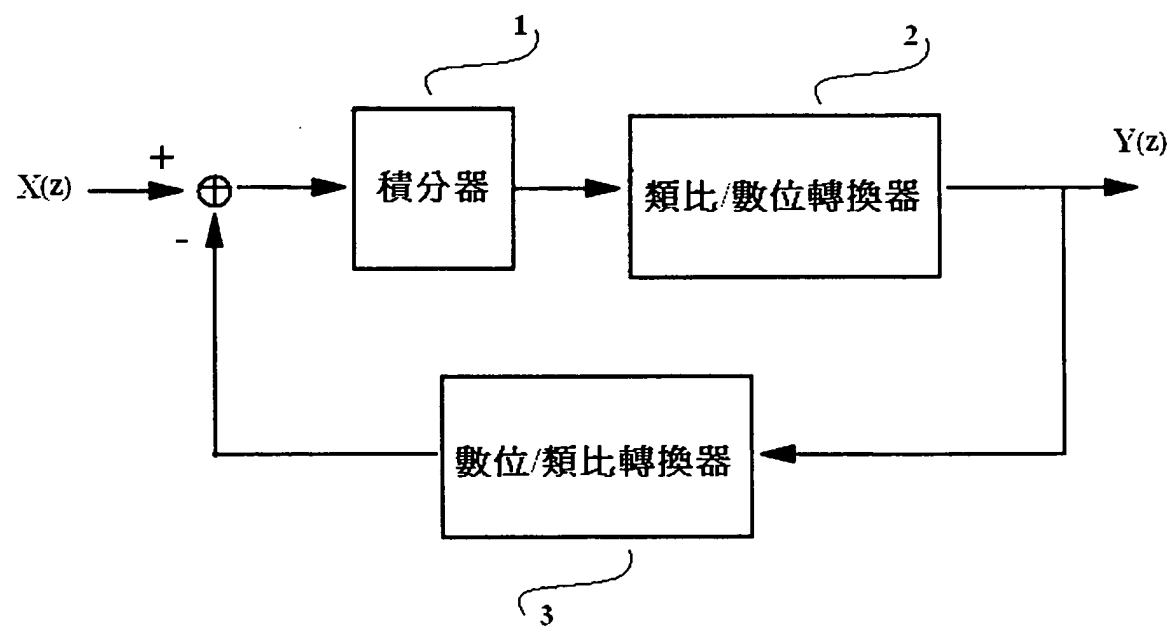
當該數位回授訊號為該最小邏輯狀態時，該第一獨立切換電容器之正極板端與該待測運算放大器之負輸入端連接，該第二獨立切換電容器之正極板端與該待測運算放大器之正輸入端連接。

45. 如申請專利範圍第 43 或 44 項之裝置，其中該第一參考訊號(V_{c1})可為該第二參考訊號、第三參考訊號、或該第四參考訊號。

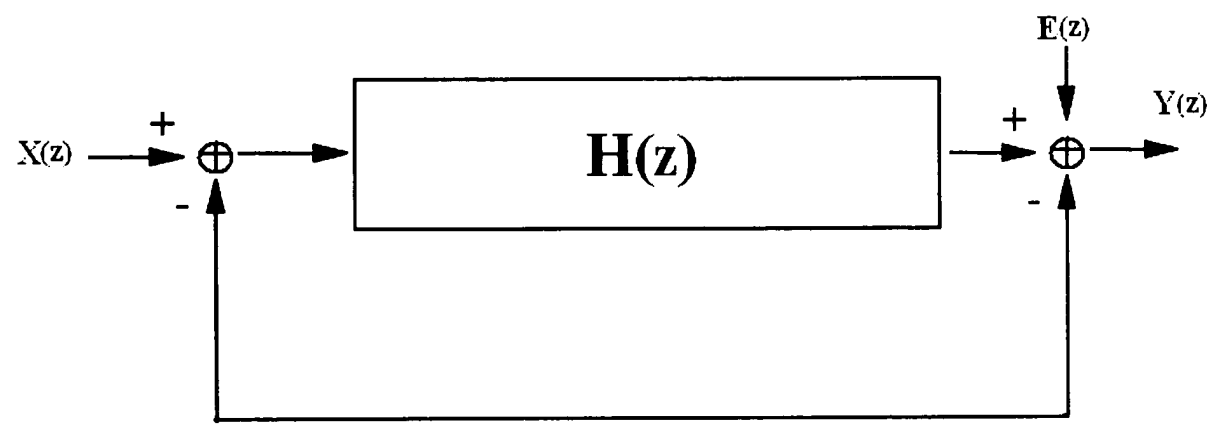
46. 如申請專利範圍第 44 項之裝置，其中該第二參考訊號(V_{c1})可為該第三參考訊號或該第四參考訊號。

十一、圖式：

(2008 年 11 月 6 日修正)

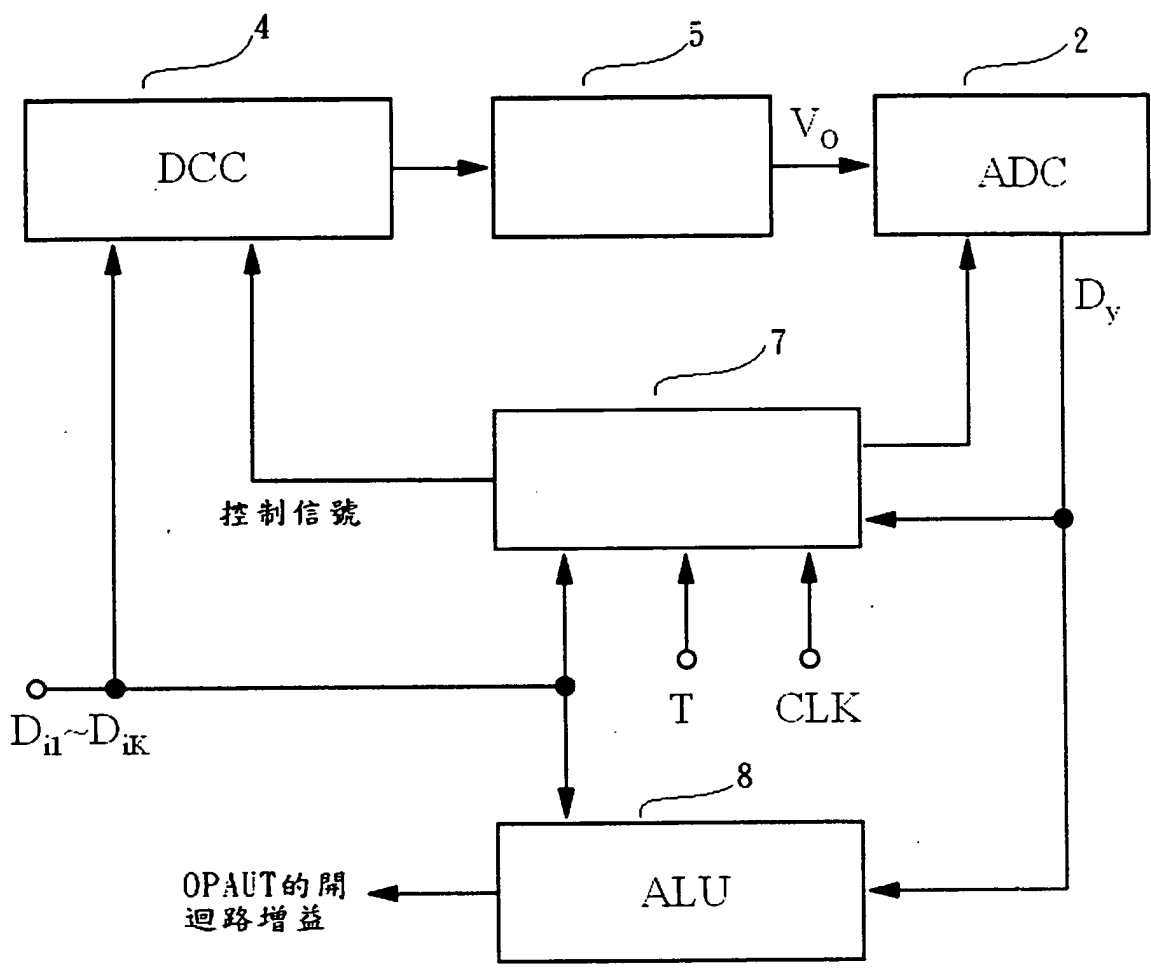


第 1 a 圖



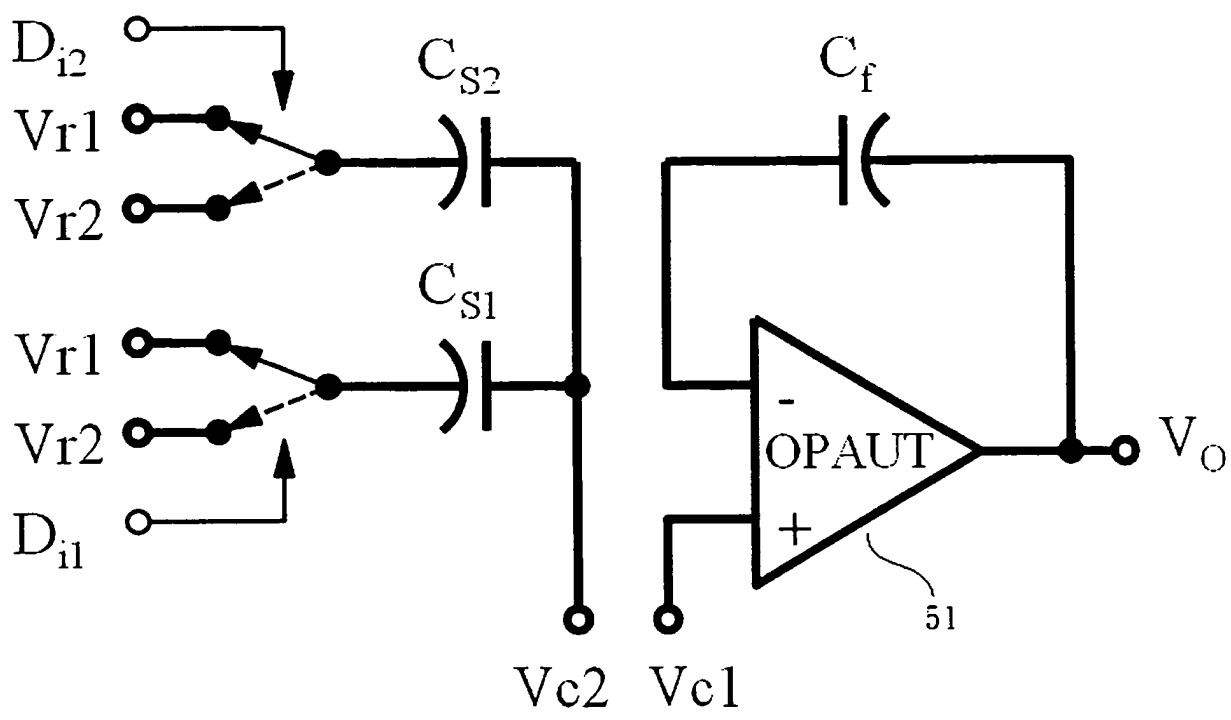
第 1 b 圖

91年1月6日修正替換頁

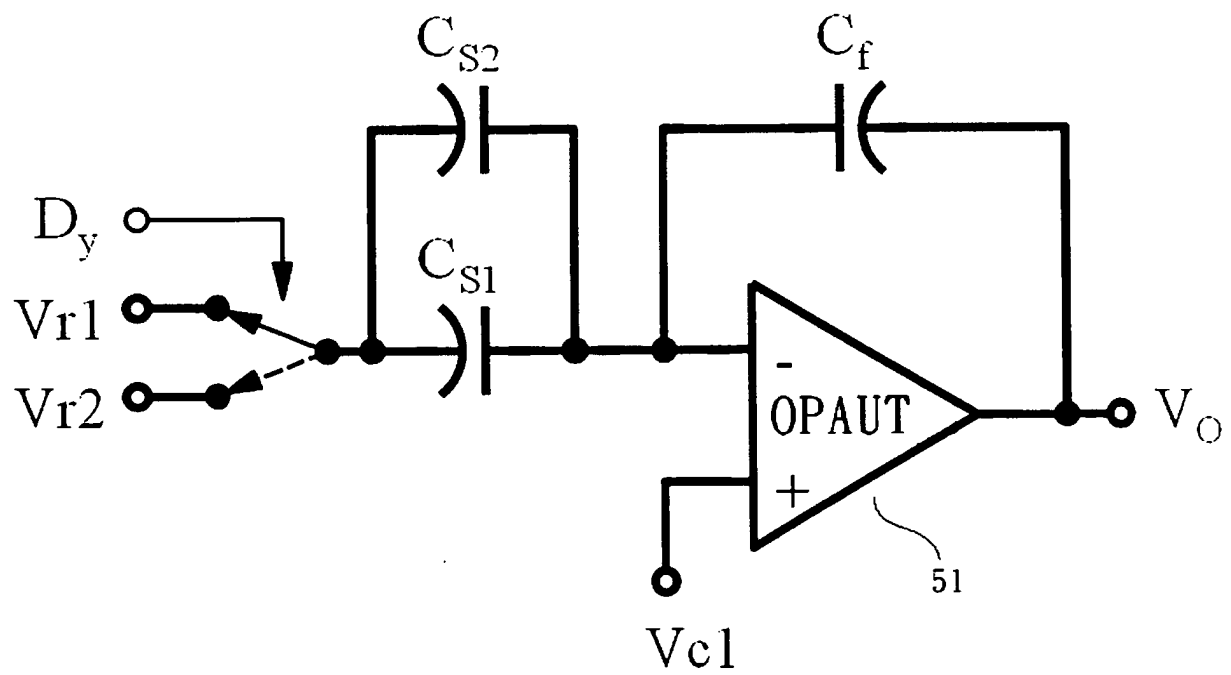


第 2 圖

97 年 1 月 6 日修正替換頁

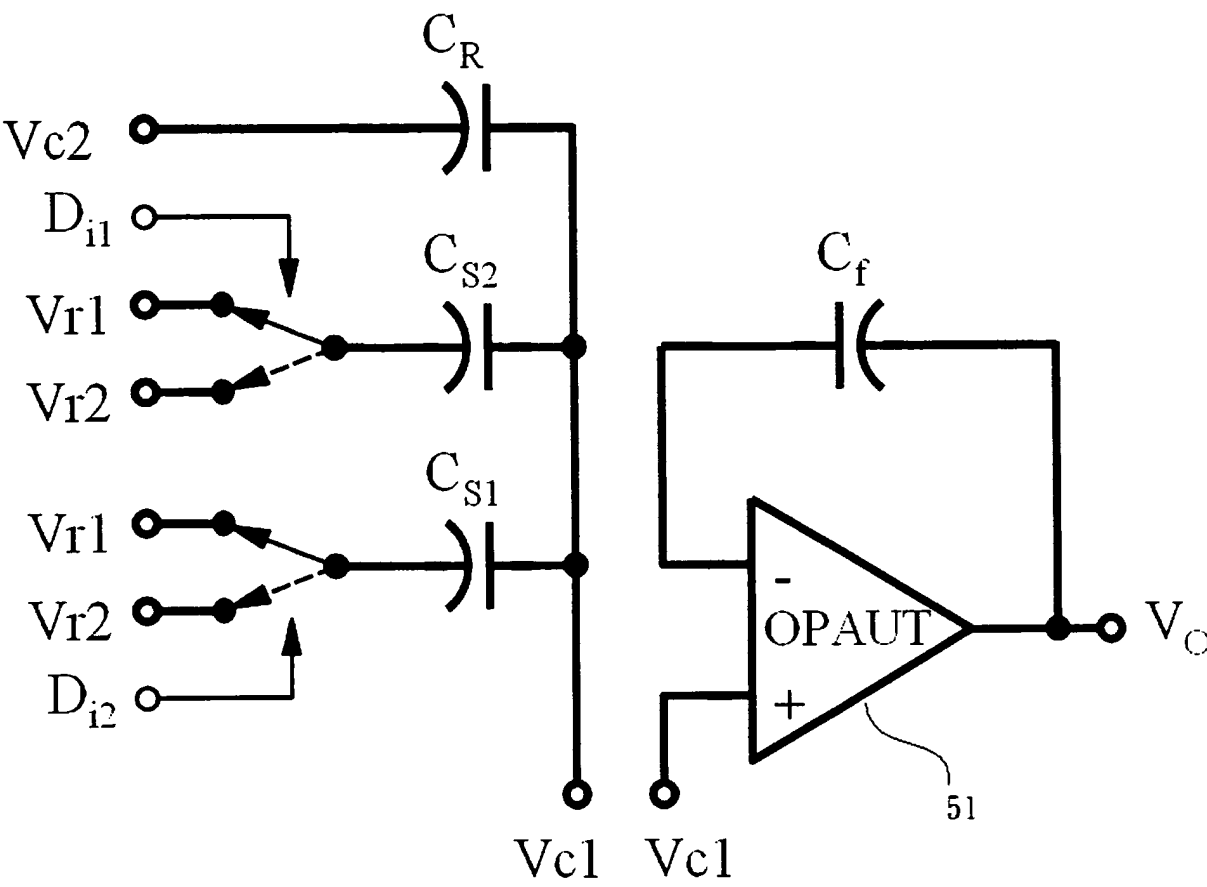


第 3 a 圖



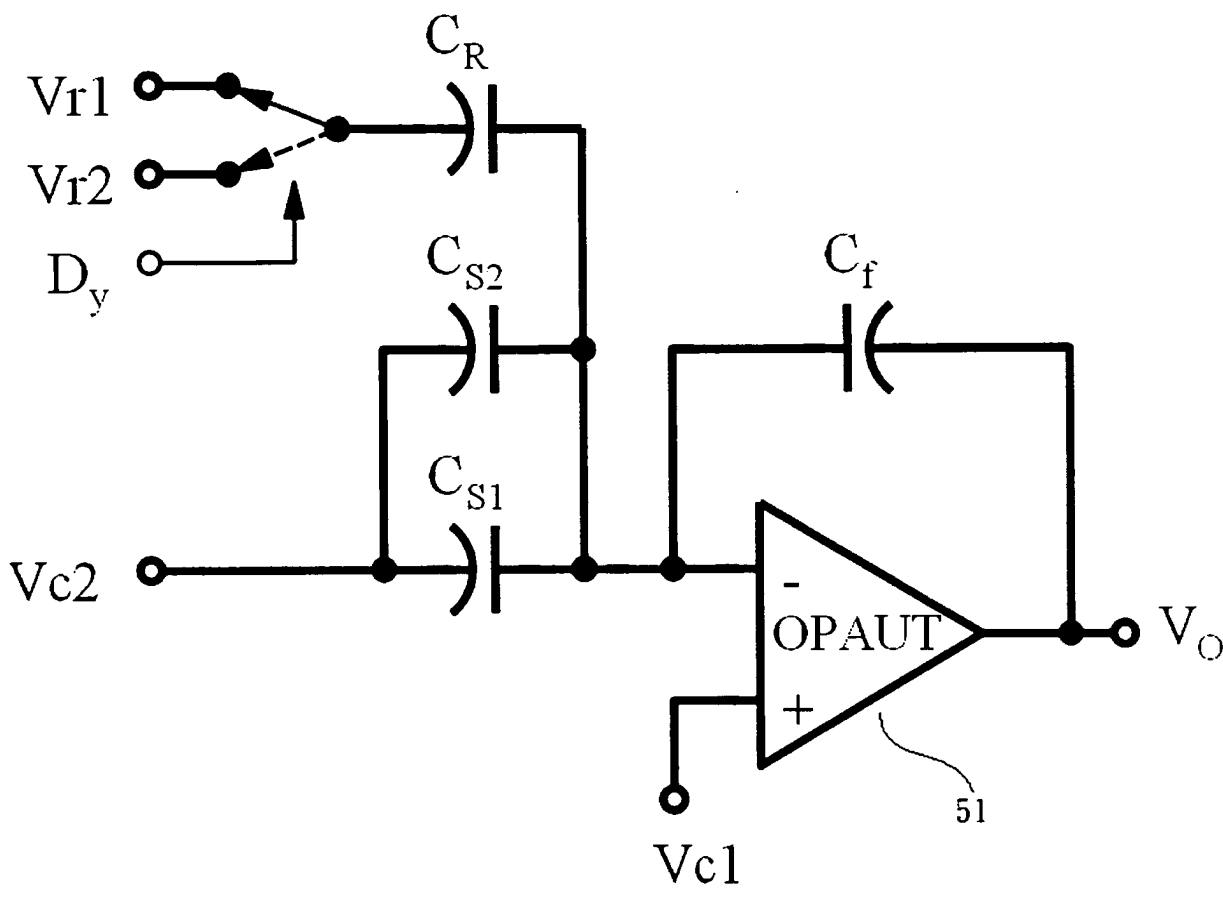
第 3 b 圖

97年1月6日修正替換頁



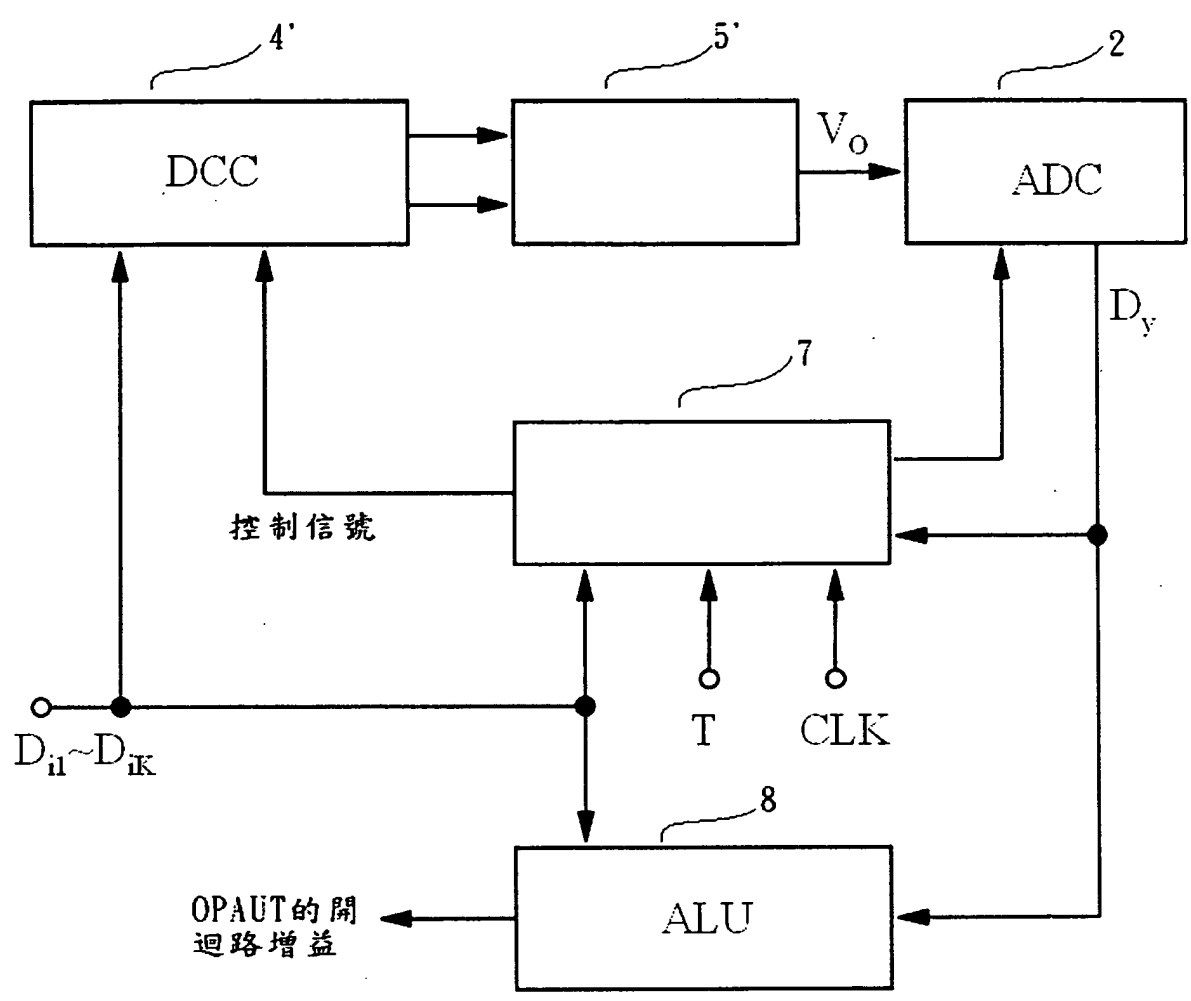
第 4a 圖

97年11月6日修正替換頁



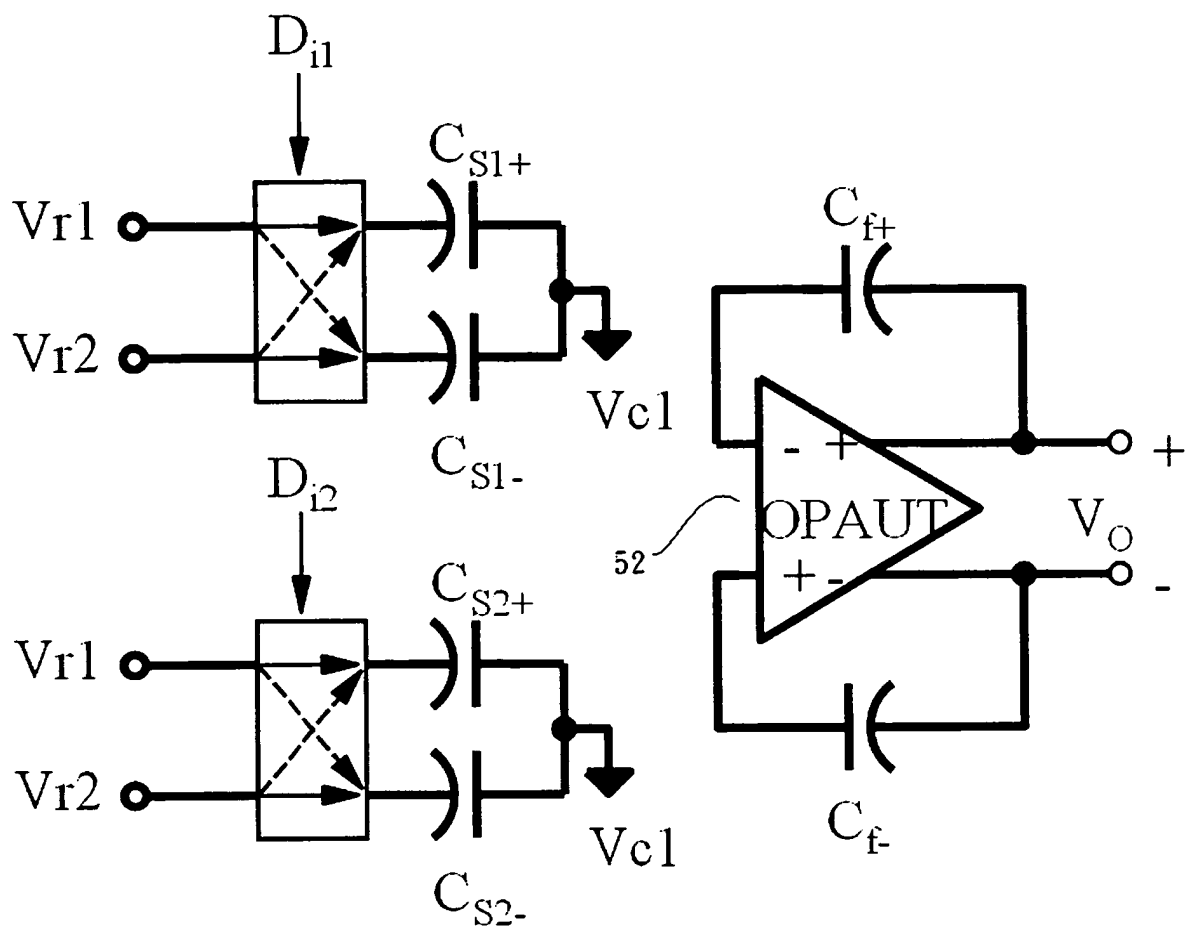
第 4b 圖

97 年1月6日修正替換頁

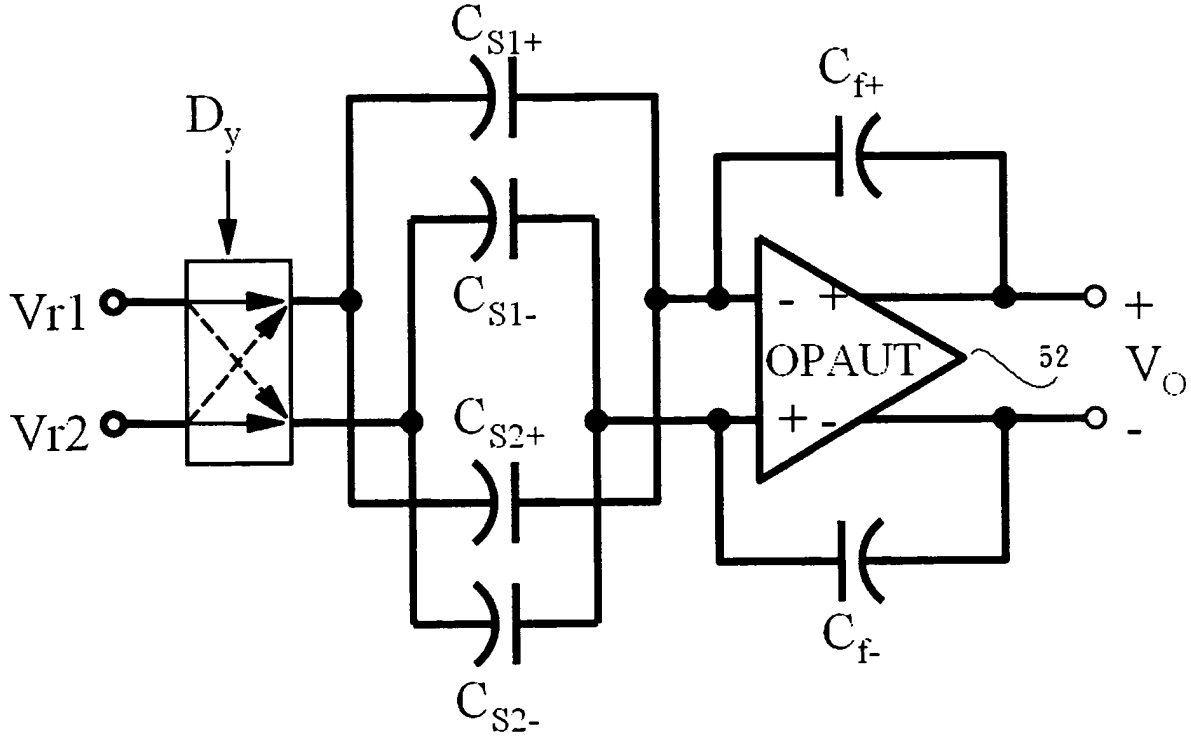


第 5 圖

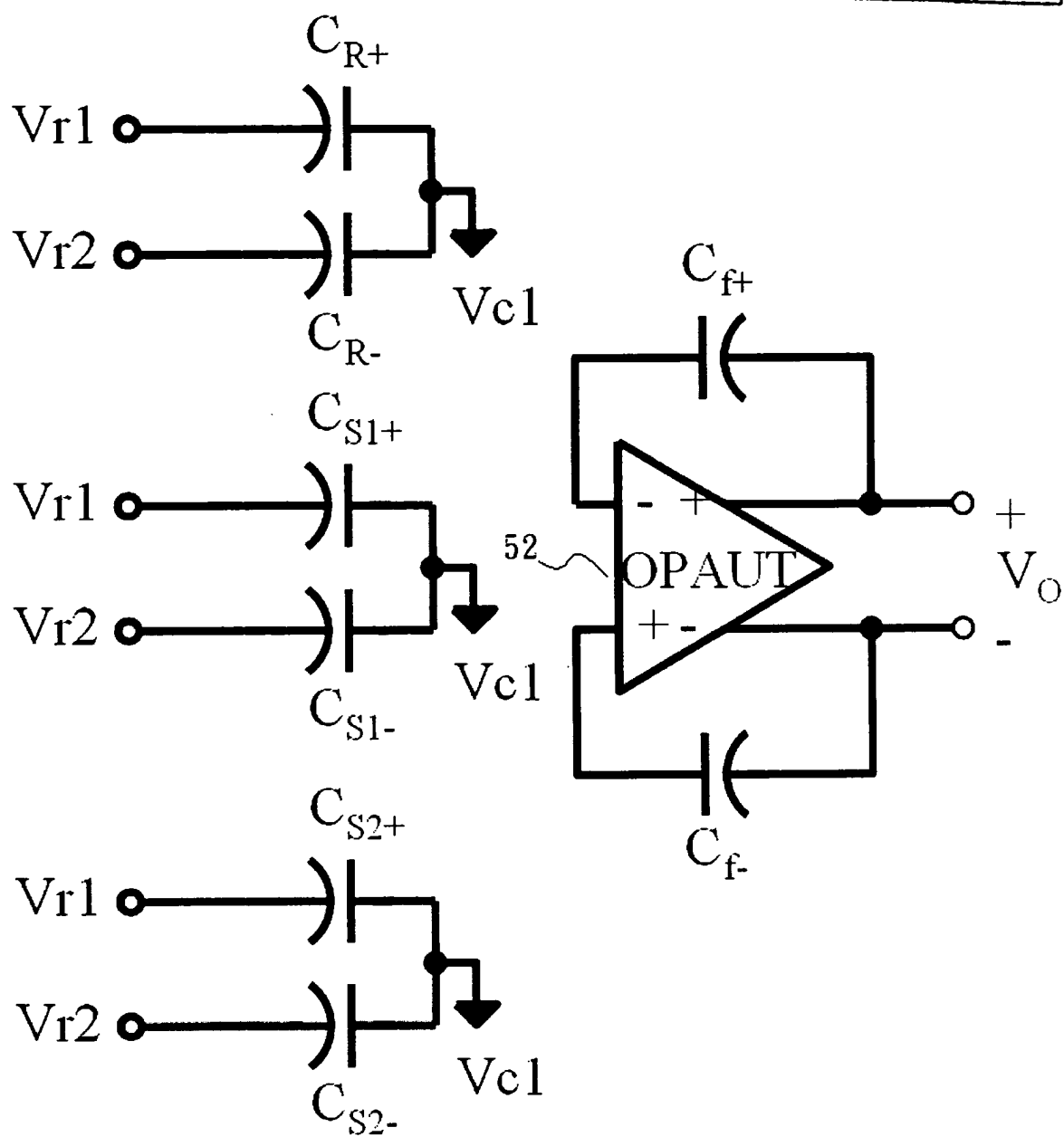
97 年 11 月 6 日修正替換頁



第 6a 圖

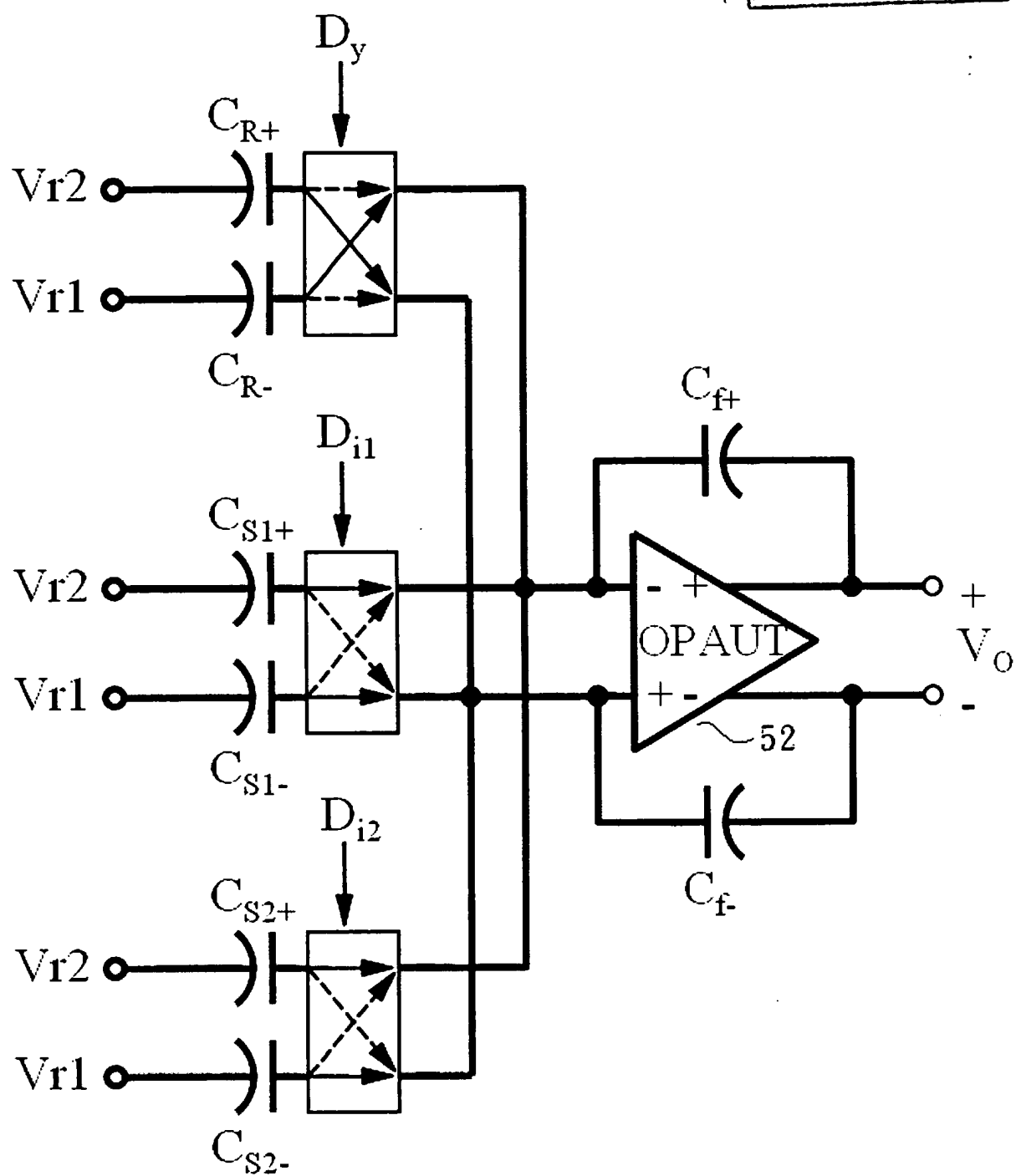


第 6b 圖



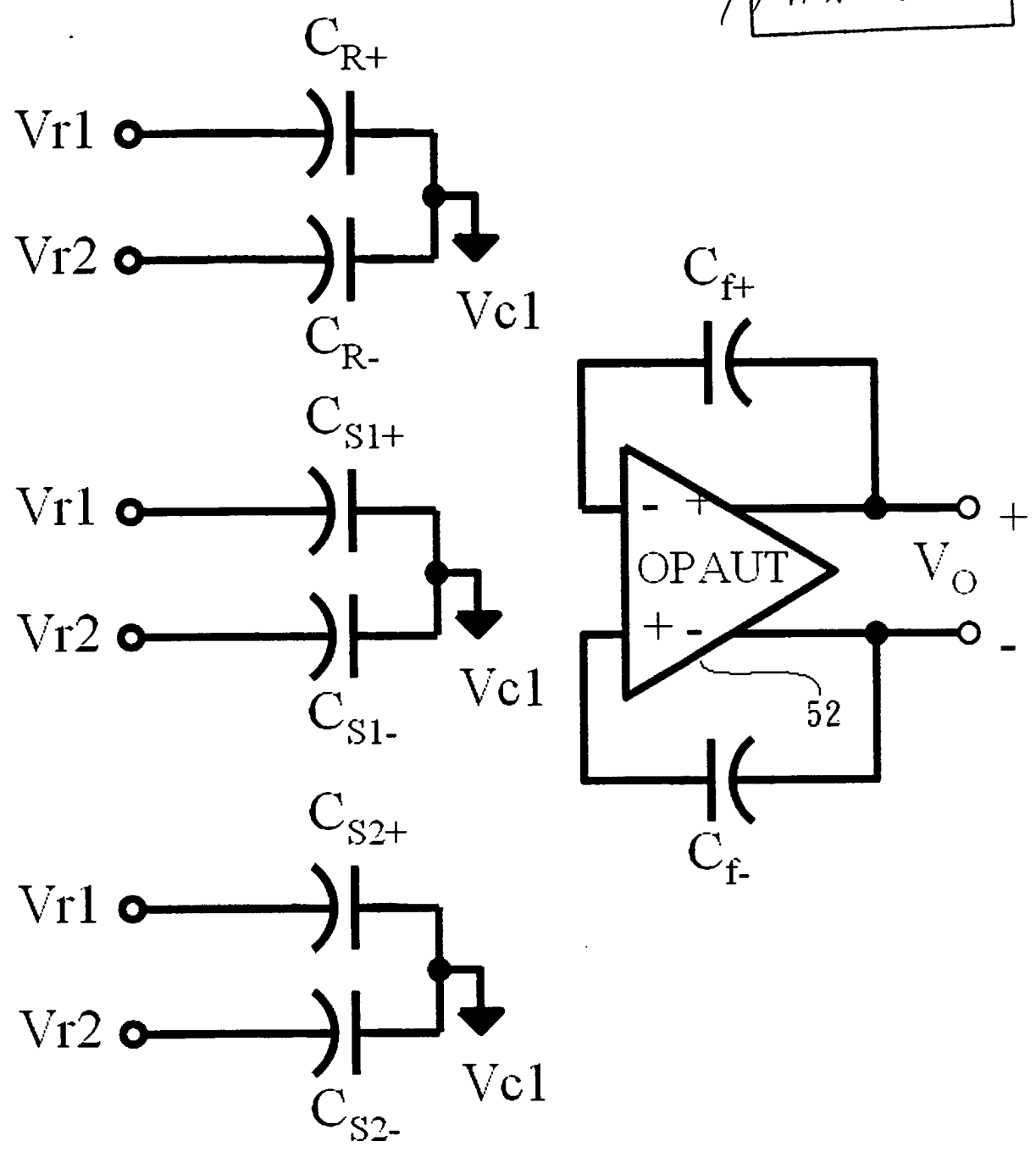
第 7a 圖

97年1月6日修正替換頁



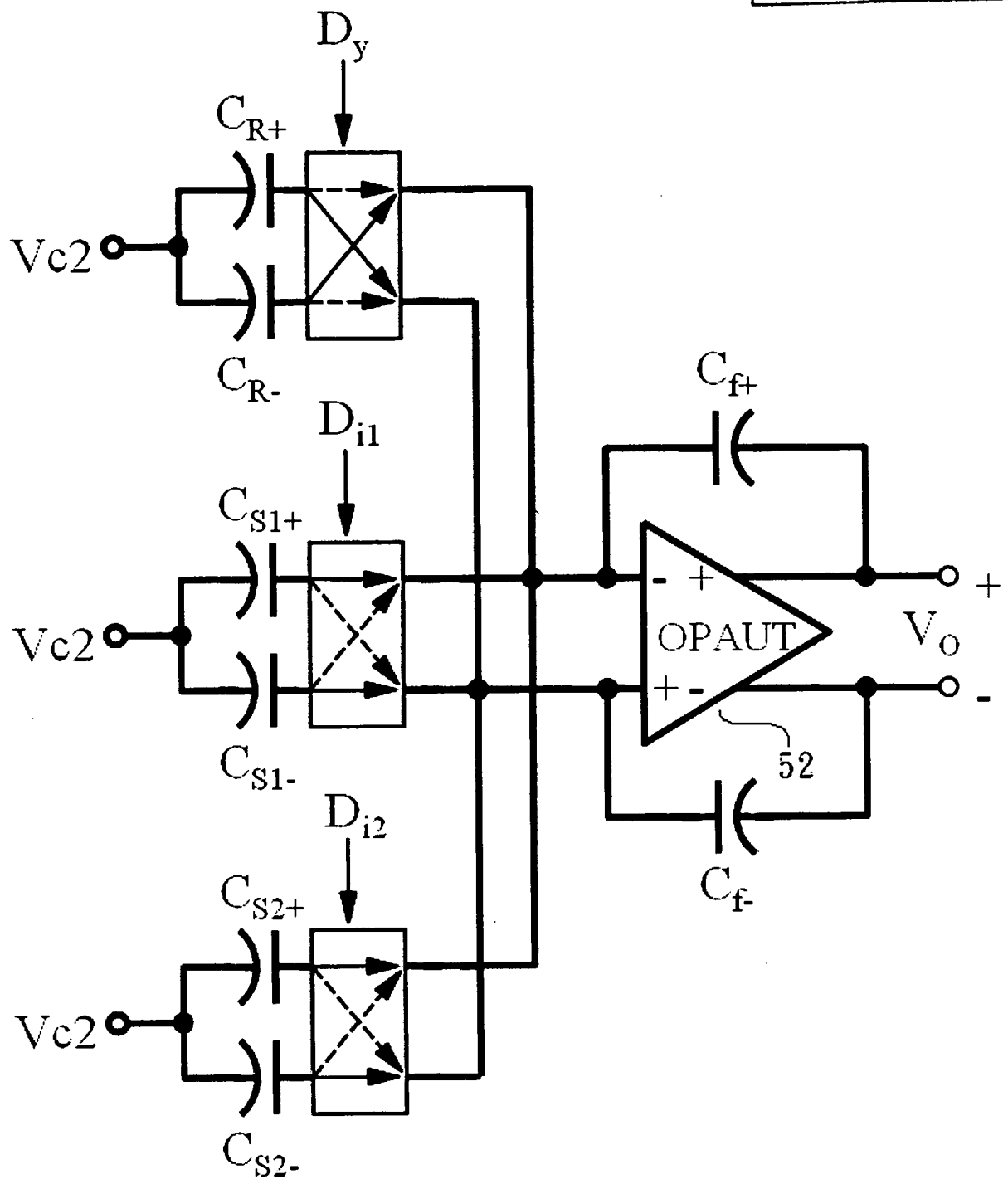
第 7b 圖

97 年 11 月 6 日修正替换頁



第 8a 圖

91 年 1 月 6 日修正替換頁



第 8b 圖